DMT VDSL Chip Set 개발

문 찬 | (주)휴커넥스 연구소장

1. Introduction

VDSL(Very-high-data-rate Digital Subscriber Line)은 기존 전화선을 이용하여 13Mbps ~ 52Mbps 의 고속 데이터를 전송할 수 있는 기술이다 [1-4]. 전화선 특성상 1.5Km 이하의 거리에서 서비스를 제공하며, 대용량 광 백본(Optical Backbone)이 연결된 네트워크측 장비(VTU-O)와 가입자 장비(VTU-R)로 구성된 광/전화선 혼합망구조(FTTC)가 특징이다.

본 논문에서는 VDSL 칩 개발현황 및 QAM과 DMT의 비교, 표준화 동향에 대해서 다루고 나머지는 휴커넥스에서 개발한 DMT 방식의 VDSL 모뎀 칩 셋에 대하여 다룬다. 특히 휴커넥스가 개발중인 칩은 대규모 집적회로(VLSI) 기술의 발달에 따라, 비교적 저렴한 가격에 VDSL 시스템 구현이 가능하게 되었고, ANSI 및 ETSI VDSL Trial Standard 및 ITU-T G.993 VDSL Standard를 모두 만족하며,

- ㅇ PMD(Physical Medium-Dependent)
- ㅇ TC(Transmission Convergence)

등으로 구성된 디지털 단일 칩과 AFE(Analog Front End)칩으로 구성된다. TC에는 (de) interleaving, Reed-Solomon(de)coding, (de) scrambling 기능뿐 아니라, 네트워크와 연결을 위한 ATM-TC(UTOPIA 인터페이스) 및 PTM-TC/이더넷 인터페이스(MII/RMII) 기능이 있어, 가장 높은 집적도의 VDSL 칩 셋이 구현되고 있다.

1.1 VDSL 칩 셋 개발 동향

QAM 진영의 칩 개발업체는 Infineon 사를 비롯한 Broadcom, Metalink 등이 있었으나 과거 2-band 방식에서 4-band 방식으로 Upgrade 되면서 Broadcom이 개발을 포기하였다. 따라서 현재 4-band 50Mbps

급 VDSL칩을 개발하고 있는 기업은 2개 기업으로 축소되었으며, 반면 DMT 기반의 칩 개발기업은 Ikanos, STMicroelectronics, 휴커넥스, Broadcom, Globespan 등이 있으며, 칩 개발현황은 아래와 같다.

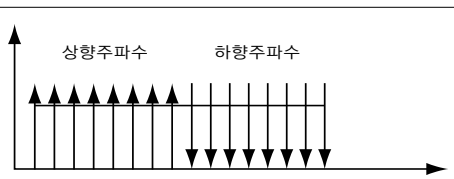
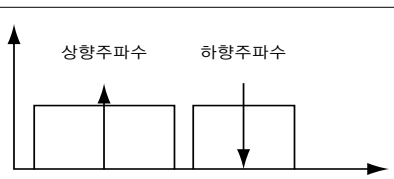
표 1. VDSL 칩 개발 현황

구분		휴커넥스	IKanos	ST Micro	Infineon	Metalink	Globespan
라인 코딩		**DMT**	DMT	DMT	QAM	QAM	DMT
전송속도	300m	**60Mbps**	60Mbps	52Mbps	57Mbps	57Mbps	개발중
	500m	**52Mbps**	52Mbps	45Mbps	50Mbps	50Mbps	–
	1000m	**30Mbps**	30Mbps	22Mbps	30Mbps	30Mbps	–
네트워크 접속	이더넷	**ON CHIP**	별도 칩	별도 칩	ON CHIP	ON CHIP	–
	ATM	**UTOPIA-2**	UTOPIA-2	UTOPIA-	별도 모델	별도 모델	–
AFE	공정	**CMOS**	CMOS	BiCMOS	CMOS	CMOS	–
	비트수	**13b/14b**	12b/13b	14b/14b	11b/12b	11b/12b	–
Band plan 변경		**자유로움 (China 포함)**	997/998	자유로움	한 종류만 지원	한 종류만 지원	–

1.2 QAM과 DMT 비교

1.2.1 기술적 특징

표 2. DMT/QAM 기술적 비교

DMT	QAM
○ 약자 : Discrete Multi-Tone Modulation ○ 여러 개의 저속(4.3125kHz주기) 서브캐리어(subcarrier)를 사용하여 신호변조 ○ 서브캐리어 숫자 – ADSL : 256개 / VDSL : 2048개 ○ 여러 개의 서브캐리어를 사용하여 송신기가 다소 복잡하나, 수신기의 구조는 비교적 단순함 ○ RF 간섭 등 외부 간섭을 피하기 위하여 선택적으로 주파수를 정밀 제어할 수 있음	○ 약자 : Quadrature Amplitude Modulation ○ 한 개(2밴드) 또는 두 개(4밴드)의 고속 캐리어를 사용하여 신호변조 ○ 심볼주파수 – 수 MHz ○ 한 개의 캐리어를 사용하여 송신기가 비교적 단순하나, 수신을 위하여 복잡한 등화기가 필요함 ○ RF 간섭 등 외부 간섭을 피하기 위한 별도의 디지털 필터 필요
	

1.2.2 성능 및 장단점

표 3. DMT/QAM 성능 및 장단점 비교

	DMT	QAM
성능	최고속도 52Mbps 이상으로 QAM보다 우세	50Mbps급 칩이 개발되었으나, 전송거리와 안정성 보완 필요
장점	– ADSL과의 상호호환성(동일 방식) – 속도 적응(Rate Adaptation) 간편함 – 임펄스 잡음과 RF 간섭에 강함 – 브릿지 탭(Bridged Tap)에 강함	– DMT보다 다소 가격이 쌈 – 주파수 변동(Frequency-varying) 잡음에 강함 – 아날로그 비트수가 DMT보다 1비트 적음
단점	– 타이밍 에러에 민감함 – 송신기 구조가 다소 복잡함 – 주파수 변동 잡음에 약함	– 수신 등화기가 매우 복잡함 – 속도 적응방법이 복잡함 – 임펄스 잡음과 RF 간섭에 약함 – 브릿지 탭에 약하여, 신호동기 상실

1.2.3 결론

- VDSL 도입 초기에는 간편성/경제성에 의하여 2 밴드 QAM이 선호되었음
- VDSL은 신호 주파수 대역이 캐리어에 비해 넓고 각종 잡음이 많아서, DMT가 QAM보다는 이상적임
- DMT 소자 구조가 복잡하고 사이즈가 크므로 QAM과의 원가경쟁력이 낮아 이를 극복하는 것이 과제임

1.3 표준화 동향

1.3.1 국제 표준

표준화 기구

- 1998년 10월 ITU-T Q4/SG15에서 G.vdsl 작업을 추진하기로 결정, 진행
- DAVIC(Digital Audio Visual Council) -1995년 전화선을 통한 멀티미디어 서비스 규격 제안
- ANSI T1E1.4 – 1995년 3월 VDSL 활동 시작, ANSI T1E1.4/2000-152(Common), ANSI T1E1.4/2000-011(SCM), ANSI T1E1.4/2000-013(MCM)
- ETSI TM6 – 1996년 6월 이후 VDSL 활동 시작
- ITU-T Q4/SG15 – 1998년 10월 G.vdsl (G.993.1) 시작

ITU-T G.vdsl 표준화 현황 및 쟁점

- 결정된 사항 : 라인코딩방식을 제외한 거의 모든 문제가 합의된 상태
- 합의할 사항 : 라인코딩방식 결정이 가장 중요한 이슈임. 위원회에서는 DMT 방식이 다소 우세한 상태임

스펙트럼 할당

138kHz와 12MHz 사이의 대역을 4 밴드로 나누는 방식으로 모든 국제표준화 기구에서 합의가 이루어지고 있으며, ITU G.993.1에서는 다음과 같은 세 가지 안이 Annex로 통과되었다.

표 4. 스펙트럼 할당 방식

구분	Optional	DS1(MHz)	US1(MHz)	DS2(MHz)	US2(MHz)
ITU-T G.993.1 Annex-A	0.025 ~ 0.138	0.138 ~ 3.75	3.75 ~ 5.2	5.2 ~ 8.5	8.5 ~ 12
ITU-T G.993.1 Annex-B	0.025 ~ 0.138	0.138 ~3.0	3.0 ~ 5.1	5.2 ~ 7.05	7.05 ~ 12
ITU-T G.993.1 Annex-C	0.025 ~ 0.138	0.138 ~ 2.5	2.5 ~ 3.75	3.75 ~ Fx	Fx ~ 12

Annex A는 ANSI측 제안으로 22Mbps/3Mbps, 6Mbps/6Mbps 전송속도를 중시한 것이고, Annex B는 ETSI측 제안으로 13Mbps 대칭형 서비스에 중점을 둔 것이다. Annex C는 스웨덴(Telia)에서 밴드할당에 비교적 자유로운 DMT를 위해서 제안한 것으로, 기습 통과되었다.

전송속도

현재 중요하게 고려되는 전송속도는 비대칭으로 22Mbps/3Mbps와 대칭으로 13Mbps/13Mbps 두 가지 속도이다. ANSI 및 ETSI에서 제안한 전송속도는 아래 표와 같다.

표 5. ANSI T1E1.4 제안규격

거리	전송속도(Mbps)	
	대칭(DS/US)	비대칭(DS/US)
1kft	26/26	52/6.5
3kft	13/13	22/3
4.5kft	6.5/6.5	13/1.6

중이며, 2003년 7월에는 결정이 될 전망이다.

1.3.2 국내표준화 동향

xDSL forum, 국제 단체 참여, TTA 등을 통해 VDSL 규격에 대한 논의와 국내표준화 작업이 진행중이다. 금년 중 TTA를 중심으로 VDSL 국내 표준규격 정의 활동을 벌일 예정이다.

1.3.3 표준화 및 기술발전 관련 향후 전망

- 표준화의 가장 큰 이슈는 라인코딩 방식 결정이다. ITU에서는 2개의 라인코딩 방식중 우월한 성능과 시장에서 많이 채택이 되는 방식을 선택할 계획이다.
- 스펙트럼 할당은 ITU-T G.993.1에서 세 가지 방안이 Annex로 채택되었으나 Annex-C에 대해 FSAN의 요청에 의해 재심의를 할 것으로 보인다.
- 라인코딩 방식은 초기 국내 시장을 선점한 Infineon에서는 비교적 간단하고 저가로 공급할 수 있는 SCM(QAM/CAP)이 우세하다고 주장하고 있는 상황이며, 그러나 DMT 진영에서는 ADSL과의 호환성, 채널의 전송용량을 최대로 활용가능한 MCM(DMT) 변복조 방식이 힘을 얻고

표 6. ETSI TM6 제안규격

구분	비대칭(DS/US)			대칭			
CODE	A1	A2	A3	S1	S2	S3	S4
전송속도(Mbps)	6/2	12/2	24/4	6	12	24	36

라인 코딩 방식

DMT 방식을 사용하는 MCM(Multi carrier modulation)측과 CAP/QAM을 사용하는 SCM (Single carrier modulation) 측의 힘겨루기가 진행

있다.

특히 최근 Broadcom이 DMT 진영에 합류를 함으로써 더욱 영향력을 늘려가고는 있지만 어쨌든 현재 어느 쪽으로 결정될지는 예측을 할 수 없는 상태이다.

1.4 DMT VDSL의 장점

VDSL의 국제 표준으로 제안된 DMT 변조방식과 QAM 변조방식의 라인코딩(Line coding) 중 본 논문에서는 DMT 변조방식을 채택하였다 [1-3].

DMT(Discrete Multi-Tone) 변조방식은 입력된 비트 스트림(bit-stream)을 여러(256 ~ 4096)개의 서브캐리어(sub-carrier)로 변조하여 중첩시켜 전송한다. 각 서브캐리어에 해당하는 변조신호는 해당 캐리어의 신호대 잡음비에 따라 전송할 비트수가 할당되고, 이것을 QAM 변조함으로써 만들어진다. 일반적으로 DMT 방식이 QAM 방식에 비하여 구현이 훨씬 복잡할 것으로 생각되어지나, 실제적으로는 FFT 등을 이용하여 비교적 간단한 구현이 가능하다.

실제적인 전화선 환경은,

- ㅇ 브릿지 탭(Bridge tap)
- ㅇ RF 간섭(약 6 ~ 7개의 간섭 주파수 존재)
- ㅇ 선로간의 불연속점

등 다양한 결함(impairments)에 의하여 표준에 제시된 제한된 채널 모델로 모두 표현하기는 불가능하다 [5,6].

QAM 변조방식은 적응형 등화기(Adaptive Equalizer)에 전적으로 의존하여 채널결함을 보상하며, 채널 모델에 대해서는 우수한 적응성능을 보인다. 그러나, 앞서 제시된 모든 채널결함에 대해 적응하기에는 한계가 있으며, 또한, 국제표준에서 제시된 4-Band 방식을 준수하기 위해서는, 2개씩의 변복조기 및 등화기가 필요하여, 복잡도가 매우 높아지게 된다 [7-9].

반면, DMT 방식은 서브캐리어에 임의대로 비트 할당이 가능하므로, 신호 대 잡음비에 의하여 주어진 채널용량을 최대한 이용하는 것이 가능하다. 또한, 결함이 많은 서브캐리어에 데이터를 할당하지 않거나, 조금 할당함으로써 실제 전화선 환경에 완벽하게 적응할 수 있다 [10].

따라서, DMT 방식은 가입자들마다 상이한 전화선 환경에 능동적인 적응이 가능하므로, 설치와 유지보수에 소모되는 비용이 적게 든다.

1.5 ㈜휴커넥스 DMT VDSL 칩 셋의 목표 성능

휴커넥스 VDSL 칩은 통신사업자의 50Mbps VDSL 서비스를 안정적으로 공급하기 위하여 설계/제작되었다. 본 칩 셋의 목표성능은 아래와 같다.

표 7. 휴커넥스 DMT VDSL 칩 셋 목표성능

전송거리	전송 속도(하향기준)	비고
500m	52Mbps	0.5mm 전화선 (Single Pair)
1000m	26Mbps	
1500m	13Mbps	

2. ㈜휴커넥스 DMT VDSL 칩 셋의 구조

2.1 PMD(Physical Medium-Dependent) 블록

PMD(Physical Medium-Dependent)는 그림 1에서와 같이 IFFT/FFT, 동기부(Synchronizer), PMD Data Encoder/Decoder를 포함한 디지털 파트와 아날로그 파트인 AFE(Analog Front-End)로 구성된

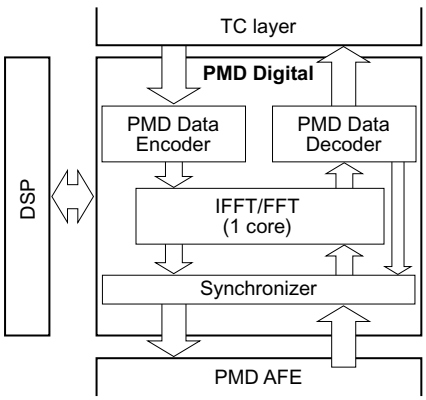


그림 1. PMD 블록도

다. PMD의 송신 패스에서는, TC로부터 받은 이진 데이터를 PMD Encoder에서 주파수 영역신호로 변환하여 IFFT로 보내고, IFFT에서 시간 영역으로 변환된 신호는 동기부를 통과하여 AFE에서 아날로그 신호로 변환되어 전송선로로 보내진다. 수신 패스에서는, 전송선로로 수신된 신호를 AFE에서 디지털 신호로 변환하여 동기부로 보내고, 동기가 된 신호는 FFT에서 주파수 영역으로 변환된 후 PMD Decoder에서 이진 데이터로 바뀌어 TC로 전달된다.

2.1.1 PMD Data Encoder/Decoder

PMD Encoder는 초기화 과정에서 생성된 비트 테이블들을 참조하여 TC로부터의 데이터를 적절한 QAM 신호로 변경하여 각 톤에 실어서 IFFT로 보내며, 초기화 이후에도 테이블들을 변경할 수 있다.

PMD Decoder는 FEQ를 이용하여, 각 톤별 위상과 크기를 보정하며, 이 신호를 이용하여 각 톤의 QAM 신호를 디코딩(Decoding)하여 TC로 보내는 역할을 한다. FEQ는 수천개의 톤을 처리할 수 있도록 최적화된 하드웨어를 설계하였다.

2.1.2 IFFT/FFT

DMT 방식 VDSL에서 사용되는 IFFT / FFT는 각 대역별로 할당된, 주파수 영역에서 신호를 시간영역에서의 신호로 변환시킨 후에, Tx AFE, line, Rx AFE를 거쳐서 송신단에서 수신단으로 전송한 후, 다시 이 신호를 주파수 영역상의 신호로 복원하는 블록으로서, DMT VDSL에 적용되는 높은 SNR과 저전력 특성을 달성하였다.

2.1.3 Synchronization

VTU-O와 VTU-R 사이의 주파수 오프셋을 잡아주는 샘플 동기는 상대적으로 가격이 높고 온도에 민감한 VCXO(Voltage Controlled Crystal Oscillator) 대신 XO(Crystal Oscillator)와 인터폴레이터(interpolator)를 사용해서 구현했다. 샘플 주파수(35.328MHz)보다 높은 주파수로 샘플링한 후 DCO(Digital Controlled Oscillator)와 인터폴레이터를 사용해서 VTU-O 주파수에 맞는 데이터를 생성한다. 인터폴레이터에서 생기는 왜곡은 FEQ가 보상을 해준다.

2.1.4 VDSL Analog front-end

AFE (Analog Front-End)는 모뎀에서 전송선로와 직접 연결되는 부분으로, 디지털 데이터를 아날로그 신호로 변환하여 적절한 전력으로 송신하고 수신된 아날로그 신호를 디지털 신호로 변환하여 모뎀의 디지털 파트로 전달한다. AFE 칩은 12MHz의 VDSL 주파수 대역, 110옴(100옴) 로드에 13.5dBm(14.5dBm)의 송신전력, 15dB의 높은 PAR(peak to average ratio)를 가지는 DMT 신호특성과 같은 환경에서 수신 디지털 파트에서 요구하는 입력 SNR을 충족하도록 디자인되었다.

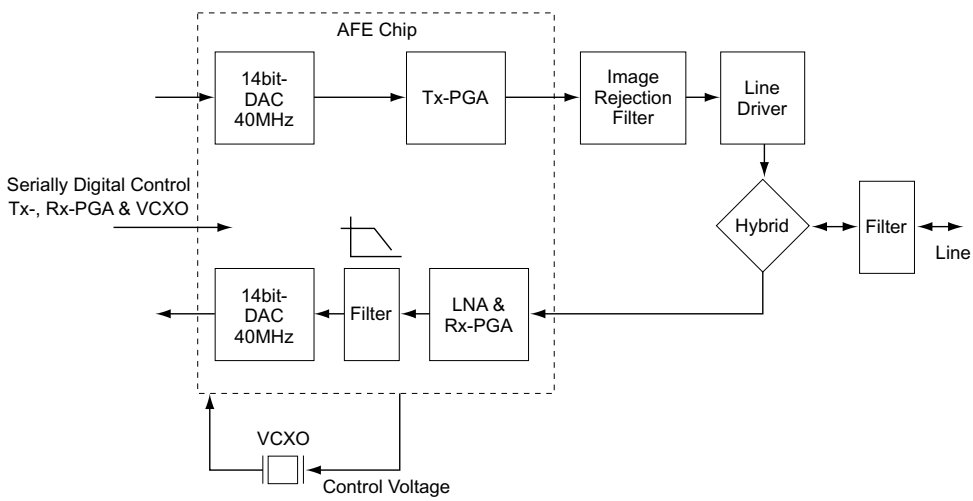


그림 2. AFE 블록도

그림 2는 AFE의 블록도이다. 13bit ADC, 14bit DAC는 상하향 대역 구분이 필요 없도록 라인의 에코(Echo) 영향을 상쇄할 정도로 높은 정밀도를 제공하며, 전화선의 감쇄 특성을 보상하기 위한 송신 프로그래머블 앰프(PGA) 및 수신 자동 이득 조정 앰프(AGC) 및 내부 저역 필터(Low Pass Filter)로 구성되어 있다.

2.2 TC(Transmission Convergence) 블록

TC부는 PMD에 의해 영향 받는 PMS-TC (Physical Medium Specific TC) 부와 PMD에 상관없이 외부 네트워크와 연결을 담당하는 TPS-TC (Transmission Protocol Specific TC) 부로 구성되어 있다.

2.2.1 TPS-TC

TPS-TC는 프로토콜로 구분되는 상위 계층의 데이터를 프로토콜에 독립적인 바이트 스트림으로 변환해 주는 역할을 한다. 고정된 길이의 셀 전송을 위한 ATM-TC와 가변 길이의 패킷 전송을 위한 PTM-TC를 구현하였다.

ATM-TC

ATM-TC는 Utopia와 ATM-TC 코어, FIFO로 구성되어 있다.

Utopia는 ATM forum Technical Committee의

af-phy-0039.000 규격의 Utopia Level 2, version 1.0을 따른다.

PTM-TC

ATM-TC가 고정 크기를 갖는 셀 단위의 인터페이스라 하면 PTM-TC는 크기가 가변적인 패킷 단위의 인터페이스이다. PTM-TC는 이더넷 형태와 HDLC 형태의 2가지 종류의 인터페이스를 제공한다.

이더넷 형태의 인터페이스는 MII/RMII, management 인터페이스를 동시에 지원하고 10/100 Mbps half/full을 지원한다.

HDLC 형태의 인터페이스는 클록과 데이터로 구성된 직렬 동기 전송형태이며 송/수신부 각각 2개의 라인으로 구성되어 있다.

2.2.2 PMS-TC

PMS-TC는 TPS-TC로부터 입력되는 바이트 스트림에 부가의 데이터와 dummy 데이터를 추가하고 비트단위 난수화와 오류정정을 위한 작업을 수행하는 역할을 한다.

Framer/Deframer

Framer의 역할은 상위에서 전달되는 바이트 스트림을 조작하여 DMT frame을 만드는 것이다. 이 과정에서 DMT frame이 항상 정수개의 바이트가 되도록 하기위해 dummy 바이트를 추가한다. 그리고, OAM 기능을 위해 오버헤드 바이트를 추가하며, 마지막으로 RS encoding에 의해 증가되는 바이트 수가 DMT frame 당 정수개가 되도록 dummy 바이트를 추가한다. Deframer는 framer의 동작을 역으로 수행하는 동시에 superframe 모니터링 기능을 수행한다. Superframe 모니터링에서는 동기 검출 CRC 검사 등을 수행한다.

Scrambler/Descrambler

Scrambler는 비트 스트림을 난수화함으로써 PMD로 공급되는 데이터에 연속적인 0이 나타나는 것을 방지한다. Descrambler는 scramber의 역을 수행한다.

RS encoder/decoder

RS decoder는 codeword를 수신하여 검사 바이트로부터 오류의 위치와 값을 계산하여 메시지 바이트를 수정한다. RS encoder/decoder의 N, K, R은 다음의 범위에서 변화시킬 수 있다.

N, K: 0, 1, ..., 254, 255

R: 0, 2, 4, 6, 8, 10, 12, 14, 16

Interleaver/Deinterleaver

Interleaving은 군집 오류를 분산시켜 산발 오류로 보이게 함으로써 RS decoding에 의한 정정을 가능하도록 한다.

표준에 정의된 interleaver는 길쌈 interleaver이며, 블록 interleaver에 비해 지연시간이 작고 구현방법에 따라 필요한 메모리의 양도 줄일 수 있는 장점이 있다.

Interleaving 깊이를 결정하는 파라미터인 I/M은 각각 0~63의 범위에서 변화가 가능하다. I/M의 값은 데이터 전송속도와 그에 해당하는 군집 오류정정 능력, 그리고 종단간 전송시간의 길이에 의해 결정된다.

EOC/VOC

EOC/VOC는 VDSL 모뎀의 운용에 필요한 정보들을 교환하는데 사용하는 채널이다.

DMT VDSL의 경우 EOC와 VOC는 각 DMT symbol마다 정해진 바이트 수만큼 전송된다. EOC와 VOC는 framer에서 데이터 스트림에 삽입되며, deframer에서 추출되어 호스트로 전달된다.

3. 전송선로 초기화(Initialization) 과정

VDSL 모뎀의 초기화 과정은 그림 3과 같이 Handshake 과정, Training 과정과 Channel Analysis/Exchange 과정으로 구성된다. Handshake 과정에서는 모뎀을 동작시키고 FFT(fast Fourier transform)/IFFT(inverse FFT)의 크기, CE(cyclic extension)의 길이, 25~138kHz 주파수 대역의 사용 여부 등의 기본 파라미터를 전달한다.

3.1 Handshake

그림 4는 Handshake 과정을 나타내고 있다. 그림 4(a)와 (b)는 각각 가입자(HSTU-R)와 사업자(HSTU-C)에서 Handshake 과정을 시작하는 절차이고, 그림 (c)는 Handshake 과정을 마치는 절차를 보여주고 있다. 그림 4(a)와 (b)의 시작절차를 마치면, transaction state에서 사업자와 가입자 간의 기본 파라미터를 주고받게 된다.

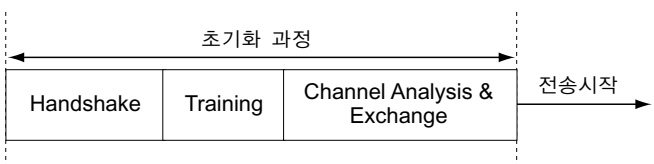
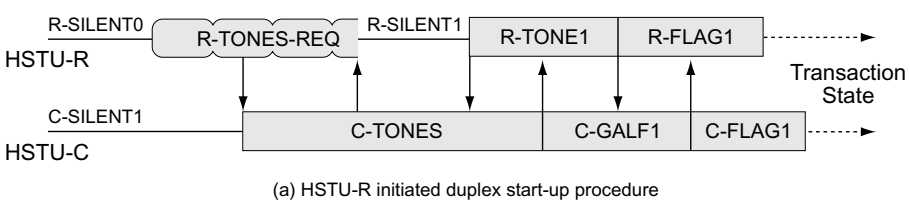
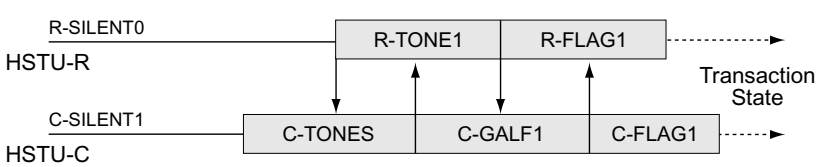


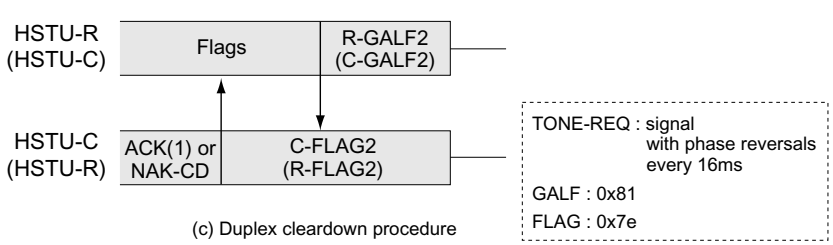
그림 3. 초기화 과정



(a) HSTU-R initiated duplex start-up procedure



(b) HSTU-C initiated duplex start-up procedure



(c) Duplex cleardown procedure

그림 4. Handshake 과정

3.2 Training/Channel Analysis

Handshake 과정을 끝내면, training 과정을 시작한다. Training 과정에서는 상향 및 하향 전송 주파수 대역을 설정하고, 사업자와 가입자 전송대역의 전력 스펙트럼 (PSD : power spectral density)을 결정한다. 이때, 선택사항으로서 상향 전력 백오프 (UPBO : upstream power back-off)를 수행한다. 또한, 사업자와 가입자 각각의 자동이득제어기(AGC : automatic gain controller), 주파수 대역 등화기 (FEQ : frequency-domain equalizer) 등을 수렴시키고, 프레임 동기(frame synchronization)와 샘플(sample) 동기를 맞춘다. 마지막으로, TA(timing advance) 길이와 CP(cyclic prefix) 길이를 측정하여 최적의 CE 길이를 계산, 적용하는 과정을 수행한 뒤 training 과정을 마치고, channel analysis/exchange 과정을 시작한다.

Channel analysis/exchange 과정에서는 EOC (embedded operations channel)/VOC(VDSL overhead control) 채널, Reed-Solomon(RS) 코드와 인터리버를 포함한 TC(transmission convergence) layer의 기본 파라미터를 설정하고, 전송선로와 잡음 특성을 측정하여 각 주파수 대역(tone)의 전송 비트 수를 결정한다. 특히, training 과정과 channel analysis/exchange 과정에 서는 사업자측과 가입자측이 SOC 메시지를 통해 정보를 전달하게 된다. 표 2는 TC layer의 기본 파라미터를 포함하여 사업자측으로부터 가입자측으로 전달되는 O-CONTRACTn SOC 메시지를 보여주고 있다. 표 3은 표 2의 contract descriptor이다. 표 2과 3을 살펴 보면, EOC/VOC 바이트 수와 전체 데이터 속도, RS 코드의 코드워드 길이(n)와 오버헤드(n-k), 인터리버 블록 길이(I)와 인터리버 depth 파라미터(M) 값이 포함되어 있음을 알 수 있다.

표 8. O-CONTRACTn SOC 메시지

내용	형태
Message descriptor	Message code(0x05)
Downstream contract	Contract descriptor
Upstream contract	Contract descriptor
EOC capacity	1 byte
VOC capacity	1 byte

표 9. contract descriptor

내용	형태	세부사항
Rate in fast channel	2 bytes	64kbps 배수
RS setting in fast channel	2 bytes	b15-b8 : RS overhead b7-b0 : RS codeword length
Rate in slow channel	2 bytes	64kbps 배수
RS setting in slow channel	2 bytes	b15-b8 : RS overhead b7-b0 : RS codeword length
interleaver setting	2 bytes	b15-b8 : M b7-b0 : I

그림 3과 같이, 초기화 과정이 끝나면 VDSL 모뎀이 정상적으로 전송을 시작하게 된다. 안정적인 동작을 위하여 Bit-Swap 기능이 수행된다. 정보가 전송되고 있는 상황에서 RF(radio frequency) 간섭신호 등에

의해 특정 주파수 대역의 잡음이 증가하여 신호 대 잡음 비(SNR : signal-to- noise ratio)가 급격히 작아지면 해당 주파수 대역을 통해 에러가 발생한다. 이때, VDSL 모뎀은 신호 대 잡음 비가 작아진 주파수 대역의 전송 비트 수를 줄이고 신호 대 잡음 비가 상대적으로 큰 주파수 대역의 전송 비트 수를 늘리는 Bit-Swap을 실행하여 전 주파수 대역에 걸쳐 에러가 발생하지 않도록 조치를 취한다. 사업자측과 가입자측은 Bit-Swap을 위한 bitswap request 메시지와 bitswap acknowledge 메시지를 VOC 채널을 통해 교환한다.

4. VDSL 칩 셋 구현결과

현재 ㈜휴커넥스의 DMT VDSL 칩 셋은 ASIC 공정을 모두 마치고, 성능시험 및 초기 시스템 설계과정에 있다.

㈜휴커넥스 연구진에 의하여 자체 제작된 참고 회로(Reference Board)에 의한 성능은 그림 5와 같다.

이상의 성능을 정리하면, 표 10과 같다.

표 10. 휴커넥스 DMT VDSL 칩 성능측정 결과

전송 거리	전송 속도(Mbps)		비고
	하향 속도	상향 속도	
500m	52	15	0.5mm 케이블
1000m	30	5	998(북미) PLAN
1500m	17	3	라인속도 기준

표 4에 의하여, 본 칩 셋이 각 통신사업자의 VDSL 서비스 요구 성능조건에 부합함을 알 수 있다.

5. 결론

본 논문에서는 DMT와 QAM에 대한 기술적 비교, 표준화 동향 그리고 국산 VDSL 칩 셋의 구현에 대하여 기술하였다. 그리고 휴커넥스의 칩을 PMD, TC, DSP 등으로 이루어진 디지털 칩과 아날로그 칩(AFE)으로 구분하여 구조 및 성능 시험결과에 대하여 논하였다. 성능측정 결과, 500m에서 50Mbps 이상의 하

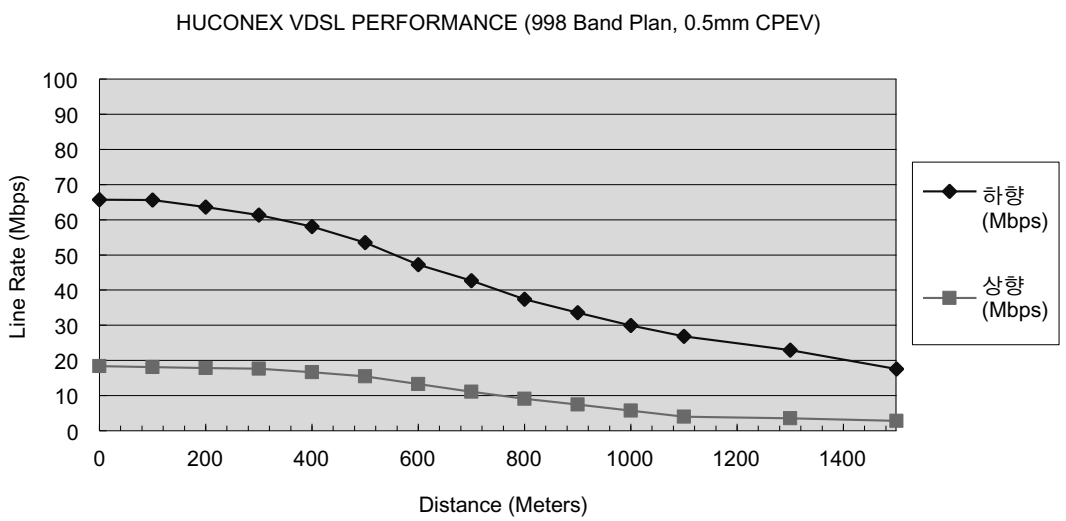


그림 5. 휴커넥스 DMT VDSL 칩 전송성능

향 전송속도를 얻을 수 있었다. 현재 개발된 칩 셋은 VTU-O와 VTU-R 겸용의 한 포트 칩이다. 조만간 이 칩 셋이 탑재된 순수 국산 VDSL 시스템이 시장에 선보일 예정이며, 향후 VDSL 칩 셋 시장의 활성화에 따라서, 네트워크측 장비의 집적화와 저전력화를 위하여, ADSL CO용 칩과 유사한 4 ~ 24 포트의 칩 셋 개발도 향후 계획되어 있다. DMT VDSL 칩 셋 개발은 2001. 5. ~ 2003. 4. 기간중 정보통신부 선도기반기술개발과제의 일환으로 수행되었다. 국내 원천 기술의 확보 및 국산 DMT VDSL 칩 셋의 개발/생산을 통하여, 우리나라 초고속망 산업의 경쟁력을 끌어 올리는데 기여가 되기를 바란다.

감사의 글

본 논문은 정보통신연구진흥원 선도기반기술개발과제 지원으로 수행된 결과입니다.

참고문헌

[1] "Very-high-bit-rate Digital Subscriber Lines(VDSL) Metallic Interface Part1: Functional Requirements and Common Specification," ANSI T1E1.4/2000-009R3

[2] "Very-high-bit-rate Digital Subscriber Lines(VDSL) Technical specification, Part 2: Technical Specification for a Single-Carrier Modulation(SCM) Transceiver," ANSI T1E1.4/2000-011R3

[3] "Very-high-bit-rate Digital Subscriber Lines(VDSL) Metallic Interface, Part3: Technical Specification of a Multi-Carrier Modulation Transceiver," ANSI T1E1.4/2000-013R4

[4] "Special issue on Very High-speed Digital Subscriber Lines," IEEE Commun. Mag., vol. 38, May 2000.

[5] G.H. Im, D. D. Harman, G. Huang, A. V. Mandzick, M.-H. Nguyen, and J. J. Werner, "51.84 Mb/s 16-CAP ATM LAN standard," IEEE J. Select. Areas Commun., vol. 13, pp. 620-632, May 1995.

[6] G.H. Im and J.J.Werner, "Bandwidth-efficient digital transmission over unshielded twisted pair wiring", IEEE J. Select. Areas Commun., vol. 13, no. 9, pp 1643-1655, Dec., 1995.

[7] G.H. Im and K.M. Kang, "Performance of a hybrid decision feedback equalizer structure for CAP-based DSL systems," IEEE Trans. on Signal Processing, vol.49, no.8, pp.1768 -1785, Aug. 2001.

[8] G.H. Im, "Performance of a 51.84 Mb/s VDSL transceiver over the loop with bridged taps," IEEE Trans. on Commun., vol. 50, no. 5, pp. 711-717, May. 2002.

[9] G.H. Im, K.M. Kang, and C.J. Park, "FEXT cancellation for twisted-pair transmission," IEEE J. Selected Areas in Commun., vol. 20, no. 5, pp 959-973, June. 2002.

[10] G.H. Im, K.Y. Lee, B.M. Moon, and K.M. Kang, " FEXT cancellation for multicarrier transmission system," ANSI Contribution T1E1.4/2002-122, Atlanta, GA, Apr. 8-12, 2002.