

Development of CMOS Sigma-Delta DAC Chip for Using ADSL Modem

方駿鎬* · 金善泓**

(Jun-Ho Bang · Sun-Hong Kim)

Abstract - In this paper, the low voltage 3V Sigma-Delta Digital Analog Converter(DAC) is designed for using in the transmitter of ADSL analog front-end. We have developed the CMOS DAC according to ANSI T1.413-2(DMT) standard specifications of the chip. The designed 4th-order DAC is composed of three block which are 1-bit DAC, 1st-order Switched-Capacitor filter and analog active 2nd-order Resistor-Capacitor(RC) filter. The HSPICE simulation of the designed DAC showing 65db SNR, is connected with 1.1MHz continuous lowpass filter. And also, we have performed the circuits verification and layout verification(ERC, DRC, LVS) followed by fabrication using TSMC 2-poly 5-metal p-substrate CMOS 0.35 μ m processing parameter. Finally, the chip testing has been performed and presented in the results.

Key Words : Σ - Δ DAC, ADSL analog front-end block, 1st-order Switched-Capacitor filter, Active 2nd-order Resistor-Capacitor filter

1. 서 론

현대 사회의 정보화와 잦은 이동에 따른 무선 통신의 중요성이 날로 증가함에 따라 개인 휴대 통신 단말기의 수요는 급격히 증가하고 있으며 최근 단말기에 대한 연구 방향은 저가, 저 전력, 휴대가 편리한 단말기 개발을 위해 저가의 공정인 CMOS 공정을 이용하여 단말기를 하나의 칩에 집적화 하기 위한 연구에 초점을 맞추고 있다. 또한 디지털 신호 처리 기술과 노광기술(lithography)등의 급속한 발달은 기저대역(baseband)에 국한되어있던 디지털 신호 처리를 수 MHz 대역, 즉 저 중간 주파수(Low Intermediate Frequency; Low IF) 대역까지 확장시킴으로써 나쁜 선형성을 가진 아날로그 회로를 디지털 회로로 대체가 가능케 됨으로써 보다 정확한 제어가 가능한 디지털 신호 처리가 가능하게 되었다 [1-2]. 그러나 디지털 신호를 처리하기 위해서는 아날로그-디지털 변환이 필수적인 과정이며 ADC 및 DAC 동작의 정확도나 속도는 디지털 신호처리의 성능을 제한하는 직접적인 요인이 되고 있다. 따라서 디지털 신호처리 기술에 있어서 DAC는 DSP, 디지털 영상 신호처리, 디지털 통신용 변복조기 등의 분야에서 핵심적인 역할을 한다.

최근 인터넷 사용자의 증가로 폭발적으로 수요가 증가되고

있는 ADSL를 비롯한 xDSL용 모델의 집적회로를 구성하고 있는 집적회로에 있어서도 DAC는 디지털 신호를 아날로그 송신신호로 변환하는 역할을 수행하면서 핵심소자로 사용되고 있다. ADSL용 DAC는 여러 가지 방법으로 설계되고 있으나[3-5] 본 논문에서는 적은 bit로 높은 해상도를 얻을 수 있는 sigma-delta 변조기를 이용한 DAC 집적회로를 설계한다.

Sigma-delta 변조기를 이용한 DAC는 디지털 인터플레이션 필터, 디지털 sigma-delta 변조기, DAC, 스위치 캐피시터 필터(switched capacitor; SC), 능동 RC 필터로 구성된다.[6-8]. 디지털 인터플레이션 필터는 디지털 halfband 필터와 comb 필터로 구성이 되며 신호를 과 표본하며 저역 통과 필터의 역할도 한다. Sigma-delta 변조기는 과 표본화된 신호를 받아 저주파 부분의 양자화 잡음을 고주파 부분으로 이동시키는 역할을 하여 적은 bit로 높은 해상도를 얻을 수가 있다. DAC는 이러한 1-bit 디지털 신호를 받아 아날로그 신호로 재생하고 SC 필터와 능동 필터를 통하여 연속신호를 재생한다.

본 논문에서는 ANSI, T1.413-2에 의한 DMT방식 ADSL용 표준 설계 사양에 의하여 아날로그 sigma-delta DAC를 설계하고 칩으로 제작하였다. 2장에서는 sigma-delta DAC의 블록다이어그램과 모델링 그리고 회로설계에 대하여 나타내었으며 3장에서는 레이아웃과 칩 설계 및 테스트에 대하여 나타내었고 4장에서 결론지었다.

* 正 會 員 : 益山大學 電氣科 助教授 · 工博

** 準 會 員 : 全北大學教 電氣工學科 博士課程

接受日字 : 2003年 8月 22日

最終完了 : 2003年 11月 25日

2. ADSL 모델용 CMOS DAC 설계

2.1 표본화주파수에 따른 DAC 변환기 비교

개발되고 있는 현재 DAC는 표본화 주파수를 기준으로 Nyquist rate DAC와 과 표본화 DAC로 구분되어진다. 표 1에 보이는 바와 같이 Nyquist rate DAC는 고속 신호처리에 유리하지만 면적, 회로의 복잡성, 공정의 의존도 및 부수적인 회로가 필요하다는 단점이 있으며, 이에 반해 과 표본화 DAC는 처리 가능한 신호의 주파수 영역이 저주파수 대역에 있으며 복잡한 디지털 신호처리를 요구하나 소자의 부정합에 둔감하고 특히 낮은 주파수 대역에서 신호 대 잡음비(Signal-to-Noise, SNR)가 우수하여 높은 분해능을 구현할 수가 있다. 또한 VLSI 공정의 발달로 인해 고집적화 디지털 회로 구현이 용이하게 되어 과 표본화 DAC의 유용성은 커지고 있다.[1-3]

표 1 표본화 주파수에 따른 DAC 비교

Table 1 Comparison of DAC according to sampling frequency

	Nyquist rate DAC	Oversampling DAC
Sampling frequency	≤ Nyquist Frequency	> Nyquist Frequency
Application frequency	High	Low
Resolution	Low	High
Circuit	Almost analog	Analog & digital
Process dependence	High	Low
Area	Large	Small
Main application field	Communication & high speed signal processing	Audio & low speed signal processing

2.2 시그마-델타(Sigma-delta) DAC의 블록 다이어그램

Nyquist rate로 오는 디지털 신호는 2단의 halfband 필터와 1단의 comb 필터를 지나며 보통 16배에서 24배로 과 표본이 된다. 그림 1에 인터폴레이션 필터와 sigma-delta DAC의 블록 다이어그램과 신호의 주파수 스펙트럼을 보였다.

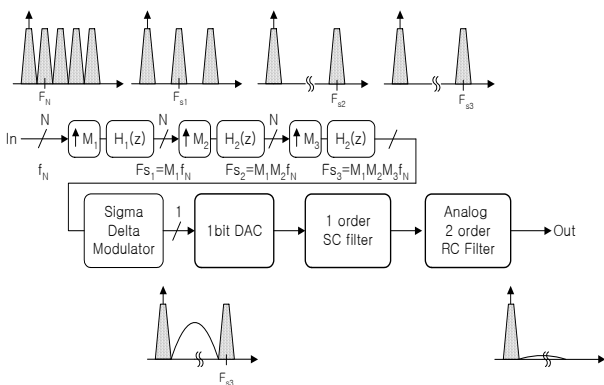


그림 1 인터폴레이션 필터와 sigma-delta DAC의 블록 다이어그램

Fig. 1 Block diagram of the interpolation filter and sigma-delta DAC

두 필터 모두 FIR 디지털 필터로 M₁, M₂, M₃은 디지털 필터마다의 과 표본을 의미한다. M₁ · M₂ · M₃의 값은 총 샘플

링 값을 의미하고, 과 표본은 원 신호에 대해서 M배로 신호 사이에 0에 값을 집어넣은 다음 디지털 필터를 통과한 신호의 사이 값으로 보관된다. 이 신호는 다시 sigma-delta 변조기로 들어가서 낮은 주파수의 잡음신호를 고주파수로 옮기는 역할을 한다. 출력은 1 bit나 혹은 그 이상의 bit가 될 수 있다. 출력 bit는 작지만 과 표본과 sigma-delta 변조 기법 때문에 고 해상도를 표현할 수가 있다. 또한 1-bit의 출력이 나오기 때문에 선형성은 완벽하게 확보할 수가 있다.

그러므로 sigma-delta 변조기의 차수가 증가할수록 낮은 주파수의 잡음을 고주파 대역으로 이동되어 12 bit 이상의 해상도를 얻을 수가 있다. 1-bit 신호는 1-bit DAC에 입력되어 1차 SC 필터와 2차 능동 RC 필터를 거쳐 총 4차 필터에 의하여 구현된다.

2.3. DAC 블록의 전달함수와 z-영역 모델링

본 논문에서 앞 절의 그림 1에서 보이는 블록 다이어그램에서 디지털 sigma-delta 변조기를 제외한 1-bit DAC, 1차 SC filter와 아날로그 능동 2차 RC 필터로 이어지는 3개의 블록을 설계하고자 한다. 이를 위하여 모델링을 통하여 능동 RC 필터와 1-bit DAC와 1차 SC 필터의 z영역상의 각 계수를 구하며 디지털 sigma-delta 변조기의 주파수 특성에서 통과대역을 평탄하게 만들기 위해서 1차 함수로 실현하였다. 그리고 s영역에서 표준화 된 1차 함수와 바터워즈 3차 함수로 구분하여 주파수 스케일링을 통해 전달함수를 구하고, 이 함수를 forward 변환 방법으로 z영역 함수로 변환 시켜 총 4차 함수로 구성하였다. z-영역에서의 DAC 블록의 모델링을 위한 회로를 그림 2에 나타내었다.

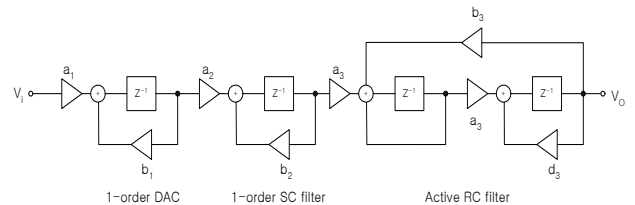


그림 2 z-영역에서의 DAC 블록의 모델

Fig. 2 The model of DAC block in z-domain

z-영역상의 각 계수를 구하기 위해 먼저 디지털 sigma-delta 변조기의 주파수 특성에서 통과대역을 평탄하게 만들기 위해서 1차 함수로 실현하였다. 따라서 s-영역에서 표준화 된 1차 함수와 바터워즈 3차 함수를 구분하여 주파수 스케일링을 통해 전달함수를 구하고, 이 함수를 forward 변환 방법으로 z-영역으로 변환시킨 함수를 식(1)에 나타내었다.

$$H_{sc}(s) = \frac{1}{s+1} \Rightarrow H_{sc}(z) = \frac{0.5}{z-0.5} \quad (1)$$

위의 변환 방법으로 바터워즈 3차 함수로부터 z-영역 전달 함수를 구하면 식(2), (3)과 같다.

$$H_{butts}(s) = \frac{0.99849037}{s^3 + 2s^2 + 2s + 1} \Big|_{s = s/2\pi \times 1.1MHz} \quad (2)$$

$$H_{butts}(z) = \frac{0.99849037 \times \left(\frac{1.1}{50}\right)^3}{z^3 - 3z^2 + 3z - 1} \quad (3)$$

여기서 1차 SC 필터와 합하여 전체 4차 전달함수를 구하

면 식(4)와 같다.

$$H(z) = \frac{0.022}{z - 0.9779999} \times \frac{0.5}{z - 0.5} \times \frac{4.84 \times 10^{-4}}{z^2 - 1.978z + 0.978484} \quad (4)$$

그림 2에서의 각각의 계수 값을 구하면 다음과 같다.

$$\begin{aligned} a_1 &= 0.022 \\ b_1 &= 0.9779999 \\ a_2 &= 0.5 \\ b_2 &= 0.5 \\ a_3 &= b_3 = 0.09389174 \\ d_3 &= 0.9061082 \end{aligned} \quad (5)$$

결과적으로 식(5)로 부터 구한 계수 값을 이용하여 그림 2에 대입한 후 MATLAB™을 통한 시뮬레이션 결과, 그림 3과 같은 주파수 특성 곡선을 구하였다.

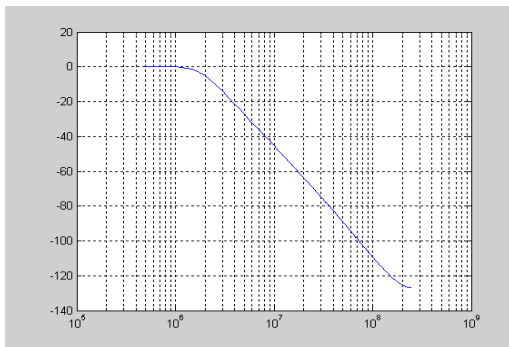


그림 3 DAC 블록 모델의 주파수 특성곡선
Fig. 3 The frequency characteristic wave of the DAC block modeling

2.4. DAC 블록 회로 설계

앞 절에서 모델링 한 것과 같이 설계하고자 하는 DAC 블록은 1-bit DAC, 1차 SC filter와 아날로그 능동 2차 RC필터로 이어지는 3개의 블록이며 전체적으로 4차 DAC가 구성이 되며 직접 sigma-delta ADC의 출력을 입력 신호로 이용하여 DAC의 테스트 회로를 구성하였다.

DAC를 구성하고 있는 증폭기는 전체 성능을 좌우하는 중요한 회로이다. 모델링을 통하여 확인한 결과 sigma-delta DAC에서 사용되는 증폭기는 80 [dB] 이상의 개방이득에서 255 [V/μs] 이상의 slew rate를 갖고 출력 범위는 공급전압 3.3 [V]에서 입출력 범위가 ±1 [V]을 만족하게 하였다. 본 논문에서는 이를 구현하기 위하여 gain boosting을 갖는 완전차동 folded cascode 증폭기를 설계하여 활용하였다. 또한 스위치와 캐패시터를 이용한 CMFB(Common-mode feedback) 회로를 설계하여 완전차동 증폭기의 출력 전압이 공급전압이나 접지로 가는 것을 방지하였다 [9-10]. 증폭기를 구동하기 위한 바이어스회로 설계 시에는 3.3V 공급전압에서 1V 이상의 선형 출력범위를 확보하기 위해서 출력범위가 증가된 cascode 전류미러로 구성된 바이어스 회로를 이용하였다. 그림 4에 설계된 증폭기와 바이어스 회로 그리고, 표 2-2에

주 증폭기를 구성하고 있는 트랜지스터 크기를 나타내었다.

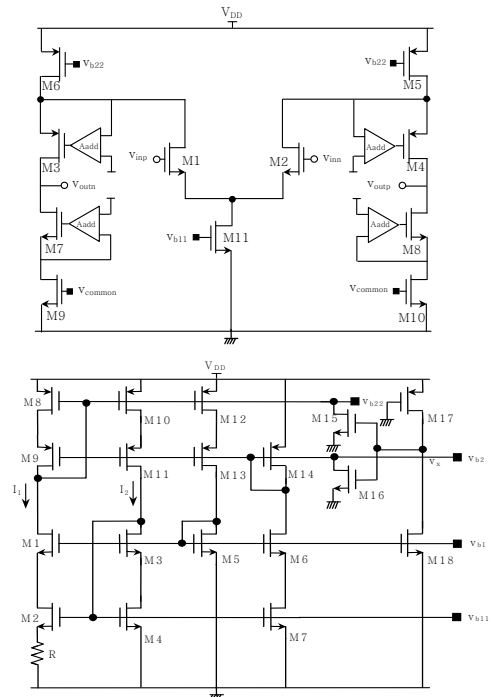


그림 4 Gain boosting이 있는 folded cascode 증폭기와 바이어스 회로
Fig. 4 Folded cascode amplifier with gain boosting and bias circuit

표 2 주 증폭기의 트랜지스터 크기
Table 2 Transistor size of the main amplifier

Tr.	W(μm)	L(μm)	multiple
M1	5	0.5	50
M2	5	0.5	50
M3	8	0.7	24
M4	8	0.7	24
M5	8	0.7	48
M6	8	0.7	48
M7	5	0.7	24
M8	5	0.7	24
M9	5	0.7	24
M10	5	0.7	24
M11	5	0.7	45

그림 5에 설계된 1-bit DAC 와 1차 SC 필터를 나타내었다. 회로 설계시 CMOS 스위치는 비중첩 2위상 클럭을 사용하였다. 설계된 1-bit DAC는 sigma-delta의 변조된 신호와 비중첩 클럭과의 AND 동작을 수행하여, 각각 adac, badc의 스위치 신호를 만들어 내며 뒷 단의 1차 SC 필터와 연결된다. 그림 6은 poly2 레이어를 이용하여 설계한 2차 능동 RC 필터이다. 결과적으로 그림 5의 1-bit DAC 및 1차 SC 필터와 그림 6의 2차 능동 RC 필터를 연결하여 총 4차의 DAC를 설계하였다. 그림 7은 설계된 DAC에 대한 각각 블록별에 대한 HSPICE 시뮬레이션의 출력 파형이다. 첫 번째 파형은 1-bit DAC을 통과한 파형이고 두 번째 파형은 1차 SC필터를 통과한 파형으로 nout, pout 단자에서의 출력특성이다. 그

리고 세 번째 과형은 2차 능동 RC 필터를 통과한 출력이다.

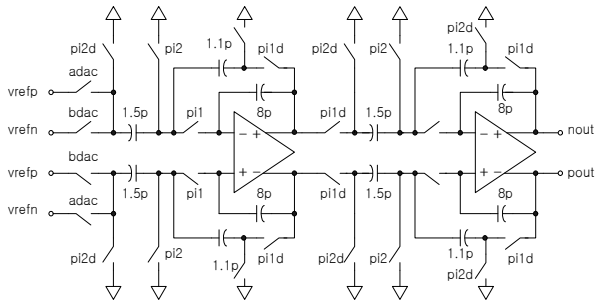


그림 5 1차 DAC와 1차 SC 필터
Fig. 5 1-order DAC and 1-order filter

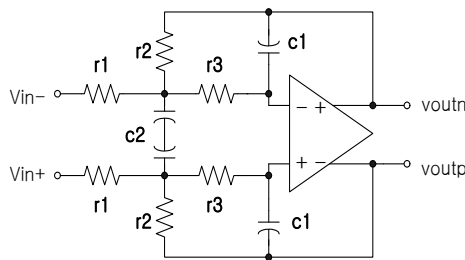


그림 6 2차 능동 RC 필터
Fig. 6 The second-order active RC filter

결과적으로 설계된 DAC 전체회로의 차동 출력 파형에 대한 FFT 결과를 그림 8에 나타내었는데 그림에서 보이는 바와 같이 대역폭 1.1MHz에서 65dB값으로 얻을 수 있었다.

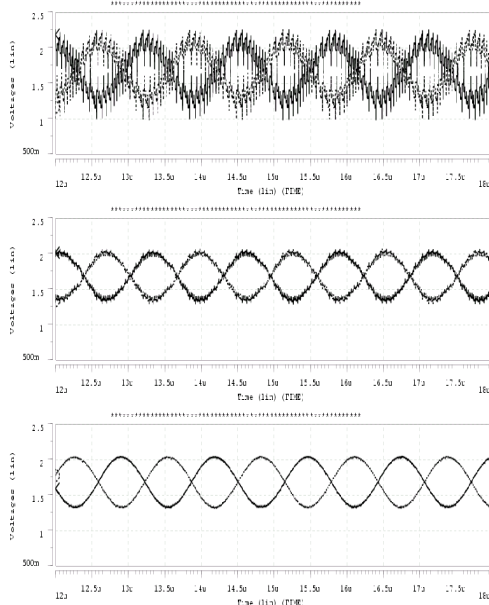


그림 7 1-bit DAC, SC 필터, active 필터의 출력파형
Fig. 7 The output of 1-bit DAC, SC filter and active filter

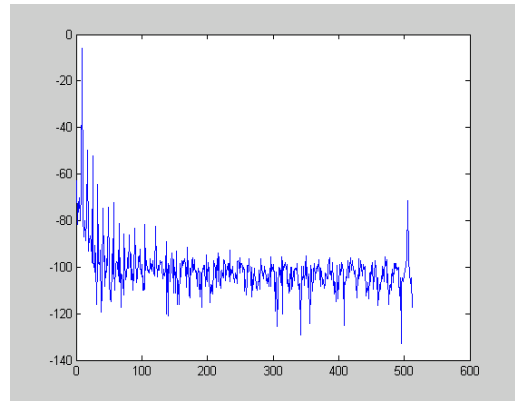


그림 8 설계된 4차 DAC의 FFT 결과 값
Fig. 8 The FFT result of the designed 4-order DAC

설계된 4차 DAC를 최종적으로 칩으로 제작한 후에 특성을 조사하기 위하여 ADC 회로를 설계하여 그림 9와 같이 연결하고 그 특성을 확인하고자 하였다. 그림 9에서 보이는 것처럼 4차 DAC 블록에 대한 별도의 실험도 가능할 수 있도록 Mux의 DAC_select 단자를 이용한 외부에서의 신호를 이용할 수 있도록 구성하였다. DAC_select 단자가 High이면 외부에서 신호를 받아 처리하고 Low이면 내부 sigma-delta ADC의 출력 파형을 이용하도록 구성하였다.

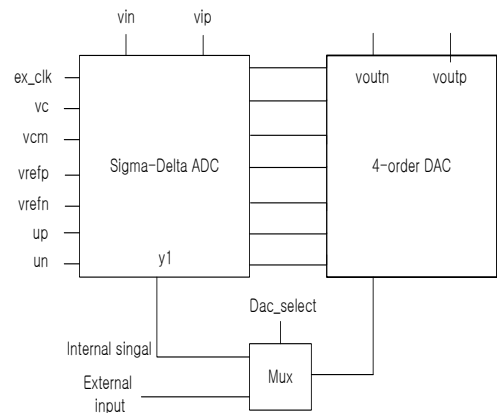


그림 9 ADC와 DAC의 구성도
Fig. 9 The block diagram of the ADC and the DAC

3. ADSL 모델용 CMOS DAC의 칩 제작 및 테스트

3.1 ADSL 모델용 CMOS DAC 칩 제작

설계한 DAC를 칩으로 제작하기 위하여 3.3V CMOS 0.35 μm TSMC공정을 이용하였으며 칩 공정에 관한 대략적인 사항을 표 3에 나타내었다. 그리고 제작된 칩 사진을 그림 10에 나타내었으며 Layout 및 칩 내부 사진을 각각 그림 11과 12에 나타내었다.

표 3 ADSL 모델용 CMOS DAC 칩 제작 공정
Table 3 The process of CMOS DAC Chip fabrication for using ADSL modem

구분	TSMC process
칩 크기	2.630mm×2.630mm
최소채널 길이	0.35 μ m
사용 전압	3.3V
Pin	84 핀 (실제 이용 가능 핀 61 핀)
Metal	4-metal
Poly	2-poly
Substrate	P-Substrate
칩 수	30개, unpackaging 10개
Package	PGA84
설계방법	full custom

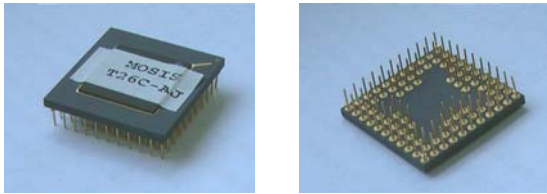


그림 10 ADSL용 아날로그 Front-end 칩 사진
Fig. 10 Photograph of the ADSL analog Front-end chip

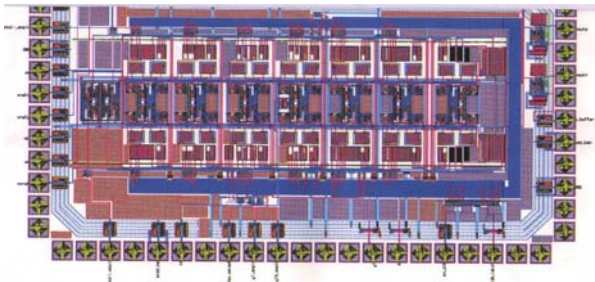


그림 11 칩 제작을 위한 4차 DAC의 Layout 완성도
Fig. 11 Layout of the 4-order DAC

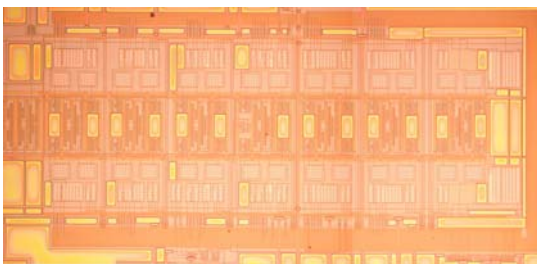


그림 12. 칩 제작 후 DAC의 칩 사진
Fig. 12 Photograph of the DAC

3.2 ADSL 모델용 CMOS DAC 칩 테스트

제작된 DAC 칩을 테스트하기 위하여 ADSL 모델의 전후 블록을 연결하고 측정하였다. 이와 같이 DAC 회로에 대한

측정 결과 중, 앞단으로부터 유입된 입력 파형이 최종적으로 4차 DAC를 통과된 후 아날로그 신호로 변환되어진 결과 파형을 그림 13에 나타내었다. 칩의 측정 결과를 분석해 볼 때 테스트 칩의 입력단자로 유입된 아날로그 정현파 신호가 ADC에 의해 디지털 신호로 변환된 후 또 다시 설계된 DAC를 거쳐 아날로그 신호로 복원된 결과 파형을 얻어 낼 수 있었으며 또한 출력 파형에서 약간의 잡음이 발생됨도 확인하였다.

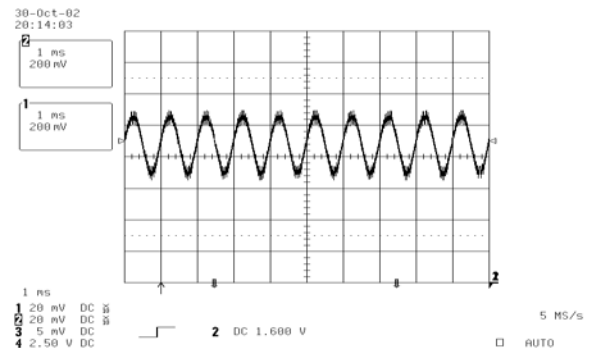


그림 13 4-order DAC 출력 신호
Fig. 13 4-order DAC output signal

4. 결 론

본 논문에서 ANSI의 표준화 규격 T1.413-2에 따라 ADSL 모델을 구성하고 있는 아날로그 블록에서 송신대역 34.5kHz-138kHz의 신호를 처리하는 sigma-delta DAC를 설계하고 Layout하였으며 칩으로 제작하였다. 설계된 DAC 블록은 1-bit DAC, 1차 SC filter와 아날로그 능동 2차 RC필터로 이어지는 3개의 블록이며 전체적으로 4차 DAC로 구성하였다.

설계된 4차 DAC를 구성하는 완전 차동 증폭기는 gain boosting을 갖는 cascode 증폭기로 설계하여 위상마진은 55°에서 100dB의 높은 전압이득을 얻어내었으며 스위치와 캐패시터를 이용한 CMFB를 설계하여 완전차동 증폭기의 출력 전압이 공급전압이나 접지로 가는 것을 방지하였다. 또한 3.3V 공급전압에서 1V 이상의 선형 출력범위를 확보하기 위해서 증폭기 바이어스 전압은 출력범위가 증가된 cascode 전류미러로 구성된 바이어스 회로를 이용하였다. 또한 시뮬레이션을 통하여 1-bit DAC, 1차 SC필터, 그리고 2차 능동 RC필터를 통과한 출력 파형 값을 확인하였으며 결과적으로 설계된 4차 DAC의 전체 차동 출력 파형을 FFT를 한 결과 대역폭 1.1MHz에서 65[dB]값으로 얻을 수 있었다. 설계된 DAC를 3.3V CMOS 0.35 μ m TSMC공정을 이용하여 칩으로 제작한 후 그 특성을 측정할 후 DAC 칩의 출력 특성 값을 얻어 낼 수 있었다.

결과적으로 본 논문에서 수행한 4차 DAC 블록에 대한 모델링과 회로 설계 및 시뮬레이션 그리고 칩 제작 및 테스트로 이어지는 일련의 연구 결과를 활용하여 VDSL 등 xDSL 모델용 아날로그 회로설계 개발에 대한 연구를 계속 진행해 가고자 한다.

참 고 문 헌

- [1] D. K. Su and B. A. Wooley, "A CMOS oversampling D/A Converter with a Current-Mode Semi-Digital Reconstruction Filter," *IEEE Journal of Solid State Circuits*, pp.1224-1233, Dec. 1993.
- [2] K. Vleugels, S. Rabii and A. Wooley, "A 2.5-V Sigma-Delta Modulator for Broadband Communications Applications," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1887-1899, Dec. 2001.
- [3] Z. Y. Chang, D. Macq, D. Haspeslagh, Paul M. P. Spruyt and Bernard L. A. G. Goffart, "A CMOS Analog Front-End Circuit for an FDM-Based ADSL System," *IEEE J. Solid-State Circuits*, vol. 30, pp. 1449-1456, Dec. 1995.
- [4] K. Falakshahi, C. K. Yang and B. A. Wooley, "A 14bit, 10Msamples/s D/A Converter Using Multibit Modulation," *IEEE J. Solid-State Circuits*, vol. 34, pp. 607-615, May 1999.
- [5] B. P. Brandt and B. A. Wooley, "A Low-Power, Area-Efficient Digital Filter for Decimation and Interpolation," *IEEE J. Solid-State Circuits*, vol. 29, pp. 679-687, Jun. 1994.
- [6] Galton, I. "Spectral Shaping of Circuit Errors in Digital-to-Analog Converters," *IEEE Transactions on Circuits and Systems Part II*, vol. 44, pp. 808-817, Oct. 1997.
- [7] P. Hurst and J. Brown, "Finite impulse response switched-capacitor filters for the delta-sigma modulator D/A interface," *IEEE Trans. Circuits Syst.*, vol. 38, No. 11, pp.1391-1397, Nov. 1991.
- [8] T. Karema, T. Ritoniemi and H. Tenhunen, "A 20-bit sigma-delta D/A converter prototype for audio applications," in Proc. of 1991 IEE int. Conference on A/D and D/A Conversion, UK, pp. 136-141, Sep. 1991.
- [9] Y. Greets, A. M. Marques and S. J. Michel, "A 3.3V, 1.5-bit, Delta-Sigma ADC with a Signal Bandwidth of 1.1MHz for ADSL Applications," *IEEE J. Solid-State Circuits*, vol. 34, pp. 927-936, Jul. 1999.
- [10] J.C. Candy and G. C. Temes, *Oversampling Delta-Sigma Data Converters: Theory, Design and Simulation*. IEEE Press, 1992.

저 자 소 개



방 준 호 (方駿鎬)

1966년 9월 28일생. 1989년 전북대 공대 전기공학과 졸업. 1991년 전북대 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공학박). 1998년~현재 익산대 전기과 조교수.

Tel : 063) 840-6626

E-mail : jhbang@iksan.ac.kr



김 선 홍 (金善泓)

1971년 10월 15일생. 1997년 전북대 공대 전기공학과 졸업. 1999년 전북대 대학원 전기공학과 졸업(석사). 2001년 동 대학원 전기공학과 박사과정.

Tel : 063) 270-2389

E-mail : tamgu@orgio.net