

교류형 플라즈마 디스플레이의 Address 전극의 전압에 따른 Sustain 방전 특성 연구

論 文

52P-2-3

A Study on the Sustain Discharge Characteristics as the Voltage of Address Electrode of AC-Plasma Display

申 載 華* · 崔 勳 永** · 李 哲 賢***

(Jae-Hwa Shin · Hoon-Young Choi · Seok-Hyun Lee)

Abstract - To improve the luminance and luminous efficiency of a surface-discharge alternate current plasma display panel, we analyzed the sustain discharge characteristics as the voltage of the address electrode in the study. As the results, when the address voltage is a half of the sustain voltage in the sustain period, the luminance and luminance efficiency are the highest. The luminance efficiency increased about 16.2%~20.8% compared with the conventional type.

Keyword : PDP, AC-PDP, 플라즈마, 효율, 어드레스

1. 서 론

현대 정보화 시대에는 대량의 정보를 신속하게 전달시켜 줄 수 있는 대형 디스플레이에 대한 요구가 증대되고 있다. CRT(Cathode Ray Tube)는 대형화, 경량화, 평판화 등에 대한 한계로 인하여 이를 대체할 만한 새로운 디스플레이 소자에 대한 연구가 활발히 진행 중이다.

PDP는 기존의 CRT(Cathode Ray Tube), LCD(Liquid Crystal Display), ELD(Electro Luminescent Display)나 다른 차세대 평판 디스플레이에 비해 대형화가 용이하다는 장점으로 인해 주목받고 있었다[1],[2],[3]. 그러나 현재 TFT-LCD가 대형화에 성공함에 따라 대형 평판 디스플레이의 시장에서 PDP는 TFT-LCD와의 경쟁을 피할 수 없게 되었다. 현재 PDP는 TFT-LCD에 비하여 화질, 가격, 명암비, 낮은 제조단가 등 여러 가지 면에서 우위를 차지하고 있지만 높은 소비전력을 가지고 있어 TFT-LCD와의 경쟁에서 큰 약점을 가지고 있다[4],[5]. 현재 AC-PDP는 3전극을 가지고 있고 면방전형이며 스트라이프 구조가 흔히 쓰이고 있고, 구동 방법은 ADS 구동 방법이 주로 쓰이고 있다. 또 최근에는 의사윤곽 문제를 해결하기 위하여 한 Frame당 Sub-field 수를 늘려서 사용하고 있고, HD급 PDP에서는 Address 기간이 더 길어지게 된다. Address 기간의 증가와 Sub-field 수의 증가로 인해서 Sustain 기간이 줄어들게 되어서 PDP의 휘도는 더욱 감소하게 된다. 낮은 휘도를 보상

하기 위해 고주파수로 구동을 하는데 고주파수는 효율을 저하시키게 되는 단점이 있다. 지금까지 PDP의 효율 연구에서 셀구조, 가스혼합, 재료개발 등에 초점을 맞추어 연구되어 왔으나 최근에는 ALIS 방식이나 TELAS 방식 등과 같은 구동 방식으로 효율과 휘도를 개선시키는 연구가 진행되어 왔고, 또 Sustain 구간에 Address 전극을 적극적으로 활용하여 휘도와 효율을 개선하는 여러 가지 방법들이 제안되었다[2],[3],[4],[5],[6]. 따라서 본 논문에서는 Address 전극의 전위에 따라 Sustain 방전의 특성을 분석하고 비교하였다.

2. 본 론

2.1 실험 장치 및 방법

그림 1은 본 실험에 사용된 3전극 면방전형 AC-PDP의 셀 구조이다. 3mm 두께인 2장의 유리로 구성되어 있고, 상판에는 유리 기판위에 ITO 전극을 증착하고 그 위에 Cr/Cu/Cr으로 이루어진 버스 전극을 인쇄한다. ITO 전극과 버스 전극으로 이루어진 방전유지전극 위에 유전체를 인쇄하고, 또 유전체 보호막인 MgO를 그 위에 증착한다. 그리고 하판에는 유리 기판위에 Ag으로 인쇄된 Address 전극을 인쇄한다. 그리고 인접 셀과의 구분을 위하여 sandblast법으로 격벽을 만든다. 그 다음 면방전에서 발생하는 진공자의 선을 가시광으로 변환하는 Red, Green, Blue 빛의 삼원색 형광체를 각각 도포 한다. 표1은 본 실험에서 사용한 Test Panel의 사양이다.

* 正 會 員 : 仁 荷 大 工 大 電 子 電 氣 工 學 部 博 士 課 程
仁 川 專 門 大 學 電 氣 科 教 授

** 準 會 員 : 仁 荷 大 博 士 後 過 程 · 工 博

*** 正 會 員 : 仁 荷 大 工 大 電 子 電 氣 工 學 部 副 教 授 · 工 博

接 受 日 字 : 2003 年 3 月 24 日

最 終 完 了 : 2003 年 5 月 27 日

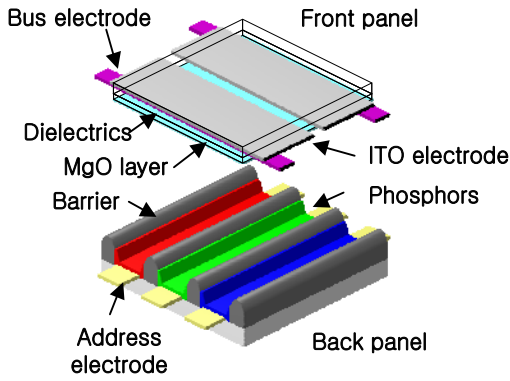


그림 1 3전극 면방전형 AC-PDP의 단일 셀의 개략도
 Fig. 1 Schematic diagram of the single cell structure of the three electrodes surface discharge AC-PDP

표 1 Test Panel의 사양

Table 1 Specification of test panel

Panel size	7.5 인치
Gas pressure	400 Torr
Resolution	XGA
Barrier rib height	130 μ m
Bus width	90 μ m
ITO width	275 μ m
ITO gap	65 μ m

그림 2는 실험 장치의 개략도이다. 진공 챔버에서 He+Ne+Xe (67.2% : 28.8% : 4%)등의 가스를 혼합하여 7-inch test Panel에 주입하였다. 그리고 여러대의 Power supply가 연결된 구동 회로를 Pulse Generator인 Time-98 로 신호를 발생시켜서 회로를 제어하여 Panel을 방전 시켰다. Ampere meter 2대로 Sustain 전극과 Address 전극에 흐르는 전류를 각각 측정하였고, Oscilloscope에 전압프로브, 광과형 측정장치인 Photo detector를 연결하여서 전압과형, 광과형을 측정하였다. 휘도는 BM-7을 사용하여 측정하였다. 표 2는 Photo detector의 사양이다.

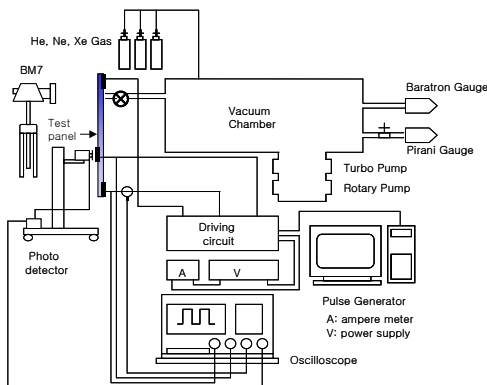


그림 2 실험 장치의 개략도
 Fig. 2 Schematic diagram of an experimental system

표 2 Photo detector의 사양

Table 2 Specification of photo detector

Active Area	ϕ 1.5mm
Spectral Response	400nm to 1000nm
Peak Wavelength	800nm
Photo Sensitivity (800nm, Gain=1)	0.5 A/W
Temperature Stability of Gain (25 $^{\circ}$ C \pm 10 $^{\circ}$ C gain=30)	\pm 2.5% Typ. \pm 5 Max.

그림 3은 본 실험에 사용한 ADS(Address and Display period Separated)형 AC-PDP의 구동 파형 개략도와 시간적인 배치이다. Reset 기간은 모든 셀들의 벽전하 분포를 초기화 시키는 구간이다. X 전극에 소거 펄스를 인가하여 전 Sub-field에 방전이 되었던 셀들의 벽전하를 소거 시킨다. 그리고 Y 전극에 쓰기 펄스를 인가하여 모든 셀들에 벽전하를 쌓아 준다. 그리고 다시 X 전극에 소거 펄스를 인가하여 모든 셀들의 벽전하를 소거 시켜 준다. 이렇게 3단계의 소거, 쓰기, 소거 펄스를 인가함으로써 전 Sub-field에 방전이 있었던 셀들과 방전이 없었던 셀들의 벽전하 분포를 동일하게 할 수 있다. Address 기간은 선택하고자 하는 셀들을 방전 시켜 벽전하를 형성시키는 구간이다. X 전극에는 Address 방전 시 전자가 쌓이도록 유도하기 위하여 address 구간에는 항상 일정한 전압을 인가한다. Y 전극 A에는 비선택 라인의 전극은 일정한 전압을 인가하다가 선택 라인의 전극만 전압을 일시적으로 0V를 인가하여 Address 방전을 일으킨 다음 다시 비선택 전압을 인가한다. 또 Address 전극은 비선택을 할때는 0V를 유지하다가 선택이 될 때 일정한 전압을 일시적으로 인가한다. 여기서 Address 방전은 Y 전극의 선택라인과 Address 전극의 선택 라인이 교차 되는 셀만 일어난다. 이러한 과정을 Y 전극의 첫 번째 라인부터 마지막 라인까지 반복하면서 Sustain 기간에서 방전을 시키고자 하는 셀에 방전을 시켜서 벽전하를 쌓아준다. 마지막으로 Sustain 구간에서는 Address 구간에서 방전으로 벽전하가 형성된 셀들을 동시에 발광시킨다. PDP는 Sustain 구간에서 Sustain 펄스의 숫자는 각 Sub-field마다 1:2:4:8:16:32:64:128의 비로 다르게 하여 계조를 표시하는 Pulse Modulation 방식을 쓴다. 각 Sub-field는 Reset 기간, Address 기간 그리고 서로 다른 Sustain 펄스의 숫자를 가지고 있는 Sustain 기간으로 이루어져 있고, 한 TV-field(Frame)는 8개에서 12개 정도의 Sub-field로 구성되어 있다. 한 Frame에 Sub-field 수는 최소 8개 이상 있어야지 256 gray level을 표시 할 수 있다. 하지만 최근에는 의사윤곽등의 문제를 해결하기 위해 주로 10개에서 12개 정도를 사용한다. 그러나 의사윤곽문제 해결을 위해 늘어난 Sub-field 수는 휘도와 효율을 저하시키고, 그 문제를 해결하기 위해 Dual Scan 방법을 사용한다면 구동회로 소자의 가격의 상승을 초래한다.

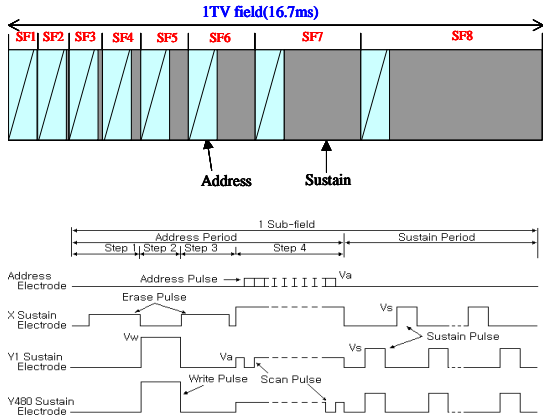


그림 3 AC-PDP의 ADS 구동 파형의 개략도와 시간적인 배치
 Fig. 3 Schematic diagram of the driving waveforms and timing charts of ADS scheme in AC-PDP

본 실험에서 한 Frame의 Sub-field의 수를 8개 사용하였고, 한 Sub-field의 시간은 2.083ms로 하였다. Sustain 펄스는 160V, 170V, 180V, 190V, 200V로 가변 시켰고, Duty ratio를 25%로 하였다. 주파수는 10kHz, 12.5kHz, 25kHz, 50kHz, 100kHz로 가변시켰다. Address 전압은 180V를 인가하였다. 그리고 Sustain 구간에서 Address 전극의 전압은 종래의 구동방법에서는 0V를 인가하였는데, 본 실험에서는 각각 0V, 50V, 90V, 120V의 전압을 인가하였다.

그림 4는 구동 펄스를 발생시키기 위한 회로도 중 대표적인 회로도를 나타내었다. 먼저 PDP 패널의 디지털 회로를 보호하기 위하여 포토 커플러(6N137)를 사용하여 디지털 회로부와 아날로그 회로부를 분리 하였다. 디지털 회로부에서 6N137의 3번 단자에 신호를 공급하여 6번 단자에서 나온 신호를 FET Driver인 IR2110의 10번과 12번에 공급한다. 이 신호는 IR2110의 1번과 7번 단자에서 각각 15V로 증폭이 되어서 MOSFET n채널 IRF740의 Gate에 인가하여 IRF740을 스위칭 하였다.

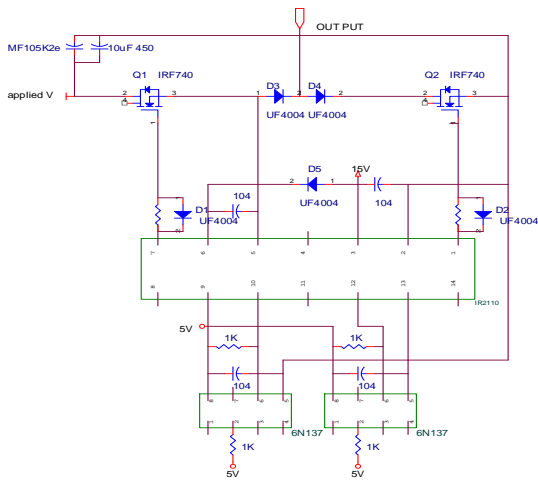


그림 4 구동 펄스 발생 회로도
 Fig. 4 Diagram of circuit for the driving pulse

그림 5는 그림 3의 구동파형을 발생시켜 주기 위한 회로도의 개략도이다. C1은 Y 전극의 Sustain 방전을 일으키기 위한 Sustain Driver이고, C2는 PDP의 벽전하의 분포를 초기화시키기 위해 패널의 모든 셀을 방전시키는 Setup Driver이고, C3는 스캔을 하기 위한 Scan Driver이다. 또 C4는 X 전극의 Sustain 방전을 일으키기 위한 Sustain Driver이고, C5는 벽전하의 분포를 초기화시키기 위해 패널의 모든 셀을 소거 방전시키는 Erase Driver이다. 마지막으로 C6은 Address 방전을 일으키기 위한 Address Driver이다. 여기서 C3와 C6는 각각 스캔 라인 수와 Address 라인 수만큼 회로가 있어야 하지만 본 회로도에서는 생략을 하였다.

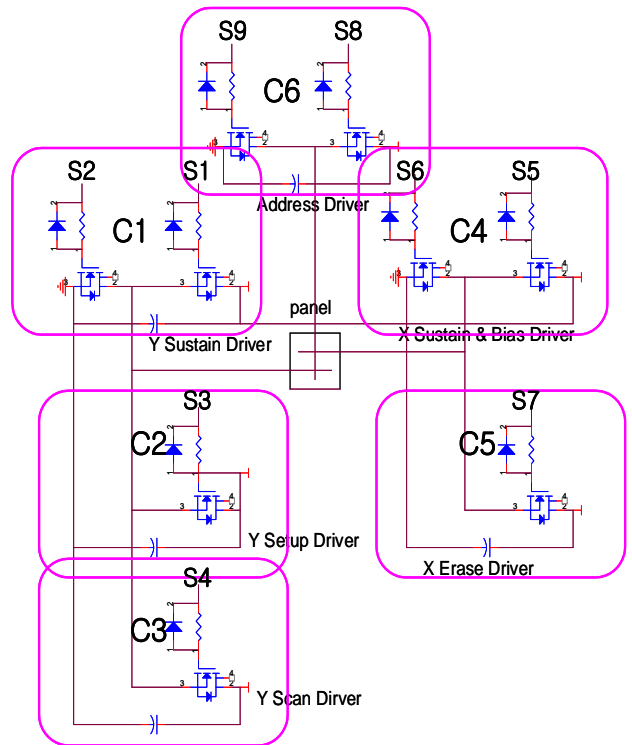


그림 5 구동파형 발생을 위한 회로도의 개략도
 Fig. 5 Schematic diagram of the circuit for generating the driving waveform

2.2 벽전하의 생성 원리

그림 6은 벽전하의 형성 과정을 도식화하였다. 그림 6에서 (a)는 최초 벽전하가 없을 때 전압을 인가하는 경우이다. 여기서 유전층은 유전분극 전하가 형성되어 방전 공간에는 인가한 전압이 가해지게 된다. (b)에서 인가전압에 의한 공간 전압이 방전 개시 전압에 달하면 방전을 개시하고 생성된 하전입자들은 전극 위 유전체 표면위로 벽전하를 형성하게 된다. 방전 플라즈마에 있던 이온과 전자는 Coulomb force에 의해 방전 공간 전압이 저하하여 방전 유지 전압 이하로 되면 방전은 중지하게 된다. (c)에서처럼 방전에 의해 생성된 전하들은 전압이 인가되고 있는 반대 극성의 전극 위 유전층에 쌓이게 되고 벽전하들은 매우 오랜 시간 동안 없어

지지 않고 존재하게 된다. (d)에서 인가전압의 극성이 바뀌게 되면 공간전압은 인가전압과 벽전압의 합으로 나타나게 되어 (e)에서처럼 방전에 의해 또 다시 생성된 전하들이 (f)와 같은 유전층에 쌓이는, 전압의 교번에 따라 반복적인 현상이 발생함으로써 방전을 유지하게 된다. 이후 소거하기 위해서는 이전에 축적된 벽전압과 새로 인가하게 되는 전압의 합이 방전을 유지할 수 없을 정도의 공간 전압이 되면 더 이상 벽전하 형성이 어려워져 차차 소멸해 가게 된다.

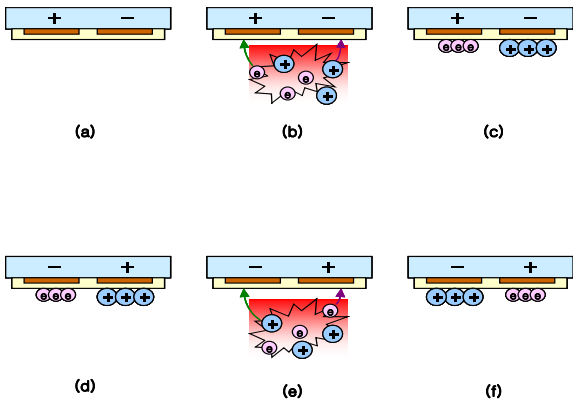


그림 6 벽전하의 형성 과정
Fig. 6 Formation process of wall charge

2.3 실험 결과

그림 7은 Sustain 구간에서 Address 전극의 전압(V_A)과 주파수에 따른 휘도를 나타낸 것이다. Sustain 펄스의 전압(V_S)은 180V로 하였고, 주파수는 10kHz, 12.5kHz, 25kHz, 50kHz, 100kHz로 가변시켰다. 그림 7에서 주파수가 커질수록 휘도가 증가하였다. 이것은 주파수가 증가하여 Sustain 펄스의 숫자가 증가하였기 때문이다. 또 모든 주파수에서 V_A 가 0V일 때 가장 작은 값이 나왔고, V_A 가 증가할수록 휘도가 커지고, 90V일 때 가장 큰 값이 나왔다. 그리고 V_A 가 120V일 때는 휘도가 다시 감소하였다.

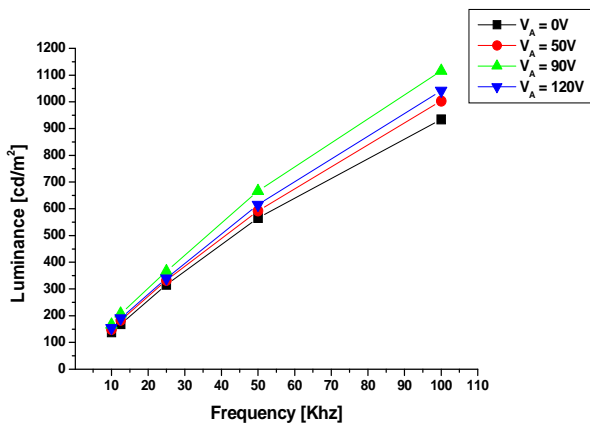


그림 7 Sustain 구간에서 address 전극의 전압(V_A)과 주파수에 따른 휘도
Fig. 7 Luminance as frequency and voltage of the address electrode in the sustain period

그림 8은 Address 전압(V_A)값과 주파수에 따른 전류량을 나타낸 것이다. 그림 8에서 전류량은 주파수에 따라 상승을 하고 V_A 값에는 관계없이 거의 일정하다.

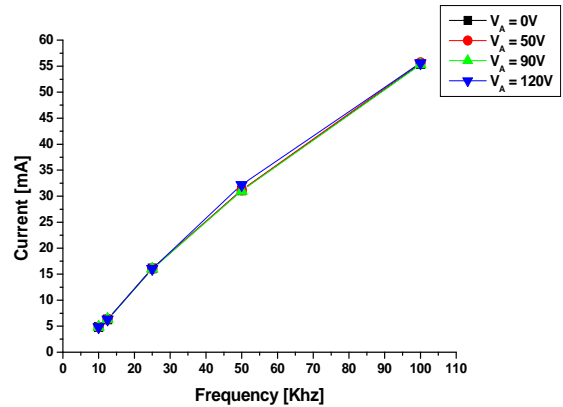


그림 8 Address 전압(V_A)값과 주파수에 따른 전류량
Fig. 8 Current as V_A and frequency

그림 9은 Address 전압(V_A)값과 주파수에 따른 효율을 나타낸 것이다. 그림 9에서 효율은 주파수가 증가할수록 감소하는 것을 볼 수가 있다. 그 이유는 주파수가 빨라지면 방전으로 생긴 자외선이 형광체를 여기시켜 모두 가시광선으로 변환하기 전에 또 다른 방전으로 인해 자외선이 형광체를 다시 여기 시키기 때문에 형광체가 포화되기 때문이다. 그리고 V_A 값이 90V일 때 효율이 가장 우수했다.

그림 10과 그림 11은 Sustain 전압(V_S)과 Address 전압(V_A)에 따른 휘도와 효율을 나타낸 것이다. Sustain 펄스의 전압은 160V, 170V, 180V, 190V, 200V로 가변시켰고, 주파수는 50kHz로 하였다. 그림 10에서 휘도는 전압이 높아질수록 증가하고, V_A 값이 상승할수록 휘도가 상승하다가 V_A 값이 V_S 의 1/2의 값일 때 최대값을 갖다가 더 상승을 하면 휘도가 감소하는 것을 볼 수가 있다. 그림 11에서는 효율은 전압이 높아질수록 감소하는 것을 볼 수 있고, V_A 값이 상승할수록 효율이 상승하다가 V_A 값이 V_S 의 1/2의 값일 때 최대값을 갖다가 더 상승을 하면 효율이 감소하는 것을 볼 수가 있다. 그림 10과 그림 11의 실험 결과에서 보듯이 모든 Sustain 전압에서 휘도와 효율은 V_A 값이 V_S 의 1/2의 값일 때 최대값 이라는 것을 알 수 있다.

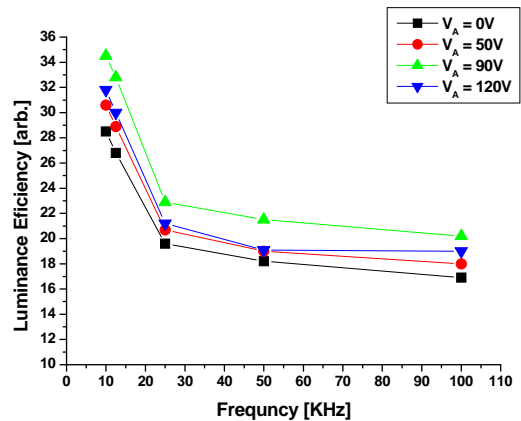


그림 9 Address 전압(V_A)값과 주파수에 따른 효율
Fig. 9 Luminance efficiency as V_A and frequency

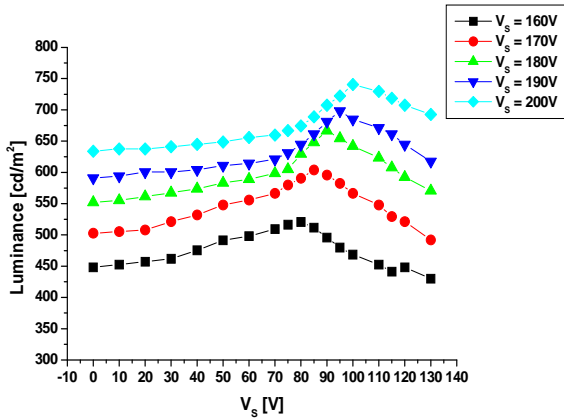


그림 10 Sustain 전압(V_s)과 Address 전압(V_A)에 따른 휘도
Fig. 10 Luminance as V_s and V_A

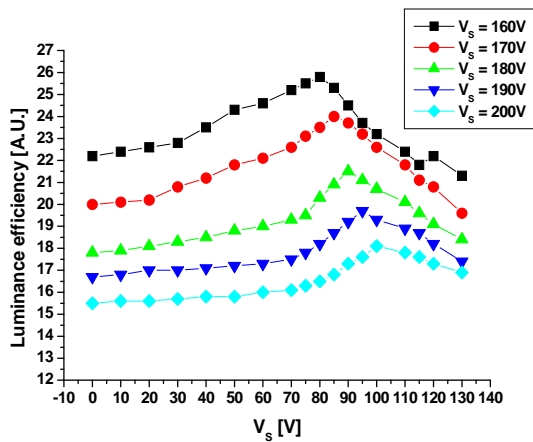


그림 11 Sustain 전압(V_s)과 Address 전압(V_A)에 따른 효율
Fig. 11 Luminance efficiency as V_s and V_A

그림 12는 V_A 값이 0V, 50V, 90V, 120V 일 때의 X 전극과 Address 전극의 전압파형과 광 파형을 나타낸 것이다.

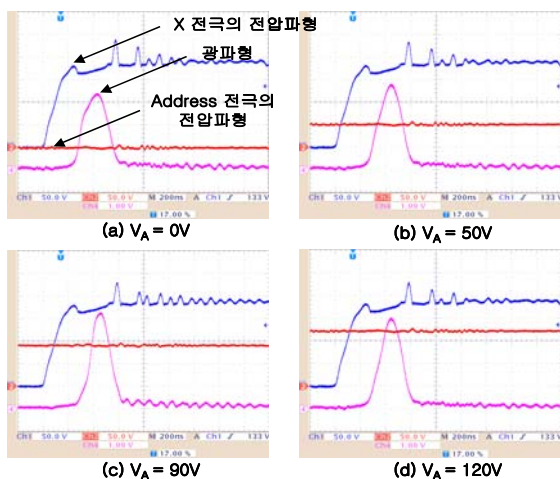


그림 12 V_A 값에 따른 X 전극과 address 전극의 전압파형과 광 파형

Fig. 12 Voltage waveform and photo waveform of the X electrode and the address electrode as V_A

Sustain 펄스의 전압은 180V이고, 주파수는 50kHz이고, Duty Ratio는 25%이다. 그림 12에서 V_A 에 따른 광파형의 크기는 (c), (d), (b), (a) 순으로 나타났다. V_A 가 0V 일 때 제일 작은 광파형이 나타나다가 V_A 가 증가할수록 광파형이 커지다가 V_A 가 90V일 때 광파형이 크고 120V에서는 다시 광파형이 작아진다.

그림 13은 V_A 값에 따라 분포 되는 벽전하의 분포도를 나타낸 것이다. 어느 한쪽 Sustain 전극에 180V를 인가하여 방전이 일어날 때, 그림 13의 (a)처럼 V_A 이 0V이면 Address 전극에 (+)극성을 갖는 벽전하가 많이 쌓이게 된다. 따라서 방전으로 형성된 (+)극성의 전하는 0V가 인가된 Address 전극과 0V가 인가된 다른 Sustain 전극에 (+)극성의 벽전하가 서로 나뉘어서 쌓이게 된다. 그래서 Sustain 주 방전에 기여하는 Sustain 전극간에 벽전하에 의해서 나타나는 벽전압의 차는 감소하게 된다. Sustain 전극의 벽전압의 차의 감소는 Sustain 방전을 약하게 한다. 그래서 효율과 휘도가 감소하게 된다. 그림 (b)에서는 V_A 에 50V를 인가하면 Address 전극은 180V가 인가된 Sustain 전극에 비해 상대적으로 음극이고, 0V가 인가된 전극에 비해 상대적으로 양극을 나타나게 된다. 하지만 0V가 인가된 Sustain 전극에 의한 양극의 특성보다 180V가 인가된 Sustain 전극에 의한 음극의 특성이 더 강하기 때문에 어드레스 전극에 (+)극성을 갖는 벽전하가 쌓이게 된다. 그래서 (a)의 경우보다는 (+)극성을 갖는 벽전하가 조금 쌓이게 되고 0V가 인가된 Sustain 전극에는 (a)의 경우보다 (+)극성의 벽전하가 더 많이 쌓이게 된다. 이런 특성 때문에 Sustain 전극간의 벽전압의 차이는 (a)의 경우보다 커지고, 휘도와 효율이 상승하게 된다. 그림 (c)에서는 V_A 에 90V를 인가하면 Address 전극은 180V가 인가된 Sustain 전극과 0V가 인가된 또 다른 Sustain 전극의 영향을 거의 비슷하게 받고 있기 때문에 상대적으로 거의 중성이 된다. 그래서 Address 전극에는 벽전하들이 거의 쌓이지 않고, Sustain 전극에 대부분의 벽전하들이 쌓이게 된다. 셀 내부에 벽전하들이 Sustain 전극에 쌓이게 되므로 Sustain 전극간의 벽전압 차이는 최대가 된다. 그래서 휘도와 효율이 상승하게 된다. 그림 (d)에서는 V_A 에 120V를 인가하면 Address 전극은 180V가 인가된 Sustain 전극에 비해 상대적으로 음극이고, 0V가 인가된 전극에 비해 상대적으로 양극을 나타나게 된다. 하지만 180V가 인가된 Sustain 전극에 의한 양극의 특성보다 0V가 인가된 Sustain 전극에 의한 양극의 특성이 더 강하기 때문에 Address 전극에 (-)극성을 갖는 벽전하가 쌓이게 된다. 그래서 180V가 인가된 Sustain 전극에 (-)벽전하가 조금 줄어들게 된다. 이런 특성 때문에 Sustain 전극간의 벽전압의 차이가 줄어들게 되고, 휘도와 효율은 (c)의 경우보다 감소하게 된다. 그림 13에서 벽전하 모형도와 그림 7, 8, 9, 10, 11, 12의 실험결과에서 Sustain 방전이 Address 전극에 인가되는 전압은 Sustain 전극들의 전압에 비해 상대적으로 극성을 나타내기 때문에 방전에 의해 발생한 하전입자들이 Address 전극에 쌓이게 되어 방전에 필요한 Sustain 전극간의 벽전압의 차를 증가 또는 감소시켜서 그 벽전압의 차에 의해 휘도와 효율에 직접적으로 영향을 준다는 것을 보여준다. 그리고 Address 전극이 Sustain 전극들 전압의 상대적인 영향을 거의 동일하게 받는 값은 90V일 때 Sustain 전극간의 벽

전압의 차가 증가하기 때문에 휘도와 효율이 상승하는 것을 알 수 있다. 따라서 Sustain 방전 중에 Address 전극에는 Sustain 전압의 1/2인 전압을 인가하는 것이 휘도와 효율이 가장 좋고, Sustain 전압의 1/2에 가까운 전압일수록 휘도와 효율이 좋아진다는 것을 알 수 있다.

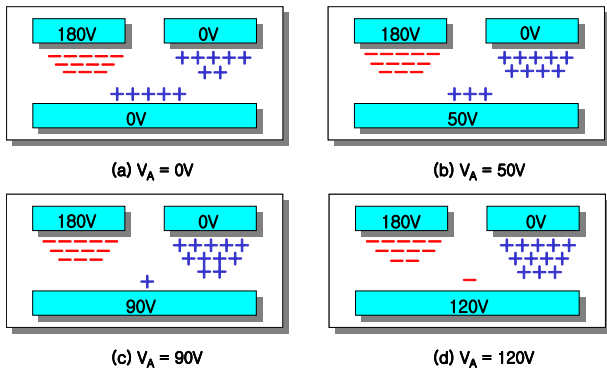


그림 13 V_A 값에 따라 분포되는 벽전하의 분포도

Fig. 13 Wall charge distribution as V_A

그림 14는 Sustain 구간 중에 Address 전극에 Sustain 펄스의 전압의 1/2을 인가했을 때 각 Sustain 펄스의 따른 효율의 상승률을 나타낸 그림이다. 그림 14에서 V_A 값이 Sustain 펄스의 전압의 1/2일 때 각 전압에 따라 효율은 16.2%~20.8% 상승하였고, Sustain 펄스의 전압이 180V 일 때 효율의 최대로 나타났다.

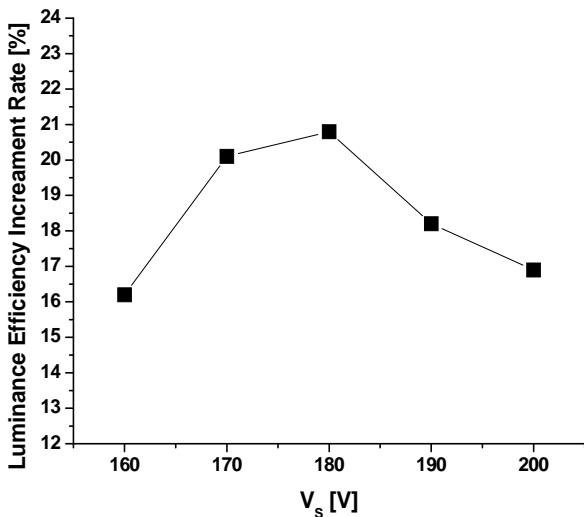


그림 14 Sustain 펄스 전압 따른 효율 상승률

Fig. 14 Luminance efficiency improvement rate as the voltage of sustain pulse

3. 결 론

본 논문은 3전극 면방전형 AC-PDP의 고휘도 고효율을 위해 현재 널리 사용하고 있는 Sustain에서 Address 전극에 인가하는 전압에 따른 방전 현상을 분석하였다. Sustain 구간에서 Address 전극에 전압을 인가하면 각 Sustain 전극에

인가되는 전압과 상대적인 극성을 나타내기 때문에 벽전하들의 분포가 다르게 형성 된다. 그리고 벽전하 분포에 따라 방전의 휘도와 효율이 달라진다. Sustain 구간 중 Address 전극에 인가하는 전압을 Sustain 펄스 전압의 1/2로 인가 할 때, Address 전극에 벽전하들이 거의 쌓이지 않고, Sustain 전극사이에만 대부분의 벽전하가 쌓이기 때문에 휘도와 효율이 가장 좋았다. 그리고 Address 전극에 인가하는 전압이 Sustain 펄스의 전압의 1/2에 가까워질수록 Address 전극에 쌓이는 벽전하가 증가하고, Sustain 전극에 쌓이는 벽전하들이 증가하기 때문에 휘도와 효율이 좋아졌고, 1/2보다 작아지거나 커질수록 Sustain 전극에 쌓일 벽전하들이 Address 전극에 많이 쌓이기 때문에 휘도와 효율이 감소하였다. 이때 효율은 각 전압에 따라 16.2%~20.8% 상승을 하였다.

감사의 글

본 연구는 2003년도 인천전문대학 교내연구비 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

- [1] J. D. Ryeom, K. Y. Park, S. Mikoshiba "A Drive-Voltage Reduction of AC PDPs by Use of Space-Charge-Control Pulses" SID' 97, 1997, pp. 390-393
- [2] Sang Hun Jang, Ki-Duck Cho, Heung-sik Tae, Byungcho Choi, and Kyung Cheol Choi, "Improve of Luminance and Luminous Efficiency Using Address Pulse during Sustain-Period of AC-PDP", IDW'00, 2000, pp. 767-770
- [3] 서정현, 허은기, 박창배, "어드레스 전극이 XY 방전에 미치는 영향에 관한 연구", KIDS PDP Workshop, 2000, pp. 1-4
- [4] Gun-Su Kim, Hoon-Young Choi, Sonic Kim, Seok-Hyun Lee, Jun-Yub Kim, Hai-Young Jung, "New Reset waveform for Contrast Ratio Improvement of AC-PDP", Euro Display, 2002, p. 723-726
- [5] Gun-Su Kim, Hoon-Young Choi, Seok-Hyun Lee, and Joon-Yub Kim, "A New Reset Waveform for the Dark Room Contrast Ratio Improvement Using the X electrode of AC-PDP", IDW'02, 2002, p. 897-900
- [6] 정해영, 최훈영, 김근수, 김성익, 송봉식, 박헌건, 이석현 플라즈마 디스플레이 패널용 He+Ne+Xe 혼합가스에서 소량 Xe 함유에 대한 영 차원 수치해석과 방전특성연구", 대한전기학회 논문지, Vol. 51C, No. 9, SEP, 2002, p. 436~442,

저 자 소 개



신 재 화 (申 載 華)

1949년 12월 4일생. 1975년 인하대 전기공학과 졸업, 1982년 동 대학원 전기공학과 졸업(공학석사). 1997년~현재 인하대 전기공학과 박사과정. 1975년~현재 인천전문대학 전기과 교수.

Tel : 032-760-8701
Fax : 032-760-8895
E-mail : shinjh@icc.ac.kr



최 훈 영 (崔 勳 永)

1970년 3월 10일생. 1996년 인하대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(공학석사). 2003년 동 대학원 전기공학과 졸업(공학박사). 2003년~현재 인하대 박사후과정.

Tel : 032-860-7402
Fax : 032-863-5822
E-mail : g1991156@inhavision.inha.ac.kr



이 석 현 (李 哲 賢)

1963년 2월 3일생. 1985년 서울대 전기공학과 졸업, 1987년 동 대학원 전기공학과 졸업(공학석사). 1993년 동 대학원 전기공학과 졸업(공학박사). 1993년~1995년 현대전자 반도체연구소 선임연구원. 1995년~현재 인하대 전자전기공학부 부교수.

Tel : 032-860-7392
Fax : 032-863-5822
E-mail : plasma@inha.ac.kr