

# 고성능 Smart Power 소자 설계 및 전기적 특성에 관한 연구

## A Study on the Design and Electrical Characteristics of High Performance Smart Power Device

具 用 書\*

Yong-Seo Ku\*

요 약

본 논문에서는 고내압 및 고속 스위칭 특성을 갖는 고성능 BCD(Bipolar-CMOS-DMOS) 소자 구조를 고안하였다. 공정 및 소자 시뮬레이션을 통하여, 최적화된 공정 규격과 소자 규격을 설계하였으며, 고안된 소자의 전기적 특성을 만족시키기 위하여 이중 매몰층 구조, 트랜치 격리 공정, n-/p- 드리프트 영역 형성기술 및 얇은 접합 깊이 형성기술 등을 채택하였다. 이 스마트 파워 IC는 20V급 Bipolar npn/pnp 소자, 60V급 LDMOS소자, 수 암페어 급의 VDMOS, 20V급 CMOS소자 그리고 5V급 논리 CMOS를 내장하고 있다.

### Abstract

In this study, the high performance BCD device structure which satisfies the high voltage and fast switching speed characteristics is devised. Through the process and device simulation, optimal process spec. & device spec. are designed. We adapt double buried layer structure, trench isolation process, n-/p- drift region formation and shallow junction technology to optimize an electrical property as mentioned above.

This I.C consists of 20V level high voltage bipolar npn/pnp device, 60V level LDMOS device, a few Ampere level VDMOS, 20V level CMOS device and 5V level logic CMOS.

### 1. 서 론

정보통신 서비스 증대 및 다양화에 따른 이동통신, 광대역 영상정보, 위성통신 시스템, 고성능 컴퓨터 시스템, 산업사회의 중추인 자동차의 고품격 전자

제어시스템 구현을 위한 반도체 부품산업의 역할이 증대되고 있는 점을 중시, 보다 초고속, 고주파, 고내압, 고신뢰성화, 저전력 특성을 동시에 만족시킬 수 있는 one-chip화된 다기능 첨단 지능형 소자구조[1,2]가 제안되었다.

소자 설계에 있어 우선 첨단 지능형 IC의 시스템별 요구 spec. 및 이를 만족시키기 위한 소자 spec. 공정상의 타당성, 용이성 등을 고려하여 소자구조가 고안

\* 西京大學校 電子工學部

(Dept. of. EE, SeokYeong Univ.)

接受日:2002年 8月 16日, 修正完了日:2003年 7月 28日

되어야 한다는 점이다. 최근 고성능 컴퓨터 시스템의 대중화와 함께 고속 disk driver 개발에 선진외국에서의 기술개발이 활발히 이루어지고 있는데 이 시스템의 핵심부품으로는 read/write 동작용 고성능 CMOS, signal processing용 고속 바이폴라 소자, 12V급에서 동작하는 구동단의 power device를 들 수 있다.

따라서, 5V급에서 동작하는 고속 CMOS소자와 30V-50V급 DMOS인 전력소자를 one-chip화하는 기술이 요구된다. 또한 automotive의 각종 제어장치에서 요구되는 특성은 약 30V~40V급 및 10A 내외의 전류특성이다. 이러한 고내압/고전류 특성은 automotive의 각 motor를 구동하기 위하여 필수적이며, 이를 제어하기 위한 반도체 회로로써 one-chip화된 첨단 지능형 IC 기술이 적용된다.[3]

이런 저전압용 CMOS 소자는 고속 고집적용 논리회로 구성에 사용되며 npn/pnp conventional 바이폴라 소자는 precision analog function 기능을 만족시키기 위해 사용되며, 구동용 소자로는 요구 전압을 쉽게 유지할 수 있고 큰 전류를 전도할 수 있는 up-drain power 소자나 lateral power 소자를 사용한다.

한편 휴대폰 및 PDA의 경우, 논리회로와 제어 IC를 구동하기 위하여 약 2.7V 3.0V를 사용하여 RF transmitter와 수신기의 배터리 전압은 약 6.25V가 요구한다. 또한 logical control part와 최종 연결되는 구동 part에는 약 20~30V 급 LDMOS[4,5]가 사용된다. 이러한 응용분야에 있어 요구되는 전류특성은 약 300mA level이다.

이를 종합해 볼 때 저전압 고속 스위칭 혼성회로, 고내압 구동회로 구현을 위한 one-chip 다기능 IC기술이 요구된다.[6]

이 밖에도 고속 A/D converter등 많은 응용분야가 있으며, 이로부터 이러한 system의 요구조건을 만족시킬 수 있는 one-chip화된 다기능 소자 구조를 구현하였다. 즉 기존의 0.8um BiCMOS 공정기술과 양립하며, 그 내부에 약 20V/3GHz급 아날로그용 npn/pnp 바이폴라 소자와 저전압, 고집적 논리회로 구현을 위한 CMOS 소자, 60V내외의 고내압 특성의 LDMOS 소자를 동시에 탑재할 수 있는 소자구조를 설계 하였다.

제안된 본 소자의 특징적인 면으로는 첫째, 고내압

고주파용 아날로그 바이폴라 소자, 디지털 회로용 CMOS 소자, 고내압용 LDMOS(Lateral Double Diffused MOS)소자를 one-chip하는 공정기술을 구현하였으며, 둘째 20V급 이상의 고내압 바이폴라 소자의 구조를 구현하였다. 셋째,  $R_{on}$  및 파괴전압 특성개선을 위하여 n-LDD /n-drift/n+ S/D 구조를 채택하였다.

## 2. 최적화 공정 설계

### 가. 메몰층 및 epi층 형성 공정

p형 <100> 실리콘 웨이퍼 표면 위에 선택적 마스크 작업을 통하여 HV-pnp/HV-npn/HV PMOS/VDMOS 소자 영역에 약  $4\sim 5E15$ (atoms/cm<sup>2</sup>)의 dose로 비소(As<sup>+</sup>)의 이온주입과정을 수행한다.

그 다음 고내압 pnp 소자의 콜렉터 영역 구현을 위하여 보론(B<sup>+</sup>)을  $4E14$ (atoms/cm<sup>2</sup>)의 양으로 도핑한 후 (35keV), 900℃에서 1시간동안 열처리 과정을 수행한다.

그 다음 약 10um 두께의 인(Phos.)이 도핑된 n형 에피층을 성장시킨다. (약  $1\sim 2E15$  /cm<sup>3</sup>)

### 나. N-Well/P-Well 형성과정 및 트랜치소자 격리 공정

p-well 마스크 작업을 수행하여 정의되는 영역은 HV-PNP/LDNMOS/VDMOS/Zener/HV NMOS이며 약  $8E12$ (atoms/cm<sup>2</sup>)의 양으로 보론을 이온주입한 후 (140keV) 1150℃에서 약 6~7시간정도 확산공정을 수행하여 접합깊이가 약 5um정도가 되도록 한다.

그 다음 N-Well 마스크 작업을 수행하여 정의되는 영역은 HV PMOS/LV PMOS/LDPMOS 소자이며 인(Phos<sup>+</sup>)을 약  $1E13$ (atoms/cm<sup>2</sup>)의 양으로 이온주입한 후 1150℃에서 약 6~7시간 정도 열처리 공정을 수행한다.

또한 HV npn 소자의 직렬저항 감소를 위하여 콜렉터 영역을 정의한 후 인(Phos.)을  $4E15$  (atoms/cm<sup>2</sup>)의 양으로 이온주입한 후 1150℃에서 6~7시간 정도 열처리 공정을 수행하여 N-well 및 sink 확산을 동시에 수행한다. 다음은 소자 격리공정을 수행하며 그다음 활성영역을 정의한 다음 field  $V_T$  조정을 행한 후 7500 Å 두께의 필드산화막을 성장시킨다.

**다. HV 바이폴라 소자의 베이스 영역 및 HV CMOS**

**drift 영역 동시형성 공정**

HV-pnp 소자의 베이스 영역 및 HV NMOS 소자의 drift 영역의 동시형성을 위하여 마스크 작업을 수행한 후 인(Phos.)을  $1.5E15(atoms/cm^2)$  수준으로 이온주입한다. 아울러 HV-PMOS의 P-drift region 및 HV-pnp의 베이스 영역 동시형성을 위해서 보론(Boron)을  $2E14(atoms/cm^2)$ , 120~150keV의 에너지로 이온주입한다.

HV-npn의 베이스 영역, HV-pnp의 베이스 영역, HV-NMOS의 n-drift 영역, HV-PMOS의 P-drift 영역의 최적 접합깊이 형성을 위하여 1050°C에서 100~180분간 확산공정을 수행한다.

**라. Poly gate 구조 및 LDD 형성과정/최종접합깊이 형성과정**

MOS 소자의 게이트 전극 형성을 위하여 다결정 실리콘(Polysilicon)을 3300 Å의 두께로 도포한다. 비소(As+)를  $1E16(atoms/cm^2)$ , 150KeV의 수준으로 이온주입하여 게이트 전극 영역이 형성되도록 한다

LV NMOS 소자 및 HV NMOS의 NLDD 공정을 위하여 마스크 작업한 후  $3E12(atoms/cm^2)$ 의 양으로 주입한다.

그 다음 HV PMOS 소자의 PLDD 공정을 위하여 마스크 작업한 후  $8E11(atoms/cm^2)$ 의 양으로 보론(Boron)을 이온주입한다.

HV npn 소자의 에미터 영역을 정의한 후 인(Phos.)을  $1E16(atoms/cm^2)$ 의 조건으로 이온주입하며 마찬가지로 HV pnp 소자의 에미터 영역을 정의한 다음 보론(Boron)을  $8E15(atoms/cm^2)$ 으로 이온주입한 후 1000°C에서 180분간 확산공정을 수행한다.

아울러 HV PNP소자의 N+베이스 전극 및 LV NMOS/HV NMOS/LDNMOS/VDNMOS 소자의 소스-드레인 영역형성을 위하여 마스크 작업을 수행한 다음 비소(As+)를  $8E15(atoms/cm^2)$ , 80KeV의 수준으로 이온주입한다. 또한 HV PNP의 p+ 에미터/컬렉터 전극 및 LV PMOS/HV PMOS/LDPMOS 소자의 소스-드레인 전극을 위한 영역을 정의한 후 보론(Boron)을  $4E15(atoms/cm^2)$ , 80KeV의 에너지로 이온주입한다. 7000 Å의 산화

막을 도포한 다음, MOS소자의 소스-드레인 영역의 원하는 접합깊이를 얻기 위하여 최종적인 열처리 공정을 950°C에서 약 60분간 수행한다.

구조적측면에서 본 개별소자의 특징은 다음과 같다.

- 가. 아날로그용 내압 바이폴라 소자의 특성향상을 위한 10um두께의 n-epi구조
- 나. 집적도 향상 및 직렬저항 감소를 위한 트랜치 구조
- 다. 고내압 소자구조 형성을 위한 double 매몰층 구조
- 라. HV npn 베이스 및 HV PMOS drift 영역 동시형성 기술
- 마. HV pnp 베이스 및 HV NMOS drift 영역 동시형성 기술
- 바. 20V이상의 고내압 npn/pnp 소자의 베이스 형성 구조 및 에미터 형성 기술
- 사. n-LDD/n-drift/n+ S/D 소자구조
- 아. 60V이상의 내압을 갖는 LDMOS 소자의 p-well/p-drift 영역 및 n-well/n-drift 영역형성 구조
- 자. 20V급 고전압 CMOS소자 (DC/DC converter IC 등에 적용됨)의 비교적 얇은 ( $X_j \leq 2\mu m$ ) drift 영역 형성 구조
- 차. 0.8um 급 HV CMOS 소자구조
- 카. 20V 이상의 아날로그 바이폴라 npn/pnp 소자, 고속 디지털용 PSA 소자. 저전압 CMOS 논리소자, 15V 급 CMOS 소자. 60V 이상의 LDMOS 소자의 one-chip 화 기술 등을 들 수 있다.

그림 1은 고안된 고성능 one-chip BCD 소자구조를 나타내고 있다.

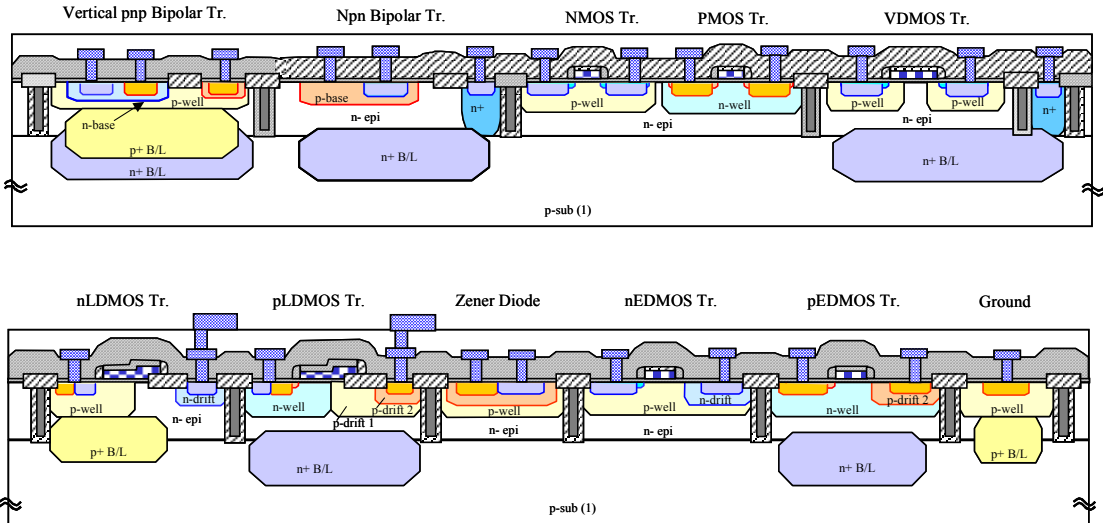


그림 1. 고안된 고성능 one-chip BCD 소자구조

2. 소자 설계 및 최적 시뮬레이션

가. 20V급 고속 npn 바이폴라 트랜지스터

고효율 DC/DC converter IC 는 고주파용 user-programmable oscillator, 1.5% bandgap voltage reference 회로, overtemp, Shutdown (OTSD) 보호회로, user-programmable undervoltage lockout(UVLO) function, 광대역 error amp. Comparator 등으로 구성되어 있다.

(저전류 영역 :  $\sim 10\mu A$  :  $f_T$  bipolar >  $100 \times f_T$  MOS) 일반적으로 1.5~2.0um 의 설계를 갖는 BiCDMOS 기술을 적용할 경우 약 3GHz 내외의  $f_T$  특성을 확보할 수 있다.

또한 OP Amp. 입력단은 MOSFET 에 비해 1/4 ~ 1/2 수준인 입력 offset 전압 특성을 보여주는 바이폴라 트랜지스터로 구현한다. 이밖에 current mirror 회로, bandgap reference 단, overtemp Protection 등에도 바이폴라 소자를 사용한다. 이때 요구되는 전기적 사양은 전류이득이 약 100, 12~15V level 이다.

이러한 IC 규격을 만족하면서, 공정의 용이성, 이에 따른 양호한 재연성, 저렴한 제작단가(mask 수의 최소화) 등을 이루기 위한 Smart IC 소자구조를 제안, 시뮬레이션을 통한 최적화 연구를 수행하였다.

즉, 기존의 제작/상용되는 CBIC(complementary bipolar IC) 공정이 아닌 trench 공정 및 이온주입에 의한 비교적 얇은 접합깊이 특성을 구현하였다.

npn 바이폴라 소자의 경우, 에미터 면적을 최소화하면서 양호한 전압-전류 특성을 구현하기 위하여 에미터 폭을 6um로 설정하였으며, contact size 는 3um로 set-up 하여 공정조건을 변화시켜가며 소자 시뮬레이션을 수행하였다.(콜렉터 contact 의 경우 n+ B/L 층을 metal 접점으로 이용하였다.)

그 결과 I-V 특성으로부터 전류이득은  $I_B=0.5_{imv}$ ,  $V_{CE}=5V$  에서 약 70~80의 값을 얻을 수 있었다. 또한 파괴전압  $V_{CEO}$  는  $I_C=0.1_{mA}$  에서 약 24V 의 특성을 보여주고 있다.

이때의 공정조건은 베이스 주입조건이  $2E14(atoms/cm^2)$  이며 확산조건은 1050 °C에서 100~180 min 이었다.

이러한 조건은 이온주입시 HV PMOS 의 drift 영역과 동일하여야 하며, 확산조건은 HV NMOS/PMOS/ LD NMOS 와 모두 동시에 이루어져야 한다.

그림 2 는 npn 소자의 I-V 특성을 보여주고 있으며, 그림 3은 Gummel Plot을 나타내고 있다.

그림 4 는 제안된 npn 소자의  $BV_{CEO}$  소자 시뮬레이션 결과이다.

나. pnp 트랜지스터

DC/DC converter IC 에 내장되는 pnp 소자의 전기적 spec 은  $BV_{CE0} > 100V$ , 800MHz 이상을 보여줘야 한다.

제안된 소자의 구조적 특징은 vertical type을 사용하여 current driving capability를 높이도록 하였으며 p-well을 콜렉터 영역으로 사용하였다. 베이스 영역형성은 인 (Phos)으로 이온주입 ( $1.5E15$ ) 하였으며 에미터는 붕소(Boron)로 형성 ( $8E15$ ) 하였는데, 이때의 확산 조건은 MOS 소자의 소스-드레인 형성과정과 별도로 수행하여 원하는 전기적 특성을 얻고자 하였다. 시뮬레이션에 적용된 소자의 에미터 폭은  $3\mu m$  이며 p-B/L 층을 콜렉터로 사용하였다.

소자 시뮬레이션 (ATLAS)을 여러 번 수행한 결과,  $BV_{CE0}$  는  $I_C=1\mu A$  에서 약 20V 정도의 양호한 특성을 구현하였으나 전류이득의 경우, 약 20 ( $I_B=0.1\mu A$ ) 의 특성을 보여주어 보다 개선된 콜렉터 전류 증가특성이 요구 되고 있다.

이러한 현상이 나타난 이유는 첫째, 베이스의 공정 조건이 npn, HV NMOS / LD NMOS drift 영역과 동시에 형성되게끔 함으로써 mask 수를 최소화하고자 하는데 기인하였으며 둘째, 기존의 BN sourcing 에 의한 에미터 형성방법이 아닌 이온주입에 의하여 비교적 낮은 에미터 표면농도 및 얇은 접합깊이 등에 따른 것이다. 셋째, 에미터 면적을 시뮬레이션 조건 ( $W_E=3\mu m$ ) 보다 훨씬 크게 적용하는 방법 등이다.

그림 5는 pnp 소자의 I-V 특성을 보여주고 있으며, 그림 6은 pnp 소자의  $BV_{CE0}$  특성을 나타내고 있다.

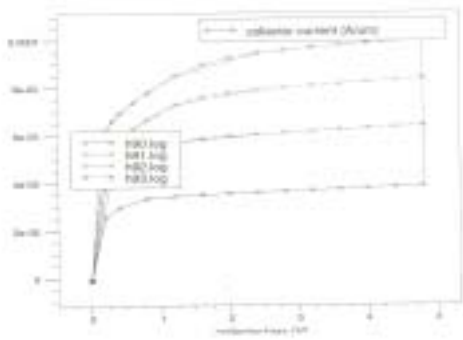


그림 2. HV npn 의 I-V 특성

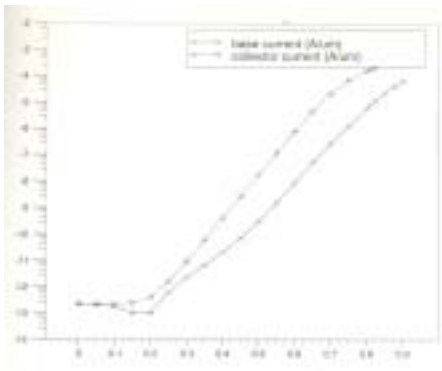


그림 3. HV npn 의 Gummel Plot

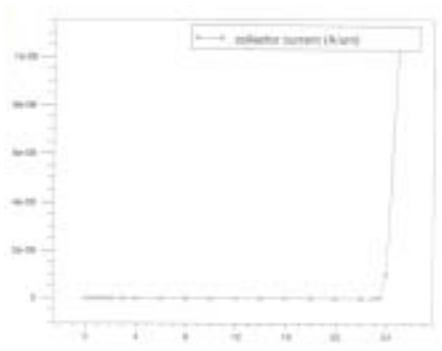


그림 4. HV npn 의  $BV_{CE0}$

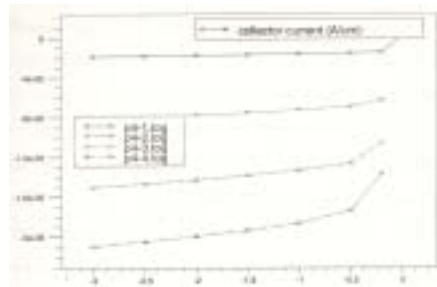


그림 5. HV pnp 의 I-V 특성

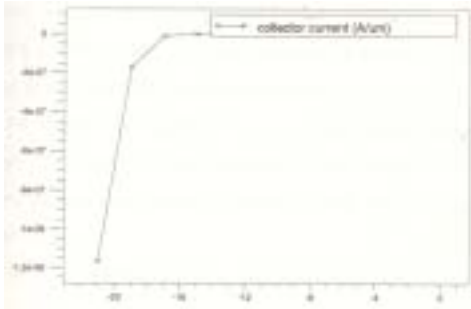


그림 6. HV pnp 의  $BV_{CEO}$

**다. submicron HV NMOS 트랜지스터**

PWM control IC 에 내장되는 CMOS 회로의 동작영역은 2.5~8V 이므로, 약 15V 정도의 소자규격이 요구되고 있다. 그러나, 기존의 0.8um 급 LV CMOS 소자구조는 이러한 전기적 특성을 만족시킬 수가 없으므로 낮은  $R_{ON}$  저항 및 원하는 파괴 전압 구현을 위하여 NLDD 및 n-drift 영역을 설계하였다. 소자 설계시 gate edge 로부터 drift region 까지의 길이는 약 3um 로 설정하였으며, drift region 형성을 pnp 소자의 베이스 형성 공정과 같은 조건으로 수행하여 mask 수를 최소화하고자 하였다. 0.8um 설계물을 적용하였으며 gate 로부터 수평적 구조는 n- NLDD / n-drift / n+ drain 으로 이루어져 있으며 공정 시뮬레이션 수행 후의 길이는 gate / n- (1um) / n-drift (2um) / n+ drain 으로 나타났다.

한편, 마스크 수를 줄이기 위하여, HV NMOS / LD NMOS / HV PMOS 의  $V_T$  control, 이온주입이 동시에 되도록 ( $BF_2$  :  $1.5 \sim 2E12$  ) 최적화된 조건을 확립하였다. (수십번의 공정 및 소자 시뮬레이션을 통하여 이온주입조건 및 확산온도, 시간 설정 ).

소자 시뮬레이션 결과,  $V_{GB} = 2V$  일 때 drain current  $I_D$  는 약 40uA 로 나타냈으며,  $BV_{DS}$  는  $I_D = 0.1 \sim 0.2uA$ 에서 약 28V 로 예측되었다. 또한  $V_T$  는 약 0.78~0.8V 로 예측되어, 전반적으로 DC/DC converter IC 의 HV NMOS 소자규격을 만족시킬 수

있을 것으로 사료된다.

그림 7,8,9 는 각각 I-V 특성,  $V_T$  특성 및  $BV_{DC}$  를 나타내고 있다.

**라. submicron HV PMOS 트랜지스터**

HV PMOS 역시 앞에서 제시된 HV NMOS의 전기적 특성을 만족시켜야 한다. 즉 낮은  $R_{on}$  값 및 비교적 높은 ( $\geq 15V$ ) 파괴전압, 최적화된  $V_T$  값을 동시에 얻기 위하여, 또 최소화된 마스크 수를 구현하기 위하여, PLDD/p-drift 구조를 설계하였다.

Gate channel length는 0.8um이며 공정 시뮬레이션 후의 PLDD / p-drift / p+drain 수평적 길이는 HV NMOS와 동일하게 Gate / 1um / 2um로 형성되었다.

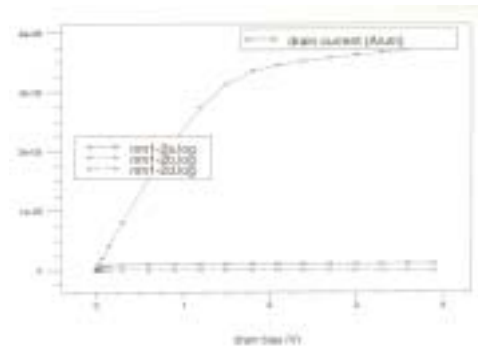


그림 7. HV NMOS의 I-V 특성

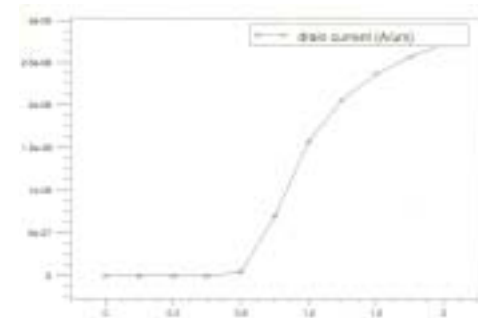


그림 8. HV NMOS의  $V_T$  특성

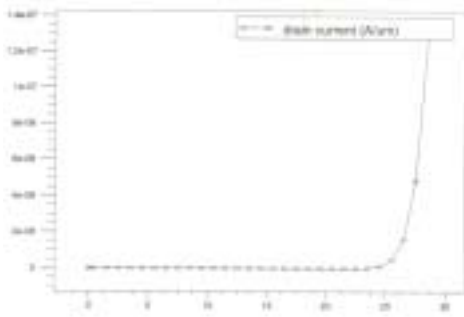


그림9. HV NMOS의  $BV_{DS}$  특성

p-drift 농도변화에 따른 파괴전압 특성을 보여주기 위하여 PLDD 조건은  $8E11(\text{atoms}/\text{cm}^2)$ , 50KeV로 동일하게 하고, drift 이온주입조건은 npn 베이스 영역의 이온주입조건과 같은  $2E14(\text{atoms}/\text{cm}^2)$ 으로 소자 시뮬레이션을 수행한 결과와  $1.5E15(\text{atoms}/\text{cm}^2)$ 으로 수행한 결과를 비교 분석하였다.

그 결과  $2E14(\text{atoms}/\text{cm}^2)$ 의 경우,  $BVL_{DS}$ 는 약 -25V로 나타났으나  $1.5E15(\text{atoms}/\text{cm}^2)$ 의 경우 약 -40V로 예측되어 drift 농도에 따른  $BV_{DS}$ 의 큰 차이를 보여주었다. 따라서 본 연구에서는,  $BV_{DS}$ 와  $R_{on}$  저항값을 고려하여 drift 이온주입조건을  $2E14(\text{atoms}/\text{cm}^2)$ 으로 설정하는 것이 최적화조건이라고 판단된다.

I-V 특성의 소자 시뮬레이션 결과,  $V_{GS}=-2V$ 일 때 약 6uA의  $I_D$  특성을 보여주고 있으며,  $V_T$ 값은 약 -0.8V 정도로 예측되어 본 연구에서 설정된 공정조건이 타당함을 알 수 있었다.

그림 10, 11, 12는 각각 I-V 특성,  $V_T$  특성,  $BV_{DS}$  특성 등을 보여주고 있다.

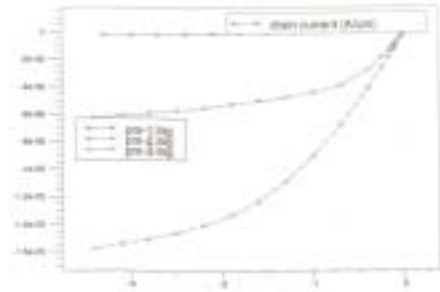


그림 10. HV PMOS의 I-V 특성

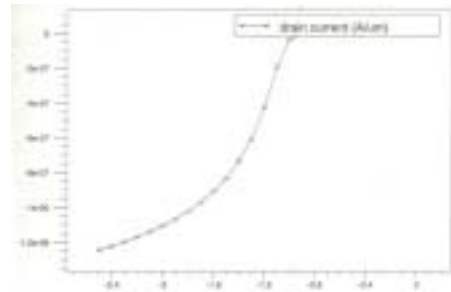


그림 11. HV PMOS의  $V_T$  특성

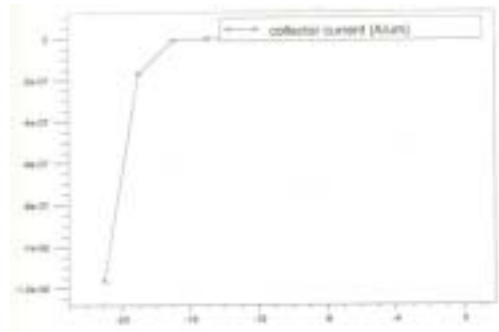


그림 12. HV PMOS의  $BV_{DS}$  특성

### 3. 결론

휴대폰용 DC-DC 변환기 및 고속 하드 디스크 드라이브, 자동차 전자제어 장치 등 정보통신 시스템과 산업기기의 핵심 부품으로 사용될수 있는 고속 고내압용 BCD(Bipolar-CMOS-DMOS) Power 소자 구조를 제안하

였다.

제안된 본 소자는 2중 매몰층 구조 및 trench 격리 구조를 가지고 있으며 출력 드라이버용 60V 급 LDMOS 트랜지스터 20V 이상의 수 GHz급 아날로그용 NPN, PNP 바이폴라 트랜지스터, 5V 급 저전압 CMOS 소자, 15V 내외의 중전압용 CMOS 소자, automobile용 수 A급의 VDMOS 소자 등이 동시에 탑재되었다. 본 소자의 특징적인 면으로는 마스크 수를 최소화하기 위하여 바이폴라 소자의 베이스 영역 및 HV CMOS 소자의 drift 영역을 동시에 형성하며, 아울러  $V_T$  control 공정도 NMOS/PMOS 소자에 동시에 형성시켜 원하는 전기적 특성을 만족시켰다.

본 소자의 최적의 전기적 특성을 구현하기 위한 공정 시뮬레이션을 각 소자별로 수행하였다(SUPREM IV 이용). 공정순서는 0.8 $\mu$ m급 BiCMOS 공정을 기본으로 하였으며 열처리공정등은 모든 소자가 최적의 고정 spec.을 만족하도록 공정설계하였다.

그 결과, 고내압 바이폴라 소자의 경우 약 0.5 $\mu$ m의 베이스폭을 구현하였으며, 또한 LDMOS용 well 접합깊이는 약 4 $\mu$ m, 중전압용 CMOS의 경우 n/p drift 영역의 접합깊이 및 최대 농도는 각각 1.2 $\mu$ m, 2.3 $\mu$ m, 4~5E18(atoms/cm<sup>2</sup>) 특성을 나타내었다.

이들 분석결과를 토대로 (2D SUPREM IV) 소자 시뮬레이션을 진행한 결과, npn 바이폴라 소자의 경우  $\beta$ 는 약 20,  $BV_{CEO}$ 는 24V를 얻을 수 있었으며, pnp 소자의 경우  $\beta$ 는 약 20,  $BV_{CEO}$ 는 약 20V의 전기적 특성을 보여주었다. HV NMOS/PMOS의 경우  $BV_{DS}$ 는 약 25V 나타내었으며  $V_T$ 는 각각 0.78V, -0.8V의 값을 시뮬레이션을 통하여 얻을수 있었다. LDMOS의 경우, HV NMOS의  $V_T$  값 등은 동일하나, 단지  $BV_{DS}$  값이 60V 근방의 전기적 특성을 보여주었다.

### 참고문헌

[1] S. L. Wong, S. Venkatasubramanian, M. J. Kim and J. C. Young, An 60V-10A Intelligent power switch using standard cells, CICC Proceedings, 27.6, 1991.  
 [2] K. Sakamoto, Y. Numogawa, R. Takeshita, K.

Satonaka, T. Koda, and S. Horiuchi, An Intelligent Power IC with Reverse Battery Protection for High-Side Solenoid Drivers, ISPSD Proceedings. pp. 406-410, 1995

[3] K. Suda, S. Ozeki, H. Matsuzaki, and K. Kawamoto, An Intelligent power IC with multiple outputs for automotive application, ISPSD Proceedings, pp. 49-54, 1990  
 [4] N. Fujishima, Y. Yano, and K. Tsuchiya, A Novel DMOS Sturcture for 1.5 $\mu$ m Rule BiCDMOS Presess, Proceedings of ISPSD92, pp. 52-57, 1992  
 [5] T. Efland, S. Malhi, W. Bailey, O. K. Kwon. W. T. Ng, M. Torreno, and S. Keller, An Optimized RESURF LDMOS Power Device Module Compatible with Advanced Logic Processes, IEEE IEDM Tech. Dig., pp. 237-240, 1992  
 [6] P. J. Tsang, S. Ogura, W. W. Walker, J. F. Shepard, and D. L. Critchlow, Fabrication of High-Performance LDDFETs with Oxide Sidewall-Spacer Technology, IEEE Trans. Electron Devices, vol. ED-29, pp. 590-596, 1982.

### 저 자 소 개

具用書(正會員)



1957년 7월 11일생, 1981년 서강대학교 전자공학과 학사, 1983년 서강대학교 전자공학과 석사, 1992년 서강대학교 전자공학과 박사, 1983년~1993년 : 한국전자통신연구원(ETRI) 재직 1993년~현재 : 서경대학교 전자공학과 교수,

주관심분야 : Smart Power IC, Si-HBT