

기술 특 집

AMOLED를 위한 저온 poly-Si TFT 기술 개발 동향

김 형 준 (홍익대학교 신소재 공학과)

I. 서 론

최근 수년간 OLED(Organic Light Emitting Diode)는 차세대 평판 디스플레이로서 많은 관심 속에 연구개발이 가속화되고 있다. OLED는 pixel을 addressing하는 방식에 따른 passive matrix 형(PMOLED)과 active matrix 형(AMOLED)으로 대별된다. PMOLED는 단순한 전극선 array를 이용하여 pixel을 addressing하는 방법으로 active matrix에 비해 구조가 간단하고 생산비가 저렴하여 휴대폰 등의 초기 OLED의 제품군으로 상용화되고 있다. 그러나 이러한 passive 구동 방식은 고해상도와 대면적 디스플레이를 구현하는데 근본적인 문제를 안고 있다. 즉, OLED의 발광 세기는 소자를 통해 통전하는 전류의 양에 비례한다. 그러나 고해상도와 대면적 디스플레이를 구현하기 위해서는 pixel의 수가 증가하게 되고, passive matrix의 경우, pixel OLED 소자의 요구 휘도를 얻기 위한 전류밀도는 증가하여야 한다. 이러한 전류의 증가는 적절한 OLED의 구동이 높은 전압에서만 가능하도록 한다. 따라서 PMOLED는 pixel수가 제한된 소면적, 저해상도의 디스플레이로 응용 분야가 제한되며, 높은 전압 사용에 따른 높은 전력소모와 제품 수명의 단축과 같은 문제점이 존재하게 된다.

Active matrix addressing 방식은 각 pixel에 박막 트랜지스터(Thin Film Transistors ; TFTs)를 장착하여 OLED 소자에 pixel 수와 상관없이 일정한 전류를 공급할 수 있도록 한다. 따라서 Active matrix 방식은 대면적 및 고해상도의 디스플레이를 구현하는 데 절대적으로 사용되어야 한다. 이러한 이유로 인해 TFT의 기반기술을 보유하고 있는 대부분의 주요 디스플레이 업체는 PMOLED 보다는 고부가의 AMOLED의 사업화에 더욱 큰 관심을 보이고 있다. AMOLED 산업계의 특이한 동향은 제품 개발이 기존에 TFT의 기반 기술을 갖는 업체와 유기 EL 소재의 전문 업체가 합작 혹은 컨소시엄을 형성하여 진행되고 있다는 점이다. 지금까지의 SK 디스플레이(Sanyo-Kodak 합작기업), SONY, Toshiba, ELDis(Pioneer, Sharp, SEL 합작

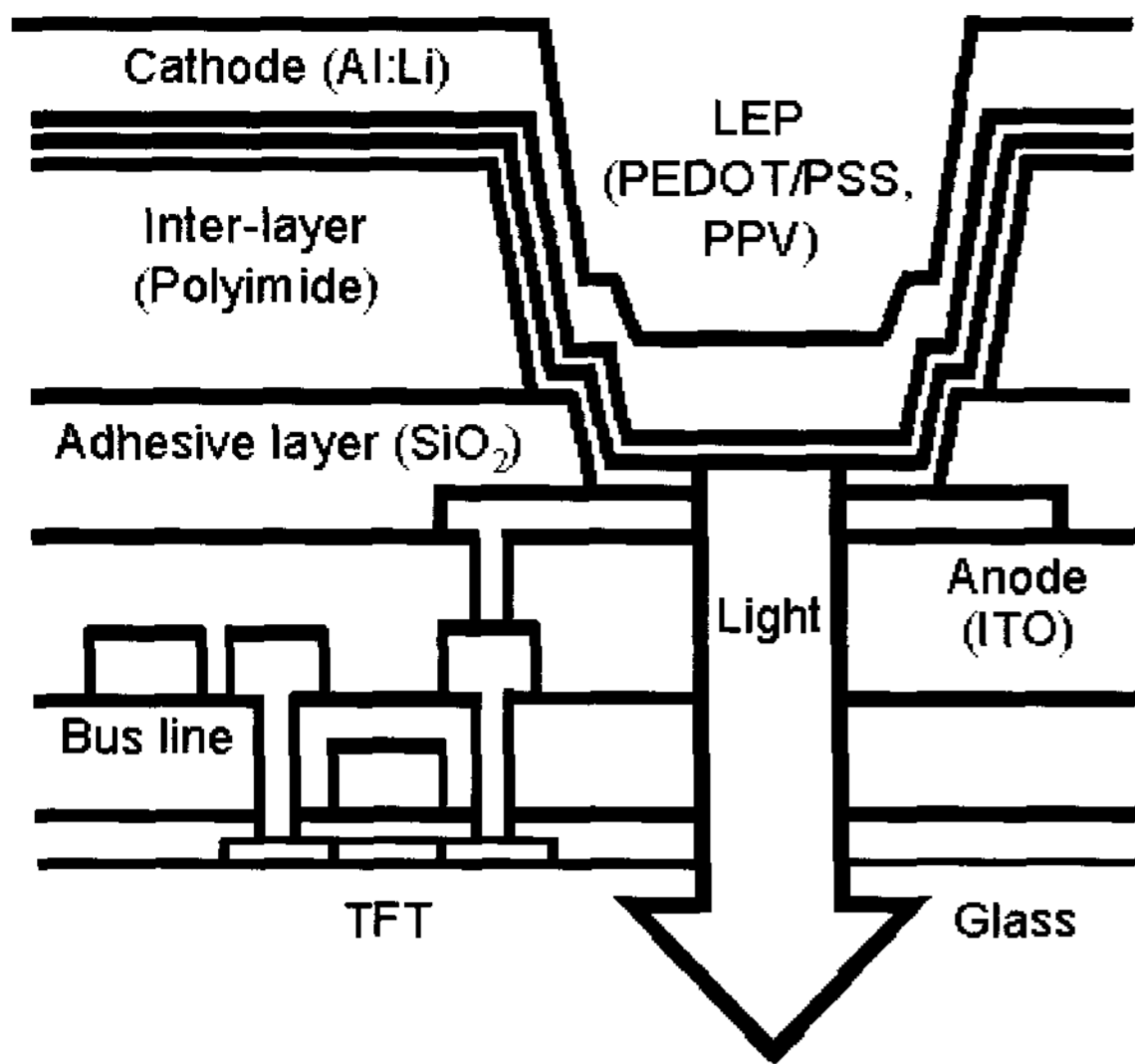
기업), CDT-SEIKO-Epson, Samsung SDI에서 시제품을 발표하였다. 이중 2002년에 발표된 Samsung SDI의 15.1"와 최근 SONY의 24"의 AMOLED의 발표는 AMOLED가 2005년경부터 상용화가 시작되고 초기 제품으로 휴대폰 등의 중소 제품으로 국한되리라는 당초의 전망으로 볼 때 상당히 획기적인 일로 평가되고 있다. 최근 SK 디스플레이는 세계 최초로 2003년도에 휴대폰과 디지털카메라용 AMOLED를 월 100만대 규모로 생산한다고 발표하였으며, 2005년 TV 제품의 양산도 발표하였다. 앞으로 AMOLED의 시장 선점을 위한 디스플레이 업체의 개발 경쟁은 한층 가열될 것으로 생각된다.

AMOLED는 차세대 디스플레이로서의 우월한 제품성과 잠재적 시장성에도 불구하고 제품의 개발을 위해 해결해야 하는 많은 기술적인 문제들을 안고 있다. 이중의 하나가 AMOLED를 구동하는 poly-Si TFT 패널의 제조기술이다. Poly-Si TFT 패널 제조 기술의 어려움은 최근 SID 학회에서 발표된 "OLED의 성장과 시장은 poly-Si TFT 패널이 얼마나 싸게 안정적으로 제조될 수 있는냐에 달려있다"는 Display Search사의 전망에서도 잘 이해될 수 있다. 본 논문에서는 AMOLED 제조업체가 당면하고 있는 poly-Si TFT 제조기술의 문제점 및 개발 동향에 대해 살펴보고자 한다.

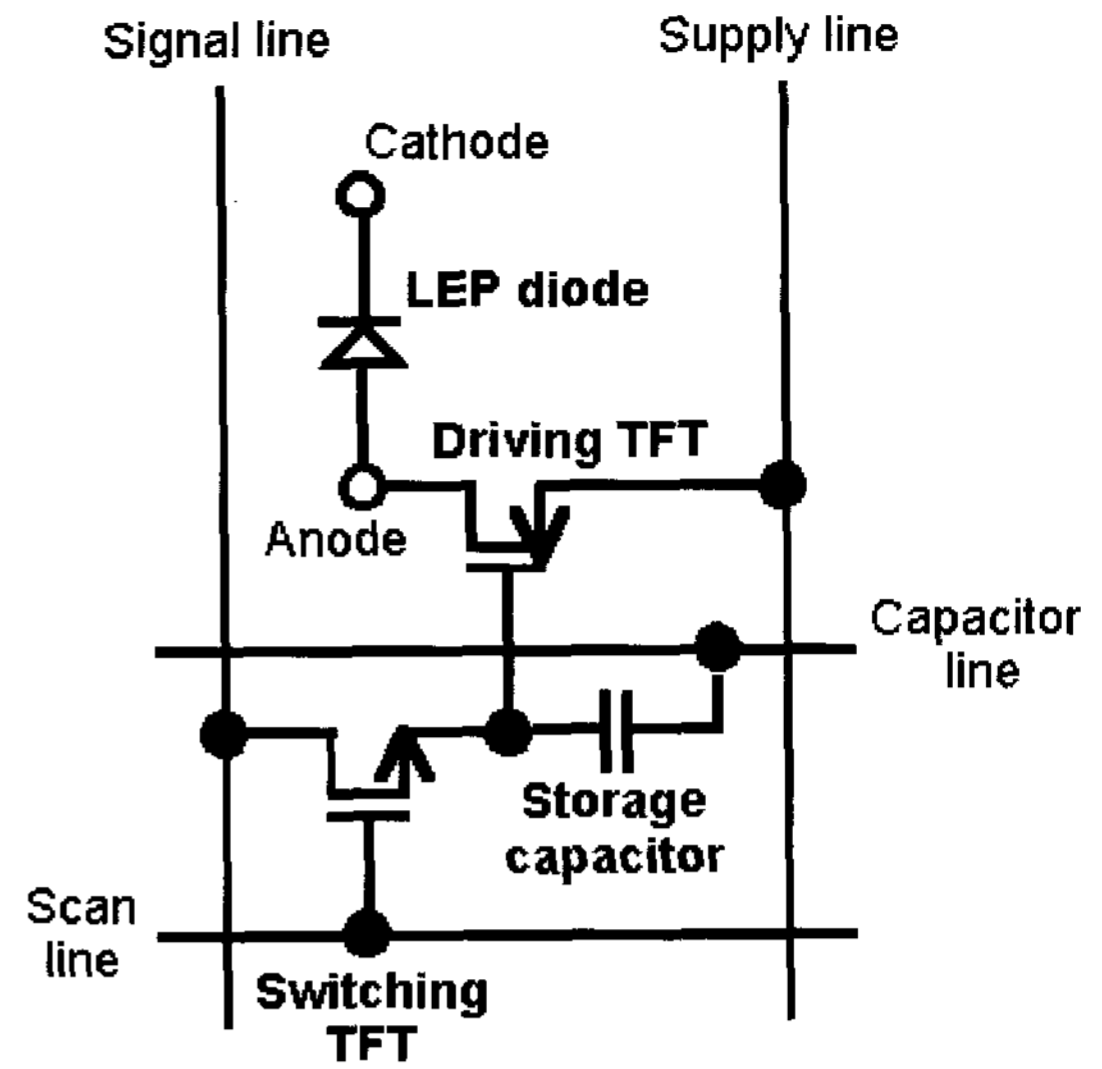
II. AMOLED의 구동을 위한 TFT 구조

[그림 1]은 AMOLED의 pixel 구조를 나타낸 개략도이다. 앞에서 언급한 바와 같이, OLED는 전류량에 비례하여 휘도가 결정되는 전류 구동 방식으로, 요구 휘도를 만족하기 위해서는 TFT 소자의 전류 구동력이 높아야 한다. 따라서 전기 이동도가 낮은 비정질 Si TFT($< 1 \text{ cm}^2/\text{V}\cdot\text{sec}$)로는 충분한 발광 세기를 얻을 수 없으며, 따라서 전류 구동력이 높은 poly-Si TFT를 사용하게 된다.

OLED의 구동을 위한 poly-Si TFT의 특성 요구치는 OLED의 구동을 위한 pixel 트랜지스터로 사용되는 경우와



[그림 1] TFT를 사용하는 AMOLED의 pixel 구조



[그림 2] 2개의 TFT로 구성된 AMOLED pixel 회로

주변 구동회로와의 집적화를 동시에 구현하는 경우가 다르게 된다. 우선 pixel 트랜지스터로만 사용되는 경우, 요구되는 가장 중요한 특성은 문턱전압(V_t)과 선형 영역의 I-V 기울기(linear region conductance)와 같은 소자 작동치의 균일도이다. 이는 전류구동 OLED의 TFT가 소자의 saturation 영역에서 사용하는 LCD-TFT의 경우와는 달리 선형 영역에서 gray scale을 형성하기 때문이다. 따라서 이 영역에서 TFT 소자가 pixel마다 불균일하면 각 pixel 간의 발광도 및 컬러의 균일도에 직접적인 영향을 미치게 된다. 따라서 균일한 TFT 소자 특성을 갖는 제조 기술을 확보하는 것이 매우 중요하다.

현재, poly-Si의 불균일한 소자 특성을 pixel 회로 설계를 통해 개선하기 위한 노력이 경주되고 있다. 이 중 가장 많이 보고 되고 있는 것이 다수의 TFT를 한 pixel에 내장하는 회로설계이다. 일반적으로 하나의 TFT로는 OLED의 불균일도를 극복하기 어려운 것으로 인식되고 있으며, 따라서 가장 보편적이고 간단한 회로 구성은 [그림 2]와 같이 2개의 TFT를 사용하는 경우이다. 그림에서 switching TFT는 pixel의 On/Off를 담당하며 driving TFT의 게이트에 일정한 전압을 공급 유지하는 역할을 하며, driving TFT는 OLED의 구동을 위한 전류를 공급하는 역할을 하게 된다. 이러한 회로 구성에 의해 트랜지스터는 saturation 영역에서 동작이 가능하며, 따라서 TFT 구동특성의 불균일에 의한 OLED의 불균일 발광을 상당히 제어할 수 있다.

그러나 이러한 회로구성에서도 driving TFT의 불균일이 문제가 될 수 있으며 이를 보완하기 위해 4개의 트랜지스터를 내장하는 설계 기법이 보고되고 있다. 4개 트랜지스터의 장점은 구동에 따른 V_t 의 변화를 회로적으로 보상하는 기능이 있어 구동 TFT의 V_t 불균일에 따른 OLED 휘도의 불균일도를 현저히 감소시킬 수 있다. 이 외에 다수 TFT를 내장하는 다양한 pixel 회로 구조가 보고되고 있는데, 대부분 트랜지스터의 특성 불균일에 대한 보상과 전력소모를 낮추는 것을 목적으로 한다. 이러한 다수의 트랜지스터를 내장

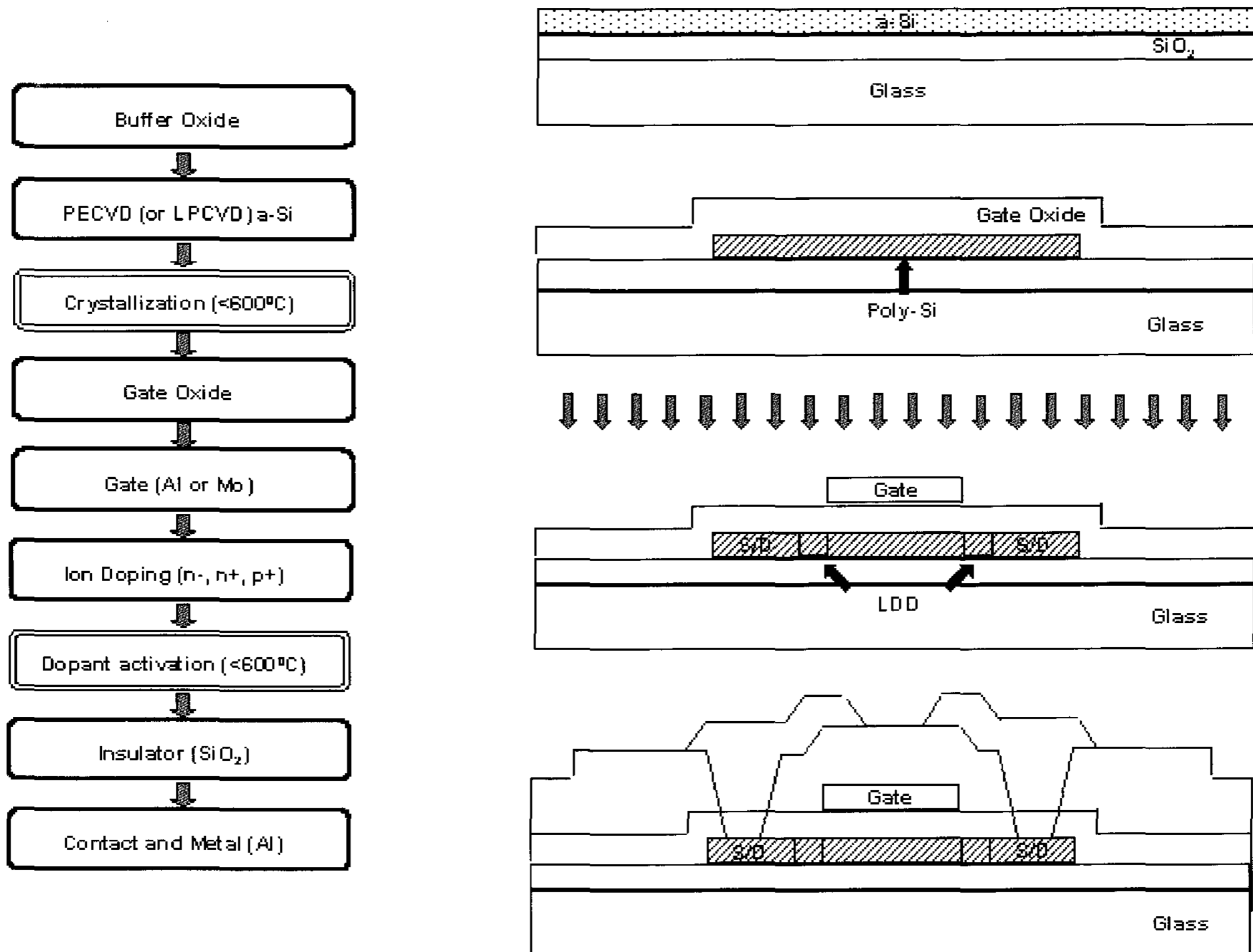
하는 회로 구현을 위해서는 공정의 추가뿐 아니라 개구율의 감소로 인한 발광도의 감소를 유발하게 된다. 또한 이러한 회로가 추가되어도 불균일한 gray scale의 완전한 해결은 어려운 것으로 알려져 있다. 따라서 균일한 작동 특성을 갖는 poly-Si TFT의 소자 및 제조 공정은 매우 중요한 과제라 하겠다.

III. Poly-Si TFT의 제조 공정

1. Poly-Si 형성 공정

[그림 3]은 poly-Si TFT 제조 공정을 나타내는 개략도이다. 일반적으로 poly-Si TFT는 top gate의 구조를 갖고 있으며, 누설전류의 최소화 및 신뢰성을 위해 LDD(Lightly Doped Drain) 구조를 채택하고 있다. 유리기판 상에 poly-Si TFT를 제조하는 기술은 저온 poly LCD에 의해 90년대 초반부터 시작하여 상당한 발전이 있었으나 아직도 많은 문제점이 해결되지 못하고 있다. 이러한 문제들은 균일한 poly-Si TFT의 소자 특성을 요구하는 OLED의 경우 더욱 심각하다. poly-Si TFT의 제조에서 일어나는 대부분의 문제점은 취약한 유리기판의 내열성으로 인해 공정 온도를 높은 온도로 충분히 올릴 수 없는 것과 연관이 있다.

지금까지 개발된 내열성 유리(예, Corning 1737)의 경우, 670°C 근처에서 왜곡점(strain point)이 있으며, 640°C 이상의 온도에서 수분이상 열처리를 받을 경우 급격한 자체 변형이 일어나게 된다. 또한 450°C 이상에서는 급격히 유리 수축(shrink)이 일어나게 된다. 이러한 유리기판의 변형 및 수축은 TFT 제조 공정의 허용온도를 600°C 미만으로 제한하게 된다. 최근 Corning사를 비롯한 유리 제조업체에서는 고온에서 미리 compaction하여 공정시의 수축 현상을 최소화하는 유리기판을 판매하고 있으나 기존의 유리기판에 비해 고가이며 이 경우에도 600°C에서 장시간 사용할 경우



[그림 3] 저온 poly-Si TFT의 제조 공정 순서도

100 ppm 이상의 수축은 불가피하다.

Poly-Si TFT의 제조에서 고온의 열처리가 필요한 공정으로 비정질 Si를 결정질 Si으로 바꾸는 결정화 열처리와 소스/드레인의 도핑 후 전기적으로 활성화시키는 활성화 열처리를 들 수 있다. 우선, 결정화 열처리의 경우, 600°C에서 수십 시간의 열처리가 필요하며, 이 때 하부 유리 기판의 변형 손상을 가져온다. 따라서 업체에서는 기판을 유리 대신 석영으로 사용하여 고온 공정이 가능하도록 하는 공정 기술 (high temperature poly-Si, HTPS로 칭함)을 채용하였다. 이러한 HTPS는 고가의 석영 기판을 사용하므로 생산 단가가 비싸 projection TV 등의 일부 제품에만 적용되고 있다.

최근, 유리 기판이 허용하는 저온에서 빠른 시간 내에 다결정 Si를 형성하는 다양한 공정 (low temperature poly-Si, LTPS로 칭함)이 제안되고 있다. 이러한 기술로는 엑사이머 레이저 결정화 (Excimer Laser Crystallization; ELC), 급속열처리 (RTA), 금속유도 결정화 (Metal Induced Crystallization; MIC), 금속유도측면결정화 (Metal Induced Lateral Crystallization: MILC), 마이크로웨이브 가열 결정화 (Microwave Heating Crystallization), 교번자속 결정화 (Alternating Magnetic Field Crystallization; AMFC) 방법 등을 들 수 있다. [표 1]에 현재 개발되고 있는 LTPS를 위한 저온 poly 형성 기술을 비교하였다.

엑사이머 레이저 결정화 (ELC)는, 엑사이머 레이저의 nano-

second 순간 조사를 이용하여 하부 유리기판의 손상 없이 상부 비정질 Si막을 용융, 재결정시키는 방법으로 유리기판이 허용하는 저온에서 다결정 Si를 제조할 수 있다. ELC는 과거 10년 동안 LTPS LCD의 유일한 양산 기술로 인식되고 있으며, 일본의 Toshiba, ST. LCD, Sanyo, 한국의 LG Philips, 삼성전자, 대만의 ERSO, Top-Poly, ADT 등의 업체에서 이 기술을 이용하여 poly-Si TFT LCD를 제조하고 있다. 그러나 ELC는 양산 공정에서 상당한 문제점을 갖고 있는 것으로 알려져 있다. 우선, 레이저 조사량에 따른 다결정 Si의 결정립 구조가 매우 불균일하고, 공정 범위가 좁아 균일한 결정질의 poly-Si의 제조가 어려운 문제점이 있다. 또한 poly-Si막의 표면이 거칠어 소자의 특성에 나쁜 영향을 주게 된다. 이러한 문제점은 TFT의 균일도가 중요한 OLED의 응용에 있어서는 더욱 심각한 상황이다. ELC를 이용한 poly-Si TFT OLED의 경우, 화면에 선 형태의 결함이 나타나는 것으로 알려져 있다. 이러한 결함은 line beam으로 scan하는 ELC 방법으로 인하여 line 상의 TFT 불균일성이 화면상에 나타나기 때문인 것으로 알려져 있다. 이러한 shot 자국은 여러 개의 TFT를 사용하는 회로 설계에서도 해결되지 않으며, ELC poly-Si TFT의 OLED 채용에 심각한 장애물로 부각되고 있다.

최근, 이러한 shot 자국을 해결하기 위해 laser beam을 scan하지 않고 one shot으로 조사하는 장비가 상용화되기 시작하고 있다. 그러나 가능한 beam의 최대 크기가 2" 정

[표 1] 저온 poly-Si의 결정화 형성 기술 비교표

	반응기구	장 점	단 점	적용 업체
고상결정화 (Solid Phase crystallization)	비정질 Si의 고상결정화	1. 균일한 공정 특성 2. 저렴한 생산비	1. 고온 열처리에 의한 유리기판의 손상 2. quartz 기판사용에 의한 높은 생산 단가 3. 장시간의 공정에 의한 낮은 생산성	Seiko Epson, 일진
엑시머 레이저 결정화 (Excimer laser crystallization)	순간 레이저 조사를 이용한 비정질 Si의 용융 및 재결정화	1. 비정질 Si막의 선택적 급속가열에 의한 유리기판의 손상 방지 2. 우수한 poly-Si 결정성	1. 좁은 공정 영역 2. 표면 거칠기에 의한 TFT 불균일 3. laser scan에 의한 shot 자국 4. 복잡한 장비구성 및 높은 장비 유지비용	LTPS-LCD 제조 업체 (Toshiba, Sanyo, ST-LCD, LG-Philips, Samsung, Top-Poly 등)
Lamp heating을 이용한 급속열처리	IR 램프를 이용한 급속 열처리	1. 빠른 생산속도 2. 저렴한 생산비	1. 급속 고온 가열에 의한 열 충격 2. 유리 기판의 온도 구배에 의한 변형	
금속유도결정화 (Metal Induced Crystallization)	금속 촉매를 이용한 비정질 Si의 결정화	1. 450°C 미만에서의 결정화가 가능 2. 추가적 장비없이 기존의 TFT 공정 recipe 변화로 가능	1. 금속오염에 의한 누설전류 2. 금속/Si의 silicide 형성에 의한 etching residue	
금속유도 측면결정화 (Metal Induced Lateral Crystallization)	금속 촉매를 이용한 비정질 Si의 결정화 및 측면 결정성장	1. MIC에 비해 금속오염이 적음 2. 측면 결정성장에 의한 결정립 크기의 증가(결정성 향상). 3. 추가적 장비 없이 기존의 TFT 공정 recipe 변화로 가능	1. 금속오염에 의한 누설전류 2. 금속 오염 제거를 위한 gettering, RTA 공정 추가	Sharp, SEL, PT-Plus

도로 휴대폰에 장착되는 소면적 디스플레이에서만 적용이 가능한 상황이다.

지금까지 살펴본 바와 같이 ELC의 대부분의 문제는 laser beam/Si 간의 폭발적 순간반응에 의한 근원적인 문제로 이해될 수 있다. 이러한 문제를 해결하는 대안으로 IR lamp를 이용한 급속가열로(Rapid Thermal Anneals, RTA)가 개발되었다. 이 기술의 핵심은 유리기판을 순간적으로 가열하였을 때 유리 왜곡점 이상의 온도에서도 수초간은 유리기판의 손상 없이 열처리가 가능하다는 현상에 근거한다. 이러한 현상을 이용하여 Xe arc lamp를 이용하여 급속 가열하는 RTA 장비가 상용화되고 있다. 이 장비로 800°C의 고온으로 수초 미만으로 가열하여 결정화를 유도할 수 있다. 그러나 유리기판의 급속한 가열에 의한 열 충격과 유리기판상의 급격한 열구배로 인해 유리기판의 깨지거나 변형되는 문제가 있다. 현재, RTA는 결정화보다는 도펀트의 활성화 열처리 등의 다른 용도로 사용되는 상황이다.

이러한 ELC, RTA법의 문제점을 극복하기 위해 다양한 방법이 제안, 개발되고 있는데, 이중 대표적인 것이 금속유

도결정화(MIC) 법이다. MIC는 비정질 Si에 금속촉매를 스퍼터나 스핀 코팅의 방법으로 도포하여 낮은 온도에서 결정화를 유도하는 방법이다. 금속 촉매로 Ni, Cu, Al, Pd 등의 다양한 금속이 사용 가능하나, 반응 제어가 쉽고 결정립이 큰 Ni이 대표적으로 사용되고 있다. MIC는 450°C 미만의 낮은 온도에서 결정화가 가능하나 실제 양산공정에 적용하기에는 상당한 문제점이 있다. 우선 활성화 영역에 포함되는 상당한 양의 금속은 전형적인 금속 오염에 의한 누설전류의 증가를 가져오며, 이러한 누설전류의 증가는 address 후 frame time 내에서의 급격한 전압강하를 유발하고, frame time에서의 OLED 발광을 일정한 수준으로 유지할 수 없도록 한다.

최근 MIC의 금속오염을 최소화하기 위해 도포되는 Ni의 양을 sub-Å의 단위로 최소화하는 시도가 진행되고 있다. 그러나 Ni의 초소량 증착은 증착의 균일도를 유지하는데 많은 어려움이 있고, 이 방법을 이용하여도 누설전류의 완전한 방지는 어려운 것으로 알려져 있다.

MIC에서 일어나는 금속 오염의 방지를 위해 시도되는 방

법이 소스/드레인 영역에 금속을 증착하여 MIC를 우선적으로 유도하고, 이를 seed로 하여 게이트 하부의 활성화 영역으로 측면 성장하는 금속유도측면 결정화(MILC) 방법이 연구되고 있다. 이러한 MILC는 측면성장의 결정화영역에서는 금속오염이 적은 것과 MIC 비해 결정립크기가 조대한 것을 이용하여 MIC에 비해 전기이동도가 높고 누설전류가 적은 개선된 TFT 특성을 얻을 수 있다. 그러나 이 경우에도 소스와 드레인에서 성장되는 결정 선단이 최종적으로 만나는 게이트의 중간 하부에 상당한 금속오염이 발생하게 되어 누설전류의 문제는 여전히 존재하게 된다. 이러한 문제를 해결하기 위해 TFT의 소자 구조를 비대칭적으로 구성하여 결정 선단이 만나는 위치가 활성화 영역 밖에서 만나도록 하는 다양한 방법이 제안되고 있다.

앞에서 언급한 결정 선단의 위치를 활성화 영역 밖으로 위치시키는 또 하나의 방법은 열 처리 시 전계를 인가하여 결정화가 한쪽 방향에서만 진행되도록 하는 전계유도측면결정화(Field Assisted Lateral Crystallization, FALC) 법이다. 이 방법을 이용하여 금속 오염을 최소화하고 전기이동도의 증가를 구현할 수 있다.

최근 이러한 MILC의 금속 오염을 최소화하고 결정성을 높이는 방법으로 보고되고 있는 것이 이온주입과 고온열처리를 결합한 gettering 공정이다. 이는 금속오염을 최소화하기 위해 phosphorus 등과 같은 원소를 이온 주입 후 고온에서 열처리하는 방법이다. 이러한 고온 열처리 공정에 의해 결정립의 성장을 유도하여 이동도를 증가시키고 주입이온과 금속원소 간의 화합물을 석출시켜 금속오염을 최소화하는 방법이다. 이의 대표적인 공정이 Sharp의 CGS(continuous grain Si)이다. 이러한 CGS법에 의해 단결정에 근접하는 극히 우수한 poly-Si 결정성을 얻을 수 있는 것으로 보고되고 있다. 그러나 이 공정은 석영 기판을 사용한 고온 공정으로 개발된 상태이며 유리기판에 적용하기 위해서는 ELA나 RTA를 이용한 순간열처리의 추가 공정이 불가피한 상황이다.

이러한 금속 축매를 이용한 저온결정화 방법 이외에 열처리 중에 전기장 혹은 자기장을 인가하여 결정화 온도를 낮추는 몇 가지 새로운 방법이 보고되고 있다. 이는 microwave 법과 Alternating Magnetic Field Crystallization(AMFC) 법이다. Microwave 법은 GHz 대역의 전자기파를 열처리 중에 주입하여 결정화 온도를 낮추는 방법이다. Microwave 가열은 분자 진동의 공진을 이용하여 가열하는 방법으로 알려져 있으나, Si의 결정화에 있어서는 공진 보다는 microwave에서 유도되는 고주파 전기장에 의한 효과로 해석되고 있다. AMFC는 KHz-MHz 대역의 강한 자기장을 열처리 시 인가하는 방법으로 결정화 온도를 500°C 미만으로 낮출 수 있다. 이러한 교번 자장에 의한 결정화 촉진 현상의 확실한 이유는 알려져 있지 않으나 교번 자장에 의해 비정질 Si막에 걸리는 전기장의 효과로 이해되고 있다.

지금까지 살펴본 바와 같이 AMOLED의 LTPS 제조를 위한 다양한 poly-Si 형성 공정은 아직 많은 문제점을 안고 있으며, 어떤 방법이 차후 산업화 기술로 정착될 지는 아직 불투명하다고 하겠다.

2. 도펀트 활성화 공정

도펀트의 활성화 공정은 소스/드레인, LDD, V_t 제어 등에 필요한 각종 이온 주입을 활성화 시키는 공정이다. 일반적으로 소자의 균일도나 신뢰성이 좋은 PMOS가 pixel TFT로 사용될 것으로 전망되나, 향후 구동회로와의 집적화를 위해서는 NMOS와 PMOS가 모두 중요할 것으로 생각된다. 이온 주입의 방법으로는 이온 종을 질량 분리하지 않는 Ion Shower Doping(ISD)과 질량 분리를 거치는 ion implantation 공정(I/I)이 사용되고 있다. ISD는 전면적에 걸친 도핑이 가능하므로 생산성이 높고 상대적으로 대면적에 유리하다. 그러나 상당한 양의 수소가 TFT에 유입되게 되는데, 이러한 수소의 유입이 TFT의 구동 특성과 신뢰성에 어떠한 영향을 주는지는 자세히 알려져 있지 않고 있다. I/I은 공정 속도가 느리고 장비가 고가인 단점이 있으나 NMOS, PMOS의 신뢰성 향상 및 열화 특성 방지에 효과가 있는 것으로 보고되고 있다.

도핑 후의 활성화 열처리를 위해서는 Furnace Annealing(FA), Excimer Laser Annealing(ELA), RTA 등이 사용되고 있다. 가장 보편적으로 사용될 수 있는 FA의 경우, 400-450°C에서 수 시간의 열처리에 의해 활성화시킬 수 있다. 이 경우 상당히 균일한 활성화도를 얻을 수 있는 반면 장시간의 열처리에 의한 생산성 저하가 단점이다. ELA의 경우, ELC 결정화 열처리와 유사한 기구에 의한 저온에서 빠른 시간 내에 활성화시킬 수 있다. 그러나 순간 열처리에 의한 열충격과 금속 게이트와 Si의 반사율 차이에 의한 열구배에 의해 소자의 열화를 유발할 수 있다. RTA는 800°C 정도에서 수 초간 열처리 하는 방법으로 빠른 시간에 비교적 균일한 공정을 구현할 수 있으나 유리 기판의 손상에 대한 세심한 공정 제어가 필요하다.

3. 게이트 산화막 형성 공정

게이트 산화막 형성 공정은 소자의 전류 구동력과 신뢰성을 결정하는 매우 중요한 공정이다. 일반적으로 고온 poly-Si의 경우 반도체에서 행하는 열 산화(thermal oxidation) 공정을 채용하고 있으나, LTPS의 경우 CVD막을 이용하고 있다. 일반적으로 사용되는 PECVD의 경우, $\text{SiH}_4/\text{N}_2\text{O}$ (혹은 O_2), TEOS 가스를 사용하고 있으며, 이외에 LPCVD, APCVD 혹은 ECR-CVD가 사용될 수 있다. 그러나 디스플레이의 꾸준한 대면적화에 비추어 PECVD 방법이 상당한 기간 보편적으로 사용될 것으로 생각된다. 이러한 PECVD의 경우, 상당한 양의 수소가 첨가되며, 플라즈마에 의한 계면 결함이 생성된다. 따라서, 산화막 형성 후 고온 열처리 공정(gate densification 공정)이 추가되는 경우도 있다. 특히 ELC에 의한 poly-Si의 경우, 표면이 거칠어 소자의 특성과 균일도에 나쁜 영향을 주게 된다. 최근 고압 H_2O 나 O_2 plasma를 이용하여 표면 조도를 낮추고 poly-Si의 계면 특성을 향상시키는 연구가 발표되고 있다.

IV. 향후 전망

저온 poly-Si TFT의 개발은 80년대 후반부터 시작하여 LTPS-LCD 제품을 목적으로 이루어졌으나, 최근 AMOLED의 등장과 더불어 그 개발의 강도가 한층 높아지고 있다. 지금 까지 OLED의 구동을 위한 저온 poly-Si TFT는 LCD에서 개발된 공정 방법 및 조건이 그 근간이 되고 있다. 그러나 앞에서 언급한 바와 같이 OLED의 당면한 개발을 위해서는 TFT 소자의 균일도에 대한 부분이 가장 중요하며, 이를 구현하는 데 필요한 최적의 TFT 제조 기술이 LCD의 경우와 동일해야 하는지에 대한 면밀한 검토가 필요하다. 예를 들어 LTPS LCD의 경우, 제품 개발의

중요한 원동력은 구동회로와의 집적화를 통한 패널의 경박 단소화와 생산비의 절감이었다. 따라서 구동 회로의 내장율을 높이기 위한 TFT소자의 전기이동도의 향상이 LCD-LTPS 개발의 중요한 과제였다. 그러나 OLED의 경우에는 전기 이동도 보다는 소자 균일도가 좋고 높은 생산성을 갖는 poly-Si 제조 기술이 더욱 중요한 과제라 하겠다. 저렴하고 높은 생산성을 갖는 poly-Si 제조 기술의 중요성은 차후 시장에서 poly-Si TFT OLED가 많은 디스플레이 제품군에서 a-Si TFT LCD와 경쟁할 것이라는 사실에서 이해될 수 있다. 따라서 OLED의 생산 단가 및 이에 따른 제품의 시장 경쟁력은 생산 기술이 안정화 단계에 접어들어 a-Si TFT와 비교하여 얼마나 싼 가격에 안정적으로 poly-Si을 제조할 수 있느냐에 달려있다고 해도 과언이 아니다.