

우주전파 관측용 400MHz 대역 자기  
상관분광기 설계 및 제작  
A DESIGN AND DEVELOPMENT OF 400MHz BAND AUTOCORRELATOR FOR RADIO  
ASTRONOMY OBSERVATION

이창훈<sup>1</sup>, 최한규<sup>2</sup>, 김광동<sup>1</sup>, 한석태<sup>1</sup>, 김태성<sup>1</sup>, 변도영<sup>3</sup>, 구본철<sup>3</sup>  
<sup>1</sup>한국천문연구원 대덕전파천문대, <sup>2</sup>주식회사 큐벡스, <sup>3</sup>서울대학교 천문학과

CHANGHOON LEE<sup>1</sup>, HAN-KYU CHOI<sup>2</sup>, KWANG-DONG KIM<sup>1</sup>,  
SEOG-TAE HAN<sup>1</sup>, TAE-SUNG KIM<sup>1</sup>, DOO-YOUNG BYUN<sup>3</sup>, BON-CHUL KOO<sup>3</sup>  
<sup>1</sup>Taeduk Radio Astronomy Observatory, Korea Astronomy Observatory  
<sup>2</sup>Cubex co.

<sup>3</sup>Department of Astronomy, Seoul National University  
(Received: December 10, 2003, Accepted: December 22, 2003)

ABSTRACT

This paper is the research and development including the system design and the prototype system building of the 400MHz wide-band digital autocorrelation spectrometer system for radio astronomy observation, which will be used as back-end signal processing unit of the Dual channel SIS receiver at Taeduk Radio Astronomy Observatory. So in this paper, we performed development of the high speed digitizing sampler, the circular memory buffer, and the correlator module for the 400MHz wide-band digital autocorrelator. This developed system will be use at TRA0 after the housing and some calibration.

*Keywords:* radio astronomy, receivers

I. 서론

본 논문에서는 밀리미터파 대역의 전파천문 관측연구 분야에서 외부은하의 선 스펙트럼 관측연구를 위해서 필요한 상관기 형태의 전파분광기시스템을 설계하고 개발하였다(ESCOFFIER 1998; TIMOC and WONGSO 1992). 상관기 형태의 전파분광기는 기존의 필터뱅크 형태 분광기 시스템의 단점인 주변 환경, 즉 온도나 습도변화에 따른 특성의 변화 등의 문제점이 없으므로 현재 대부분의 전파천문대에서는 전파분광기를 이러한 상관기 형태를 갖는 자기상관분광기나 교차상관분광기로 교체 사용하고 있다. 본 논문에서 설계, 제작된 400MHz의 광-대역 자기상관분광기 시스템은 400MHz의 광-대역을 커버하기 위해 800MHz 즉, 1.5Gbps 속도로 샘플링 되도록 하는 3-레벨 방식의 고속 샘플러보드, 이러한 고속 샘플러로부터의 신호를 다중화하고 임시로 저장 후 연속적인 데이터 세트의 신호로 상관기 보드로 재분배하기 위

한 메모리보드와 자기상관계수 혹은 교차상관계수를 구하기 위한 상관기 보드 등으로 나누어 설계, 제작하였다. 상관계수를 구하기 위한 상관기 칩으로는 1990년 미국 New Mexico 대학의 MRC에서 개발된 1024개의 채널수를 갖고 100Msps로 동작되며, 3-레벨 연산이 지원되는 QUANT ASIC 칩을 사용 하였다(CANARIS and WHITAKER 1990). 또한 본 논문에서는 400MHz대의 실시간 신호해석과 상관기 칩의 수를 줄이기 위해서 병렬 신호처리 기법과 환형의 메모리버퍼 모듈을 도입하였다.

본 연구에서 설계, 제작된 디지털 자기상관분광기는 각각의 모듈별로 실험실에서 그 성능을 확인하였으며, 전체 시스템을 실험실에서 구성하여 2MHz의 정현파를 입력하여 전체 시스템의 성능을 확인하였다. 이 시험을 통해 설계, 제작된 각각의 모듈들이 정상적으로 동작함을 확인하였으며, 전체 시스템의 성능을 측정된 결과 만족할만한 결과를 얻었다.

앞으로 본 연구에서 제작된 시스템은 하우징 절차를 거친 후 대덕전파천문대의 14미터 우주전파망원경의 전

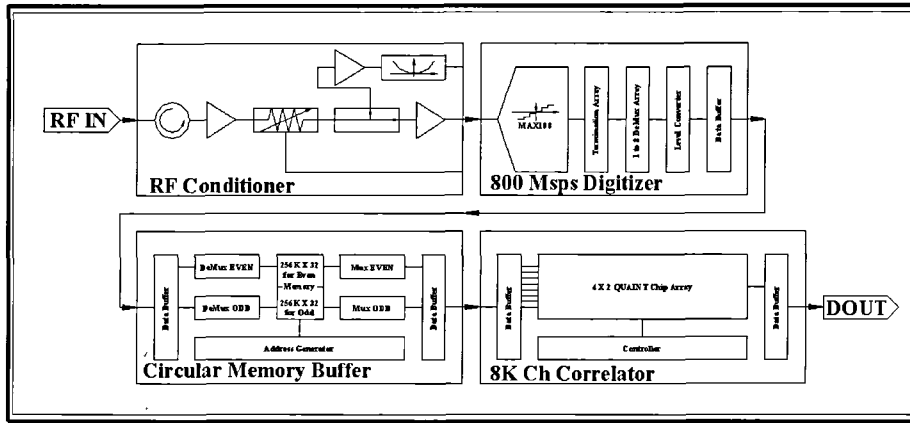


그림 1. 400MHz 1024 채널 디지털 자기 상관 분광기 시스템의 블록 다이어그램

파분광기로 설치하여 필요한 캘리브레이션을 수행한 후 사용될 예정이다. 또한 이러한 고속, 광-대역의 상관기 개발기술을 바탕으로 2GHz 이상의 광-대역 상관기 시스템을 연구, 개발할 예정이다.

## 2. 광-대역 자기상관의 개념

상관함수는 일반적으로 시간 영역에서 두 입력 신호의 상관도(correlation relation)를 측정하는 것을 의미한다. 즉, 기준신호에 대해 일정한 거리, 시간, 혹은 속도만큼 지연된 신호와의 상호 연관성을 수학적 지표로 나타낸 것이다. 즉, 두 개의 랜덤 프로세스  $X(t)$ 와  $Y(t)$ 를 비교하기 위해서는 두 신호 혹은 프로세스의 성질을 가장 잘 나타내주는 교차상관함수 (cross correlation coefficients)  $R_{XY}$ 를 도입하는 것이 일반적이다. 이 상관함수는 다음 식과 같은 기대값으로 표현된다.

$$\begin{aligned} R_{XY}(\tau) &= E[X(t)Y(t-\tau)], \\ &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} xy f_{X(t), Y(t-\tau)}(x, y) dx dy \end{aligned} \quad (1)$$

여기서  $\tau$  는 time lag이다. 이러한 결과가 -1과 1 사이의 값을 갖도록 규격화하기 위해서 다음과 같은 상관계수를 도입할 수 있다.

$$\rho(\tau) = \frac{R_{XY}(\tau)}{\sqrt{\sigma_X^2 \sigma_Y^2}} \quad (2)$$

여기서  $\sigma^2$ 은 variance이다. 이 식에서  $\rho$  가 1인 프로세스를 correlated라 하고, 0인 경우를 uncorrelated라 하며, -1인 경우를 anti-correlated라 정의한다(Cooper 1976).

이렇게 정의되는 상관함수에서  $X(t)$ 와  $Y(t)$ 가 같은 프로세스라 하면, 이때의  $R_{XX}(\tau)$ 로 표시되는 상관함수를 그 프로세스의 자기상관함수라고 부른다. 이 자기상관

함수를 FFT(Fast Fourier Transform)를 취하게 되면 그 프로세스의 전력 스펙트럼 밀도(power spectral density)를 얻게 된다.

이러한 상관함수를 하드웨어적으로 구현하기 위한 노력은 1960년대 중반부터 연구되었으나, 실제로 상업용으로 개발된 것은 1972년 PMOS(Positive channel Metal Oxide Silicon) 기술을 사용하여 12개의 상관관계를 구현하는 칩이 개발된 후부터 본격적인 연구가 진행되었다(Chandra and Wilson 1990). 이러한 상관기 칩의 기술발전으로부터 최근 대부분의 전파천문대에서 전파분광기로 사용되어왔던 필터뱅크나 AOS(Acousto-Optical Spectrometer) 형태의 전파분광기들이 가격 면에서 저렴하면서 광-대역과 고-분해능의 성능을 갖고 기존의 필터뱅크에서의 문제점인 베이스 라인의 안정성 문제가 없는 상관기 형태의 분광 시스템으로 바뀌어가고 있는 추세이다.

## 3. 시스템 구성 및 설계

본 연구에서 설계, 개발된 자기상관분광기는 시스템 설계단계에서 중점적으로 고려한 사항은 높은 입력신호의 자유도를 갖도록 했다는 것이다. 즉 시스템의 입력 활성 범위는 +30dBm에서 -150dBm이며, 입력 주파수 범위도 0.5에서 3GHz까지 가변할 수 있어, 어떤 시스템의 분광기로도 사용이 가능하도록 설계하였다. 또한 400MHz의 광-대역을 다루어야하므로 신호의 샘플링 방식을 일반적인 신호 검출기와는 다르게 알리아싱(Aliasing) 샘플링 방식을 사용하여(Hinderks 1999), 대역 손실을 최소화하고 있으며, 상관기를 통과한 신호에 대해서는 전용의 DSP(Digital Signal Processing)소자를 이용하여 적분 및 푸리에 변환 등을 고속으로 지원해 신호의 처리속도를 높이도록 하였다. 다음의 그림 1에

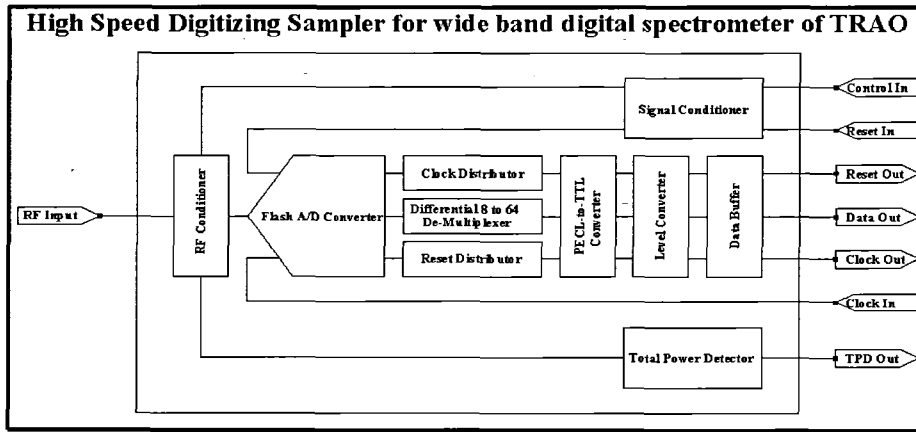


그림 2. 광-대역 디지털 자기 상관 분광기용 고속 샘플러 블록 다이어그램

본 연구에서 개발한 자기 상관 분광기 시스템의 전체적인 구성에 대한 블록 다이어그램을 나타내었다.

Borland Turbo C를 사용하는 것을 원칙으로 하였다.

표 1. 400MHz 광-대역 디지털 자기상관분광기의 특징

RF 입력 대역폭	2.2GHz	
샘플링 비율/대역폭	800MSPS/400MHz single mode	
양자화 레벨	2 Bit 3 Level	
분해능	8 Bits	
주파수 채널	1024 channels	
환형메모리 Depth	262,144x32bitx2Pairs(1.3107ms)	
입력신호	RF	500mVpp
	Clock	800MHz, 10dBm
	Reset	PECL

전체 시스템 중 메모리 보드의 입출력 대상이 되는 고속 샘플러와 상관기는 신호 전송 시 외부 잡음 등에 의해 신호가 왜곡되는 현상이 발생할 수 있으므로 이를 방지하기 위해 1대 8의 다중 전송 변조 및 복조 능력을 보유하도록 설계하였으며, 3레벨로 샘플링 되어 2비트 디지털 신호로 데이터를 처리하도록 하였다(Herzen 1991; Dewdney et al. 1996). 따라서 그림 1에서 메모리 보드의 입력은 800MSPS로 샘플링 된 신호를 100MHz 속도의 총 2쌍의 8비트 디지털 신호로 입력받아, 100MHz 속도의 2비트 디지털 신호 8세트 형태로 100MHz 동작 속도를 갖는 8개의 1024채널 상관기로 출력되도록 설계, 구성하였다. 이와 같은 시스템 구성을 통하여 본 연구에서 개발된 디지털 광-대역 디지털 자기 상관 분광기는 표 1에 주어진 바와 같은 특징을 갖게 된다. 또한 각각의 모듈의 제어 및 데이터 획득은 IBM 호환 PC를 사용하였으며, 제어 프로그램은

4. 시스템 개발 및 실험

4.1. 고속 샘플러

본 연구에서 설계 제작된 고속 샘플러는 수신기로부터의 중간주파수 전력을 검출하여 일정한 전력이 샘플러에 입력되도록 제어해주는 RF 신호 조절기(Andrew 1992), 입력된 신호를 1.5GSPS의 속도로 8 비트 디지털 신호로 바꾸어주는 Flash A/D 변환부, 8 비트 x 2 형태의 디지털 데이터를 디지털 상관기 칩의 입력신호로 역-다중화해 주기위한 DMUX 모듈, 및 8 비트의 데이터 신호를 4비트 16레벨, 9레벨 및 2비트 4레벨과 3레벨로 변환하는 레벨 변환기 모듈 등으로 구성하였다. 그리고 상관기 제어에 필요한 기타 주변 모듈로 클럭 분배 모듈, 리셋 분배기 모듈 등으로 구성하였다. 그림 2에 설계된 고속 샘플러의 블록 다이어그램을 나타내었다.

그림 2에서 고주파 조절기를 거친 RF 신호를 처음으로 디지털 신호로 변환하기 위해 사용되는 Flash A/D 변환기 모듈로는 최대 변환속도가 1.5GSPS이고 8bits PECL 형태의 출력을 내는 MAXIM사의 MAX108C를 사용하였다.

Flash A/D 변환기 모듈에 의해 Differential PECL 8 bits의 형태로 변환된 디지털 데이터를 광-대역 디지털 상관 분광기의 다른 파트들이 처리하기 위해 100MHz 시스템 클럭 비율에 적합하게 역-다중화(de-multiplexing)해야 한다. 본 연구에서는 이러한 역-다중화를 위해 4 비트 직렬/병렬 변환기인 Motorola사의 MC100E445를 사용하고, 두 개의 MC100E445를 직렬 접속하여 하나의 입력 신호 비트를 역-다중화된 8비트로 변환하도록 하였다. 역-다중화 모듈은 Differential 8-to-64로 역-다중화

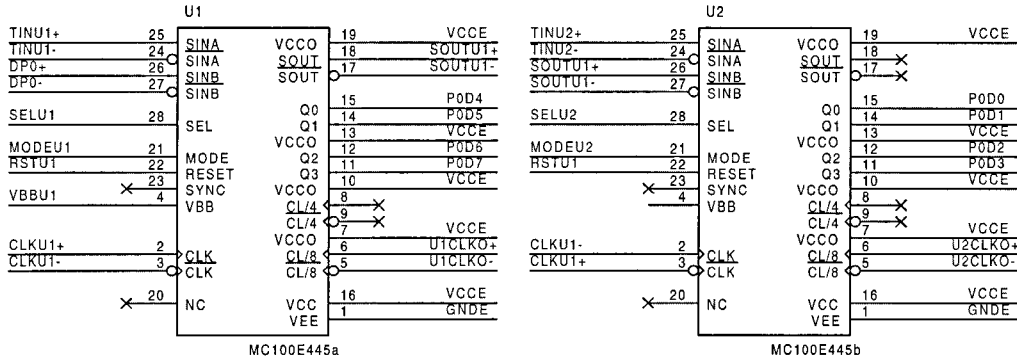


그림 3. 설계된 역-다중부의 일부 회로도

를 하는데, 그 이유는 Flash A/D 변환기 모듈의 출력 데이터가 Differential 8 bits의 형태이기 때문이다. 따라서 전체 모듈은 8개의 1-to-8 역-다중화 채널로 구성 설계하였다. 역-다중화후에, 모듈의 출력은 Single-End PECL 8 bits x 8 형태로 50MHz 대역폭을 갖는 데이터가 된다. 그리고 각 변환소자들의 클럭들은 아날로그/디지털 변환부에서 들어온 Reset신호에 의해 동기가 이루어 질 수 있도록 하였다. 다음의 그림 3은 설계된 역-다중화부의 일부분을 보여주고 있다.

의사-랜덤(Pseudo-random) 가우시안 잡음의 형태를 갖는 우주전파 신호를 실시간으로 신호 처리를 하기위해서는 디지털화된 데이터의 진폭은 소수의 비트들로 제한되어야만 한다(Bos, 1991). 따라서 샘플링 방식은 일반적인 샘플링 방식인 Equi-distance 샘플링 방식과는 다르게 해야 한다. 이런 기능을 그림 2의 레벨 변환부에서 수행하도록 하기위해서, Lattice사의 GAL22V10-5이라는 단순한 PLD를 사용하여 설계 구성하였다. GAL22V10-5의 논리 레벨은 TTL이기 때문에, 입력신호 레벨형태인 PECL 레벨을 TTL 레벨로 변환하기 위해서 MC100H607 소자를 사용하여 논리 레벨 변환에 사용하

였다. 그림 4에서 설계된 레벨 변환부 회로의 일부분을 보였다.

레벨 변환부에서 변환되어진 데이터는 TTL 레벨의 2bits x 8 형태로 최종 출력되어 메모리 버퍼 모듈의 입력으로 사용된다.

본 논문에서 개발된 고속 샘플러 모듈의 PCB 레이아웃 모습과 어셈블된 후 실험하는 모습을 그림 4와 그림 5에 보였다.

그림 6에서 개발된 고속 샘플러의 동작실험을 위해 800MHz 입력 클럭에 2MHz 정현파, 삼각파, 및 구형파 입력신호에 대한 출력 결과를 보였다. 이 실험에서 고속 샘플러를 구동하기 위해서는 Reset 제어 신호가 필요하다. Reset이 간단한 펄스 형태이므로 이 테스트에서는 테스트용 부가 장치를 만들어 신호를 부가하였다. Reset에 의해 고속 샘플러의 각 소자들이 동기가 맞는지를 측정하였는데 그 결과, 그림 7에서 알 수 있듯이 각각의 입력파에 대하여 신호가 부가될 때마다 소자들의 동기가 정확하게 일치함을 확인할 수 있었다.

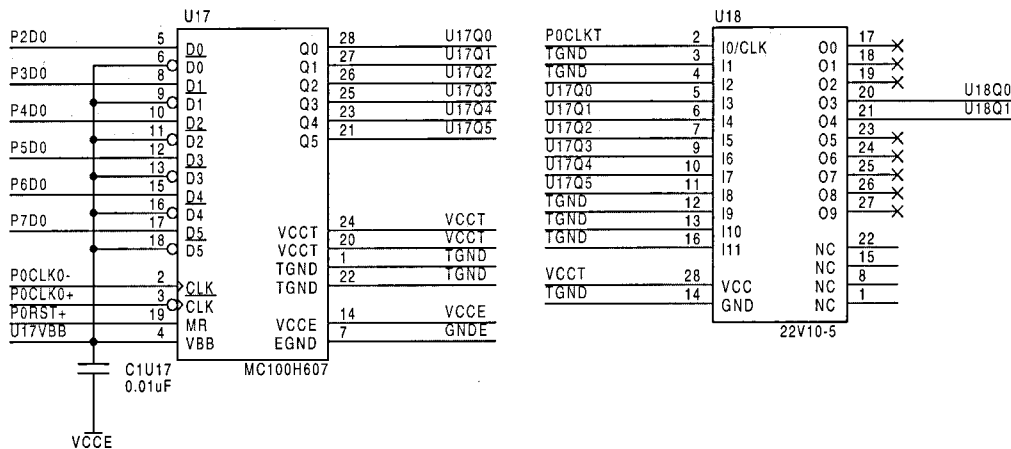


그림 4. 레벨 변환부의 회로 설계

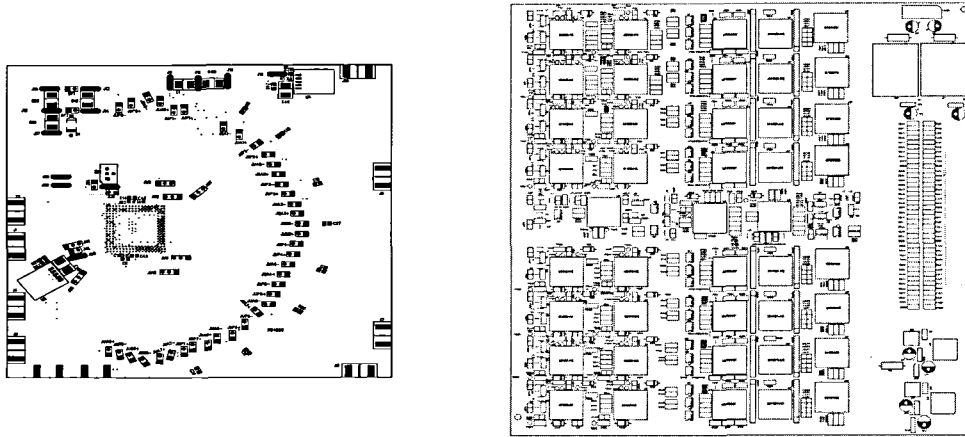


그림 5. Flash A/D 변환기 모듈(좌)과 역-다중화 및 레벨 변환부(우)의 PCB 기판 레이아웃

4.2. 환형 메모리 버퍼

메모리 보드의 역할은 주어진 입력 신호를 다중화하고, 이를 임시 저장한 후에 시간적으로 연속적인 8개 세트의 신호로 8개 상관기 칩에 재분배하는 것이다. 환형 메모리 버퍼 보드의 구성을 위한 기본적인 개념도를 그림 8에 보였다. 메모리 보드는 크게 네 가지로 구성된다. 즉, 환형 메모리 버퍼, 신호 역-다중화기, 신호 다중화기 그리고 주소 발생기이다.

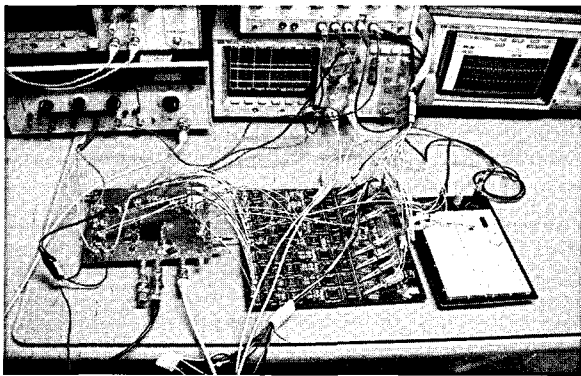


그림 6. 1.5Gsp/s 고속 샘플러의 성능테스트를 위해 A/D 변환기와 역-다중화부와 레벨 변환부가 함께 어셈블되어 실험하는 모습

그림 8은 이러한 구성 중에서 1 세트를 보여주고 있으며, 하나의 메모리 보드에는 양수 비트(부호 비트)와 음수 비트(크기 비트)의 각 비트에 대해 1개 세트씩 동일한 2개의 세트를 갖도록 설계하였다.

환형 메모리 버퍼부에서는 삼성의 K6R4016C1D-10/TSOP44-400이라는 256 x 16 비트의 static RAM을 사용하여 설계하였고, 신호 역-다중화부에

서는 1:4의 직렬/병렬 변환기 4개씩을 가지고 있는 Xilinx사의 Spartan XCS05-PLCC84-04 FPGA 칩 2개를 사용하여 구현하였으며, 신호 다중화부는 2개의 FPGA 칩으로 구성하여 각 칩에는 짝수 비트와 홀수 비트가 각각 할당되도록 하였다. 각 칩에 입력된 신호는 쉬프트 레지스터 형태의 버스 전환기를 통해, 8개의 16비트 병렬/직렬 변환기에 입력된다. 이 중 각 짝수와 홀수 번째 상관기 출력 데이터를 두 칩에서 상호 교환한 후, 50MHz의 대역폭을 갖는 직렬 데이터를 출력하게 된다. 본 연구에서는 이러한 기능을 구현하기 위해, Xilinx사의 Spartan XCS10-PLCC84-04 FPGA 칩 두 개를 사용하고, 하나의 메모리 보드 안에는 각 양수 비트와 음수 비트의 두 개 처리 루틴이 존재해야하므로 총 4개의 칩이 필요하게 된다. 마지막으로 주소 발생기는 2개의 18비트 상향 카운터와 2 대 1 다중 전송기로 구성, 설계하였다. 환형 메모리 버퍼 보드의 주소 발생기는 신호 역-다중화기, 신호다중화기와 마찬가지로 Xilinx사의 Spartan XCS05-PLCC84-04 FPGA 칩 한 개를 사용하여 구현하였고, 한 장의 메모리 보드는 양수 비트와 음수 비트로 나누어 데이터를 처리해야하므로 주소 발생기의 출력 주소 또한 18비트씩 2세트의 주소를 발생하도록 설계하였다

개발된 환형 메모리 버퍼 보드의 테스트는 주소 발생기의 동작상태, 환형 메모리 버퍼의 동작상태, 신호 역-다중화기 그리고 신호 다중화기의 동작상태 등의 항목에 대해 수행하였다. 환형 메모리 버퍼 보드가 FPGA 칩으로 구성되어 있으므로 Xilinx Foundation 프로그램을 이용하여 각각의 칩을 설계 후 시뮬레이션을 수행하였고, 보드 내에서의 동작 상태를 측정하였다. 성능을 측정하는 모습을 그림 9에 보였다.

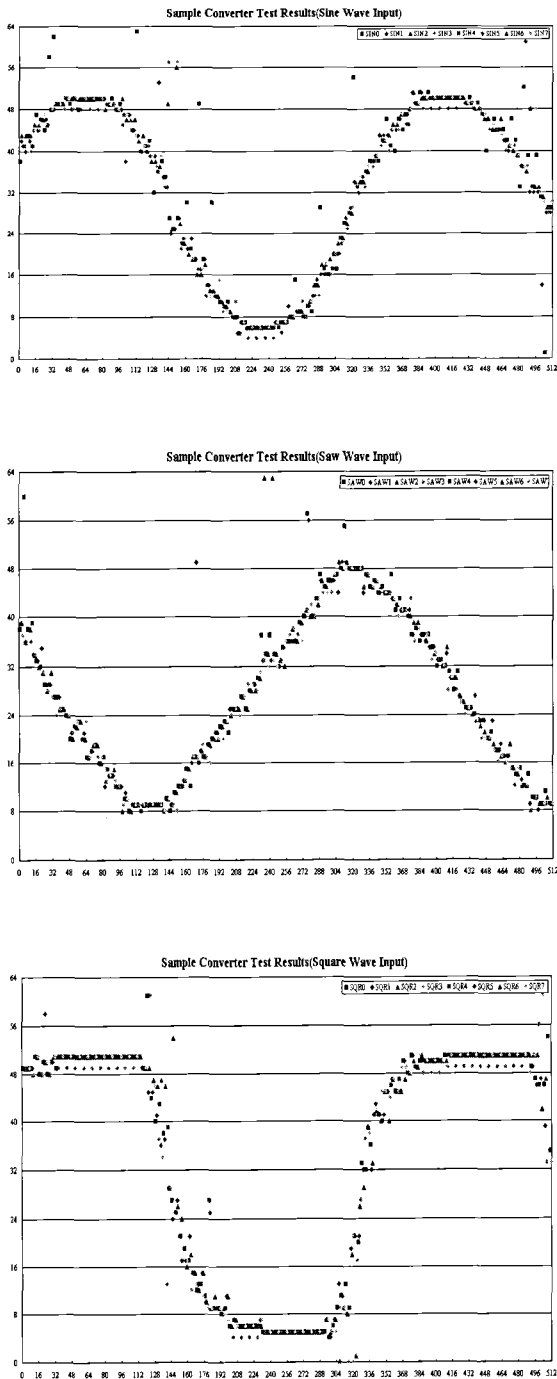


그림 7. 고속 샘플러에 800MHz의 입력 클럭에 2MHz의 (a)정현파 신호 입력시 데이터 획득 결과, (b) 삼각파 신호 입력시 데이터 획득 결과, (c) 구형파 신호 입력시 데이터 획득 결과

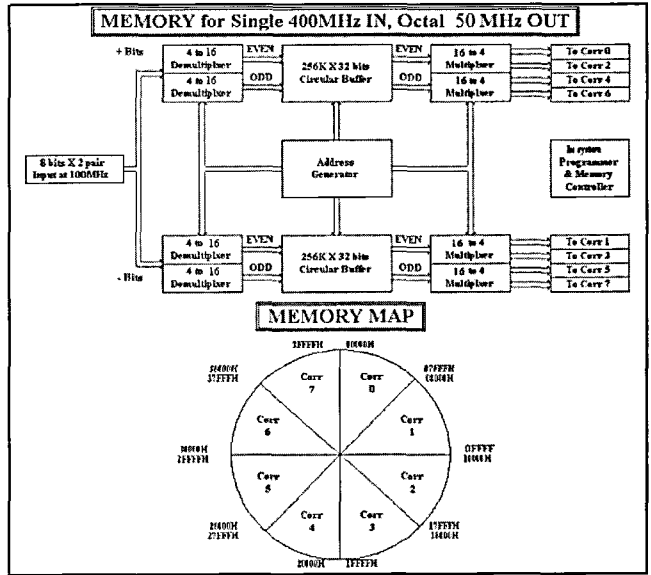


그림 8. 환형 메모리 버퍼 보드의 개념도

환형 메모리 버퍼 보드에 들어가는 주소 발생기, 신호 역-다중화기 그리고 신호 다중화기 등 총 3종의 FPGA를 성공적으로 설계하였고 그에 따른 시뮬레이션 결과도 얻을 수 있었다. 그러나 메모리 보드 테스트 결과 약간의 문제점을 발견하게 되었다.

보드의 처음 설계상의 제원과는 다르게 최대 동작 주파수가 100MHz까지 동작해야하는데 약 65MHz정도라는 점이다. 하지만 이 문제가 발생하는 정확한 원인을 파악하고 있으므로, 즉 메모리 보드내의 각 소자들 간의 타이밍에 의한 문제라는 것을 알 수 있었기 때문에, 향후 지속적인 테스트를 통해서 충분히 개선될 수 있는 것으로 보인다. 이는 주소 발생기, 신호 역-다중화기 그리고 신호 다중화기가 FPGA로 설계되어 있으므로 얼마든지 타이밍 조정이 가능하기 때문이다.

4.3. 광-대역 상관기 모듈

광-대역 상관기 개발의 최종 목표는 400MHz의 실시간 신호 처리 대역폭을 갖는 시스템을 제작하는 것이며 이를 위해 앞에서 설명된 병렬 분산 처리 기법과 환형 메모리 버퍼 기법을 사용하고 있다. 즉, 400MHz의 신호 대역폭에 해당하는 시스템 동작 속도는 샘플링 정리에 따라 800MHz이나, 자기 상관 계수를 계산하기 위해 본 연구에서 사용한 상관기 칩(QUAINT)의 경우 최대 동작 속도가 100MHz이므로 병렬 분산 처리 방식에 의해 800MHz의 신호를 실시간으로 처리하기 위해서는 8 x 8 행렬의 "QUAINT"칩 배열이 필요하다. 그러나 여기에 환형 메모리 버퍼 기법을 도입하면, 8 x 1 행렬의

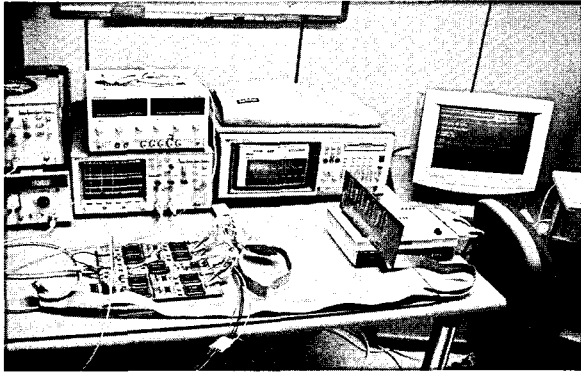


그림 9. 개발된 환형 메모리 보드의 특성시험을 위한 시스템 구성모습

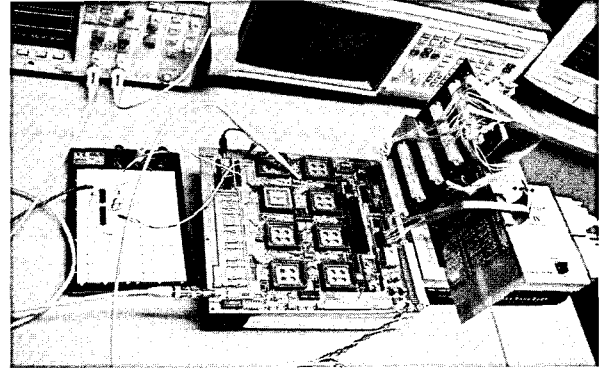


그림 11. 상관기 모듈 실험을 위해 제작된 인터페이스 보드와 함께 어셈블된 모습

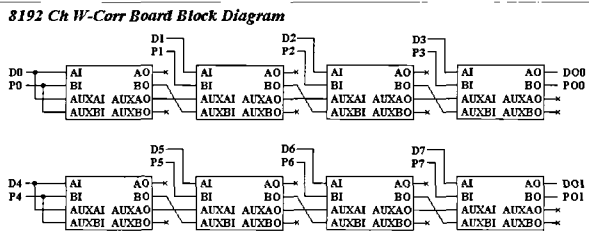


그림 10. "QUAINT" 상관기 칩 배열 구성도

"QUAINT"칩 배열만으로 입력 신호의 손실 없이 800MHz 신호를 실시간으로 처리할 수 있게 된다. 따라서 본 연구에서 개발되는 광-대역 상관기 보드는 앞에서 설계, 개발된 환형 메모리 버퍼 보드를 사용하게 되므로 8 × 1 행렬로 "QUAINT" 상관기 칩 배열을 사용하여 설계, 제작하였다. 전체적으로 광-대역 상관기 모듈은 4개의 "QUAINT"칩을 종속으로 연결한 두 개의 상관기 배열, 클럭 분배기, 데이터 입출력 버퍼, 병렬 동작 제어 신호 입력 포트, 직렬 모드 제어 신호 입력 포트들로 구성하여 구현하였다.

클럭 분배기에서는 10dBm 정도로 입력된 클럭이 Dual 3-Input 3-Output OR Gate인 MC10H210을 통하여 PECL-to-TTL 변환 소자인 SY100H842로 전송되어 전체 모듈을 동기적으로 동작시키기 위해 최대 0.5ns의 Time Skew를 가진 8개의 TTL 레벨의 클럭 신호로 복사한 후 복사된 8개의 TTL 클럭을 8개의 상관기 칩의 입력 클럭으로 사용되도록 설계 제작하였다.

상관기부는 환형 메모리 버퍼 보드로부터 총 16비트의 신호를 인가받아 자기 상관 계수를 계산하여 32비트의 출력 라인을 통해 출력되도록 설계하였다. 환형 메모리 버퍼에 의해 제배열되어진 신호는 그림 10과 같이 설계된 상관기부의 D0 ~ D7, P0 ~ P7로 입력되어진다.

각 칩의 데이터 입력은 AI, BI를 통해 직접 입력되는 방법과 AUXAI, AUXBI를 통해 간접 입력되는 방법을 가지고 있으며 이는 PMUX, DMUX라고 하는 제어 신호에 의해 선택되어진다. 이러한 행렬(Matrix)방식의 배열을 사용함으로써 설계된 상관기 보드는 50MHz/8192 채널, 100MHz/4096채널, 200MHz/2048채널, 및 400MHz/1024채널과 같은 여러 가지 모드를 제공할 수 있게 된다.

그림 11에 이상과 같이 설계되어 개발된 상관기 보드를 조립하여 실험하는 모습을 보였다.

다음의 그림 12와 그림 13의 결과는 1.67MHz 구형파를 인가하고 시스템을 100MHz로 동작시킬 때 상관기 보드로부터 출력되어지는 자기 상관 계수 결과와 이를 FFT취한 결과이다.

구형파의 경우, 주파수 영역에서 보면 자기 주파수의 정수배가 되는 곳에서 하모닉이 발생하게 된다. 위의 그림에서 보면 100MHz 동작 시, 1.67MHz 구형파 입력에 대한 결과에서는 17번째 주파수 채널에서 최대 피크가 발생하고, 34, 51, 68순으로 정확히 정수배 되는 곳에서 하모닉이 측정된 결과를 볼 수 있다. 마찬가지로 50MHz 동작 시, 500KHz 구형파 입력의 경우에도 최대 피크로부터 정확히 정수배가 되는 곳에서 하모닉이 발생하는 것을 볼 수 있다. 이로써 개발되어진 광-대역 상관기 모듈은 정상적으로 동작함을 확인할 수 있었다.

#### 4.4. 전체 시스템 조립 및 성능실험

400MHz 1024 채널 디지털 자기 상관 분광기 시스템의 성능시험을 위해 다음과 같이 각각의 모듈을 연결하였다. 각 모듈간의 데이터 전송선은 최대 허용 주파수가 3GHz인 RG-178 Flexible 동축 케이블을 제작하여 사용하였고, 전체 시스템의 동기 Reset은 환형 메모리 버퍼

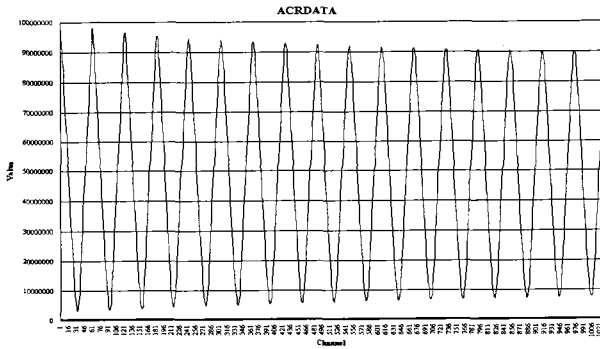


그림 12. 100MHz 동작 시, 1.67MHz 구형파 입력에 대한 자기 상관 계수 결과

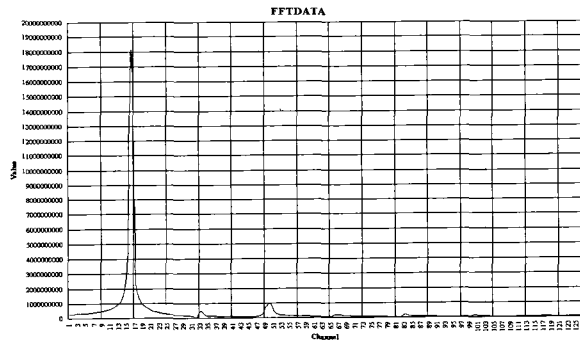


그림 13. 100MHz 동작 시, 1.67MHz 구형파 입력에 대한 FFT 결과

보드의 리셋 출력이 SMA를 통해 고속 샘플러의 리셋 입력으로 인가되어 모듈간의 동기를 맞추었다. 또한 자체 제작된 범용 인터페이스 카드 2장을 사용하여 한 장은 메모리 보드의 FPGA에 프로그램 다운로드용으로 사용하였고, 나머지 한 장은 광-대역 상관기에 제어 신호를 인가해 주기 위해 사용하였다.

시스템의 신호원으로는 함수 발생기인 8205A를 사용하였고, 모듈의 각 구성 부분을 HP사의 54615B 아날로그 오실로스코프(500MHz)와 1662C 논리 분석기를 이용하여 계측하였다. 또한 모듈의 제어 및 데이터 수집은 IBM 호환 PC를 사용하였으며, 제어 프로그램은 Borland사의 Turbo C ver. 3.0이 사용되었다. 또한 출력 데이터의 예측과 분석을 위해 Excel 프로그램을 사용하였다.

이상과 같이 디지털 상관기 전체시스템의 성능측정을 위해 구성된 모습을 그림 14에 보였다. 조립된 광-대역 자기상관기의 고속 샘플러 입력 및 메모리 버퍼와 상관기 모듈의 클럭 입력은 다음과 같이 입력하고 성능실험

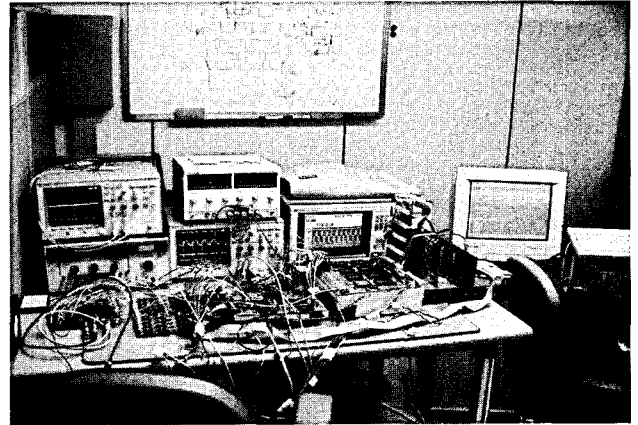


그림 14. 전체 시스템을 조립한 후 성능실험을 하는 모습

을 진행하였다.

- [고속 샘플러의 입력 클럭] : SMA를 통한 4dBm의 400MHz
- [고속 샘플러의 입력 데이터] : SMA를 통한 500mVpp의 진폭을 가진 2MHz의 사인파
- [환형 메모리 버퍼 보드와 광대역 상관기 보드의 입력 클럭] : SMA를 통한 10dBm의 50MHz

환형 메모리 버퍼 보드의 성능시험에서 언급한바와 같이 메모리 보드의 최대 동작 주파수가 약 65MHz 정도로 추정되어 본 연구에서 요구하는 800MHz 입력 클럭에서는 동작을 시키지 못하므로 400MHz의 클럭 입력에서 동작 여부와 상태를 측정하였다. 환형 메모리 버퍼 보드와 광-대역 상관기 보드의 입력 클럭은 클럭 보드를 자체 제작하여 50MHz로 인가하였다.

그림 15에서는 상관기 칩을 8개 모두 장착 했을 때 광-대역 상관기의 자기상관계수와 이를 FFT 취한 결과를 보여주고 있다. 그림을 보면 알 수 있듯이 광-대역 상관기 보드는 환형 메모리 버퍼 보드에서 넘어오는 데이터를 정확하게 분석하고 있음을 알 수 있다. 비록 획득된 데이터의 성능이 월등히 좋지는 않지만 동작은 제대로 하고 있음을 나타내고 있다.



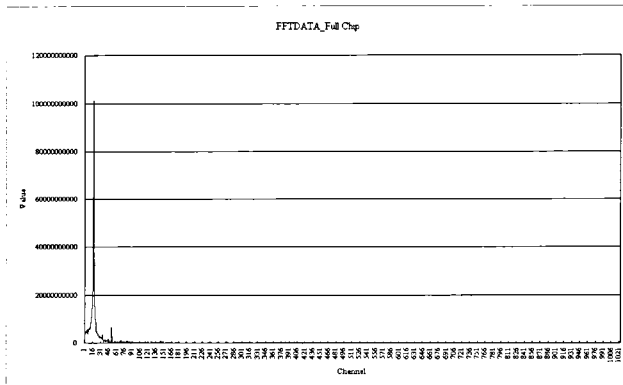
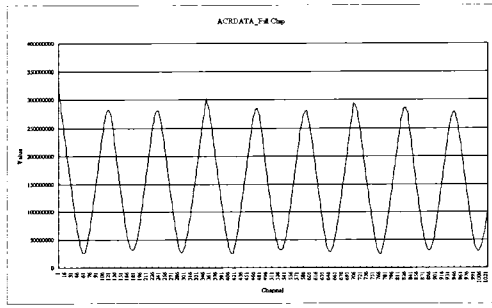


그림 15. 상관기 칩을 8개 장착 했을 시, 전체 시스템에서 광-대역 상관기의 출력 결과 (상 : 채널별 자기상관계수 결과, 하 : FFT를 취한 결과)

5. 결론

본 논문에서는 디지털 상관기의 이론적 배경과 전파천문 관측 시스템의 중요한 부분인 광-대역 전파분광기로 활용할 수 있는 광-대역 디지털 자기 상관 분광기의 핵심 기술인 고속 샘플러 모듈, 환형 메모리 버퍼 모듈 그리고 광-대역 상관기 모듈에 대한 설계의 기본 개념과 개발연구가 수행되었다. 또한 개발된 시스템의 개별적인 성능측정과 디지털 자기상관기 시스템으로서의 전체적인 성과와 특성실험이 수행되었다.

첫 번째로 고속 샘플러에 대한 개발 결과를 정리해 보면 전력 소모는 50W 정도였으며, 최대 동작 주파수는 약 1.5GHz 이었다. 아날로그 신호에 대한 2비트 3-레벨 방식의 코딩 및 양자화 신호의 다중화 전송 등 본 연구의 광-대역 자기상관기를 위한 고속 샘플러 보드로서 정상적 동작을 하고 있음을 확인할 수 있었다. 또한 개발된 고속 샘플러는 전파 천문학적인 응용 분야에 적합하게 제작되었으며, 의사-랜덤(Pseudo-random) 가우시안 잡음을 처리할 수가 있음을 확인하였다. 그리고 디지털 자기 상관 분광기용 입력 디지털타이저(Digitizer)로서 레벨 변환 능력을 충분히 갖추고 있음을 확인하였다. 따

라서 개발된 샘플러에 위상 쉬프트 방법을 도입한다면 향후 3Gsp/s 정도의 초고속 샘플러 개발도 가능할 것이다. 이러한 초고속 샘플러의 개발은 VLBI나 VLA 등에 사용되는 상관기 개발연구에 기본이 될 것이다.

두 번째로 400MHz의 광-대역 디지털 자기 상관 분광기를 구현하는데 있어서 가장 핵심을 이루는 메모리 보드의 설계 및 제작 연구에서는 환형 메모리 버퍼 보드에 들어가는 주소 발생기, 신호 역-다중화기 그리고 신호 다중화기 등의 기능을 총 3종의 FPGA를 사용하여 성공적으로 설계하였으며 그에 따른 시뮬레이션 결과도 얻을 수 있었다. 그러나 제작된 메모리 보드 테스트 결과 약간의 문제점을 발견하게 되었다. 이 보드의 처음 설계상 제원과는 다르게 최대 동작 주파수가 100MHz 까지 동작해야 하는데 약 65MHz 정도라는 점이다. 하지만 이 문제가 발생하는 정확한 원인을 파악하고 있으므로, 즉 메모리 보드내의 각 소자들 간의 타이밍에 의한 문제라는 것을 알 수 있었기 때문에, 향후 지속적으로 테스트를 통해서 충분히 개선될 수 있는 것으로 보인다. 이는 주소 발생기, 신호 역-다중화기 그리고 신호 다중화기가 FPGA로 설계되어 있으므로 얼마든지 타이밍 조정이 가능하기 때문이다.

세 번째로 본 연구에서 개발된 광-대역 상관기 보드는 병렬 분산 신호 처리 기법과 환형 메모리 버퍼 기법을 통하여 최대 400MHz에 달하는 입력 신호에 대해 실시간으로 자기 상관 계수를 계산하는 하드웨어 형태의 상관기이다. 총 전력 소모는 40W 정도이며, 8 x 1의 "QUAINT" 칩 배열로 구성되어 사용 환경에 따라 다양한 모드를 제공할 수 있도록 유연하게 설계, 제작되어 졌다. 또한 개발된 모듈에 대해 인위적으로 발생되어진 구형과 신호를 인가하고 모듈의 동작 특성과 그 성능에 대한 실험을 하였다. 실험 결과 개발된 광-대역 상관기 모듈은 정상적으로 동작할 뿐 아니라, 그 특성이 구형과 입력의 경우, 이론적으로 주어지는 삼각파 결과와 99.9% 이상의 상관도로 일치함으로써 그 특성 또한 매우 우수함을 알 수 있었다. 따라서 본 모듈이 400MHz 디지털 광-대역 자기 상관 분광기를 구성하는 고속 샘플러 모듈과 환형 메모리 버퍼 모듈과 결합하여 사용될 경우, 광-대역에 걸쳐 우수한 특성을 갖는 후단 신호 처리기로 사용될 수 있을 것이다.

마지막으로 본 연구에서 개발된 광-대역 400MHz, 1024채널 디지털 자기 상관 분광기 시스템 전체에 대한 동작실험을 수행한 결과를 정리해 보면, 전체 전력소모는 총 100W 정도가 소모되며, 이 중 -5.0V 전원은 고속 샘플러의 아날로그/디지털 변환부와 광-대역 상관기 보드에서 총 0.7A 정도를 소모하고 나머지 전력소모는 +5.0V 전원에서 소모된다.

본 논문에서 설계된 시스템의 이론적인 최고 동작 주

파수는 800MHz 이었으나, 현재 제작된 시스템의 최고 동작 주파수는 약 400MHz 정도로 측정되었다. 이것은 현재 제작된 환형 메모리 버퍼 보드의 최고 동작 주파수를 65MHz에서 설계값인 100MHz로 높일 수 있으면 해결될 것으로 보인다. 결론적으로 현재 구성된 자기상관 분광 시스템에서 가장 많은 문제점을 갖고 있는 것은 환형 메모리 버퍼 보드의 최대 동작 주파수 문제라고 할 수 있다. 이러한 문제의 원인은 메모리 보드 내부의 각 소자간의 타이밍이 정확히 일치하지 않는 것이다. 따라서 이러한 문제는 FPGA로 구성된 소자들의 설계를 수정하여 지속적인 실험을 통해서 향후 해결될 수 있을 것이다. 메모리 보드의 문제점을 제외하고는 나머지 고속 샘플러와 광-대역 상관기는 잘 동작하고 있음을 확인하였다.

결론적으로 본 논문에서 개발된 디지털 자기상관분광기 시스템의 연구개발은 앞에서 언급된 메모리 보드의 타이밍 문제를 제외하고는 기본적인 개념연구, 시스템 구성, 부분적인 보드의 개발 및 전파천문관측을 위한 전파분광기로서 전체적인 디지털 상관기 형태의 분광기 개발측면에서 국내에서는 유일하게 성공적으로 수행이 되었다. 이러한 성공적인 광-대역의 전파분광기의 국내 개발을 통해 외부은하의 연구관측 및 심도있는 전파천문 관측연구의 활성화가 기대된다.

#### 참고문헌

- Escoffier R., 1998, Technical Report Vol. 1, NRAO, West Virginia
- Timoc C., Tran T., and Wongso J., 1992, National Radio Science Meeting
- Canaris J. and Whitaker S., 1990, 2nd NASA SERC Symposium on VLSI Design, 3.3.1-3.3.11
- Cooper B.F.C., 1976, Vol.12, Part B, Academic Press, New York
- Chandra K.M. and Wilson W.J., 1990, JPL D-8056, Jet Propulsion Lab.
- Hinderks J., 1999, Princeton Univ. Senior Thesis
- Herzen B.V., 1991, IEEE J. of Solid-State Circuits, Vol.26, No.5
- Dewdney, Dent et al, 1996, JCMT, v13a, 21
- Andrew D., 1992, IEEE Trans. Instr.& Meas. Vol.41, No.5
- Bos A., 1991. IEEE Trans. on Inst. and Meas., Vol.40, No.3

[Note] 이 논문은 한국과학재단 기초연구사업 (R01-2000-000-00024-0)의 지원결과임.