

NMOS 소자의 Ta-Ti 게이트 전극 특성

Characteristics of Ta-Ti Gate Electrode for NMOS Device

강영섭*, 서현상*, 노영진*, 이충근*, 홍신남*

Young-Sub Kang*, Hyun-Sang Seo*, Young-Gin Noh*, Chung-Keun Lee*, Shin-Nam Hong*

요 약

본 논문에서는 오래 전부터 NMOS의 게이트 전극으로 사용된 폴리실리콘을 대체할 수 있는 Ta-Ti 합금의 특성에 대해 연구하였다. 실리콘 기판 위에 열적으로 성장된 SiO₂ 위에 Ta과 Ti의 두 타겟을 사용하여 co-sputtering 방법으로 Ta-Ti 합금을 증착하였다. 각각의 타겟은 100W의 sputtering power로 증착하여 시편을 제작하였다. 또한 비교 분석을 위하여 Ta을 100W의 sputtering power로 증착한 시편도 제작하였다. 제작된 Ta-Ti 합금 게이트의 열적/화학적 안정성을 검토하기 위하여 600°C에서 급속열처리를 수행한 결과 소자의 성능 저하는 나타나지 않았다. 또한 전기적 특성 분석 결과 Ta-Ti 합금은 NMOS에 적합한 일함수인 4.13eV를 산출해 낼 수 있었고, 면저항 역시 폴리실리콘에 비해 낮은 값을 얻을 수 있었다.

ABSTRACT

In this paper, characteristics of Ta-Ti alloy was studied as a gate electrode for NMOS devices to replace the widely used polysilicon. Ta-Ti alloy was deposited directly on SiO₂ by a co-sputtering method using two of Ta and Ti targets. The sputtering power of each metal target was 100W. To compare with Ta-Ti, Ta deposited with a 100W sputtering power was fabricated as well. In order to investigate the thermal/chemical stability of the Ta-Ti alloy gate, the alloy was annealed at 600°C with rapid thermal annealer. No appreciable degradation of the device was observed. Also the results of electrical analysis showed that the work function of Ta-Ti metal alloy was about 4.1eV which was suitable for NMOS devices and sheet resistance of alloy was lower than that of polysilicon.

Key words : metal gate, co-sputter, workfunction, NMOS.

I. 서 론

MOSFET가 개발된 초창기에는 전기 전도도가 우수하고 비교적 저렴한 aluminum을 게이트 전극으로 사용하였다. 그러나 aluminum은 반도체 공정상 뒤따르게 되는 고온 공정(high temperature process)과 산을 이용한 세척 공정(acid solution cleaning process)

에 취약한 문제점으로 인해 폴리실리콘(polysilicon)으로 대체되게 되었다. 폴리실리콘은 공정의 용이성과 소자의 높은 신뢰성으로 인해 지금까지도 게이트 전극으로 널리 사용되고 있는 물질이다. 하지만 지난 수 십년 동안 scaling 원리를 이용하여 반도체 소자의 크기를 감소시키기 위해 지속적으로 노력한 결과, CMOS 소자의 채널 길이가 100nm 이하인 소위

* 한국항공대학교 전자·정보통신·컴퓨터공학부

(School of Electronics, Telecommunication, and Computer Eng., Hankuk Aviation University)

· 논문번호 : 2003-2-15

· 접수일자 : 2003년 11월 11일

nano technology라고 불리는 시대로 접어들게 되었다. 채널 길이가 감소함에 따라 게이트 전극 아래의 게이트 산화막도 감소하게 되었으며 채널 길이가 긴 소자에서 거의 무시되었던 여러 가지 현상, 즉 채널 영역에서의 전하공유(charge sharing) 현상이나 폴리공핍(poly depletion) 현상들이 큰 문제점으로 대두되기 시작하였다. 따라서 100nm 이하의 CMOS 세대에서는 폴리실리콘과 관련된 여러 가지 문제를 극복하기 위해서는 금속 게이트의 사용이 절실히 요구된다. 그림 1은 ITRS(International Technology Roadmap for Semiconductor)[2]에 따른 데이터를 근거로 최근 몇 년 전과 앞으로의 반도체소자의 크기 감소 경향을 나타낸 것이다.

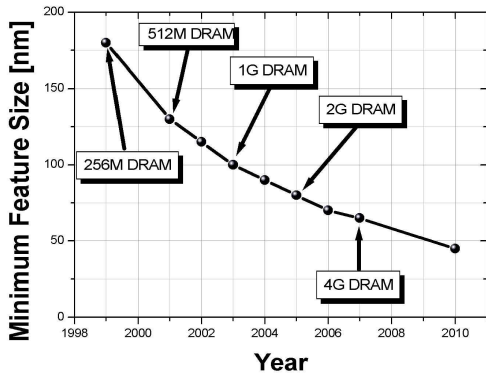


그림 1. 반도체 소자의 채널 길이 감소 추세 (ITRS 2002)
Fig. 1. Trends of downsizing channel length (by ITRS 2002)

금속 물질을 게이트 전극으로 사용하기 위해서는 몇 가지 조건을 만족해야 한다. 첫째 적합한 일함수를 가져야 한다. 소자의 문턱전압이 적절한 값으로 유지되기 위해서는 NMOS는 약 4.2eV, PMOS는 약 5.2eV 정도의 일함수 값이 요구된다[3]. 따라서 게이트 전극으로 사용할 수 있는 많은 금속 후보군 중 적합한 일함수값을 가지는 금속물질을 선택하는 것이 중요하다. 둘째로는 금속게이트와 게이트 절연막 사이에서의 열적/화학적 안정성을 가져야한다. 이것은 반도체 공정상 후속 열처리 공정이 뒤따르게 되는데 열적/화학적으로 불안정한 특성을 보인다면 소자의 신뢰성에 문제가 있기 때문이다. 가장 최상의 조건은 게이트 절연막과 게이트 전극사이에서의 계면에 어떠한 계면층도 형성되지 않는 것이며, 설

사 계면층이 형성되었더라도 그것이 소자의 전기적인 특성을 저하시키지 않아야 한다. 마지막으로 공정의 적합성이다. 폴리실리콘을 금속 물질로 대체하는데 있어서 기존의 공정과 호환성이 맞지 않거나 공정이 더욱 복잡해진다면 금속 게이트를 사용하는데 있어 문제가 된다. 본 논문에서 사용된 co-sputtering 증착 공정은 공정의 간소화를 가져다 줄 뿐만 아니라 기존 공정과의 적합성에 있어서도 큰 문제가 없다.

최근 전기적으로 적합한 일함수를 가지면서 열적/화학적으로 안정한 금속 전극 물질을 찾기 위한 많은 연구가 진행되고 있다. 하지만 많은 물질들이 열적/화학적 불안정성을 비롯한 여러 문제로 인해 게이트 전극으로써 부적합한 것으로 보고 되었고 이를 해결하기 위하여 많은 노력이 진행되어 왔다. MoN_x 나 RuO_2 와 같은 금속 질화물의 사용이나 $\text{Ru}_x\text{Ta}_{1-x}$ 과 같은 합금을 이용하는 방법이 대표적인 예이다 [4-7].

본 논문에서는 Ta-Ti 합금이 폴리실리콘보다 우수한 게이트 물질임을 증명하기 위해 Ta-Ti 합금을 게이트 물질로 증착한 커패시터를 제작하여 열처리에 따른 전기적인 특성 변화와 계면상태를 분석하였다. 또한 단일 Ta만을 증착한 커패시터를 이용하여 Ta-Ti 합금 게이트와 비교 분석한 결과 합금을 이용한 금속 게이트가 전기적으로나 열적/화학적으로 더 안정함을 알 수 있었다. 아울러 면저항을 측정하여 현재 사용되고 있는 폴리실리콘의 면저항과 비교하였다.

II. 본 론

2-1 실험방법

본 실험에 사용된 커패시터는 두 종류의 게이트로 제작하였다. Ta-Ti 합금과 순수한 Ta을 게이트로 사용하였으며 공정 순서는 그림 2에 요약하였다.

(100)의 p형 실리콘 기판에 3500Å의 필드 산화막과 30-35Å의 게이트 절연막을 열적 성장시켰다. Ta-Ti 합금 게이트는 Ta과 Ti을 co-sputtering하여

증착하였으며 sputtering power는 각각 100W이었다. 순수 Ta 게이트의 경우에는 Ta만을 100W로 스퍼터하였다. 게이트 전극은 lift-off 방법으로 패터닝(patterning)하였다. 제작된 시편은 아르곤(Ar) 환경에서 600°C로 10초간 급속 열처리를 수행하였다. C-V 특성은 HP4280을 사용하여 측정하였으며 평탄(flat-band voltage)전압과 EOT(effective oxide thickness)는 NCSU C-V 프로그램을 사용하여 산출하였다[8]. 먼저항은 4점 탐침기를 사용하여 측정하였다. Ta-Ti 합금의 원자 조성 비율은 FESEM-EDX(field emission scanning electron microscopy-energy dispersive X-ray)를 사용하여 측정하였고, Cu K α 를 통한 XRD(X-ray diffraction) 분석을 통해 게이트 전극의 열처리에 따른 금속 박막과 산화막과의 계면 상태 등을 조사하였다.

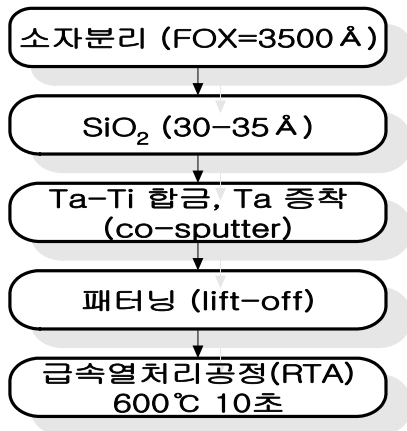


그림 2. MOS capacitor 공정 흐름도
Fig. 2. MOS capacitor fabrication process

2-2 결과 및 고찰

먼저 Ta-Ti 합금의 C-V 특성을 측정한 데이터를 토대로 일함수를 산출한 결과 NMOS에 적합한 4.1eV를 얻을 수 있었다. 일함수는 측정한 C-V 데이터로부터 NCSU C-V 프로그램을 이용하여 평탄대역전압(V_{FB})를 구한 후에 다음의 식에 대입하여 구하였다.

$$V_{FB} = \Phi_{MS} \pm Q_f / C_{acc} \tag{1}$$

$$\Phi_{MS} = \Phi_M - \left(\chi + \frac{E_g}{2q} + \Psi_B \right) = 0 : \text{p-type} \tag{2}$$

여기서 C_{acc} 는 측정 상태에서의 정전용량 값이고, χ 는 반도체의 전자친화도, Ψ_B 는 진성준위와 페르미준위 사이의 전위차이며, Φ_M 은 일함수이다.

Ta-Ti 합금의 원자 조성비율을 알아보기 위해 FESEM-EDX측정을 한 결과 Ta은 96%이고 Ti은 4% 임을 알 수 있었다.

다음 그림 3은 Ta-Ti 합금 게이트의 열처리 전과 600°C 급속 열처리 공정을 수행한 후의 XRD peak를 나타낸 것이고, 그림 4는 Ta 게이트의 600°C 열처리후의 XRD peak를 나타낸 것이다.

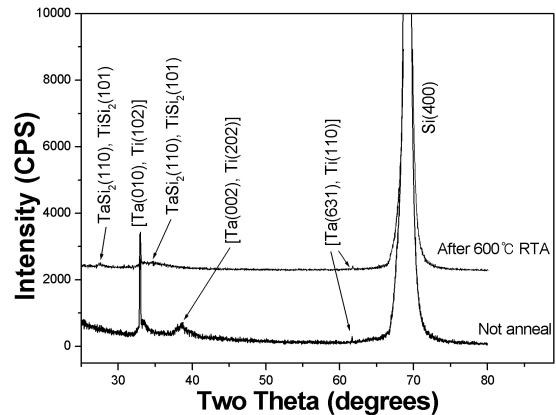


그림 3. 열처리 전과 600°C RTA후의 XRD peak 비교
Fig 3. Comparison of XRD peak before annealing and after 600°C RTA

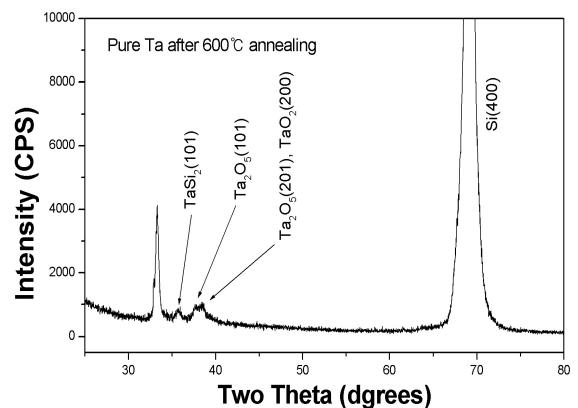


그림 4. Ta 게이트에 대한 600°C 열처리 후의 XRD peak
Fig 4. XRD peak of Ta gate after 600°C annealing

그림 3에서 Ta-Ti합금을 게이트로 사용한 경우 열처리 후에 새롭게 나타난 peak를 분석한 결과 게이트 산화막과 전극 사이에서의 계면에 실리콘 화합물들이 생성되었음을 알 수 있었다.

마찬가지로 그림 4에서 나타낸 순수한 Ta 게이트의 XRD peak 분석 결과 계면에는 Ta₂O₅을 비롯한 몇몇 실리사이드(silicide) 물질 들이 생성되었음을 볼 수 있었다. 특히 Ta₂O₅는 유전상수(dielectric constant)가 대략 26인 high-k 물질로 잘 알려진 물질이다[9].

XRD 분석을 통해 나타난 새로운 화합물들은 XRD 분석만으로는 얼마나 생성되었는지 또한 과연 이것이 소자의 성능에 어떠한 영향을 미치는지 알아 내기는 대단히 어려운 일이다. 따라서 이러한 계면 층의 두께와 소자의 전기적인 영향을 추론하기 위하여 다음의 C-V 측정을 통해 전기적인 분석을 수행 하였다.

그림 5는 Ta-Ti 합금 게이트의 열처리 전과 열처리 후의 C-V 특성 곡선을 비교적으로 보여주고 있다. 그림 5에 삽입된 그림은 Ta-Ti 합금과 전기적인 특성을 비교 분석하기 위해 순수한 Ta 게이트의 열처리에 따른 C-V 특성 곡선을 나타낸 것이다.

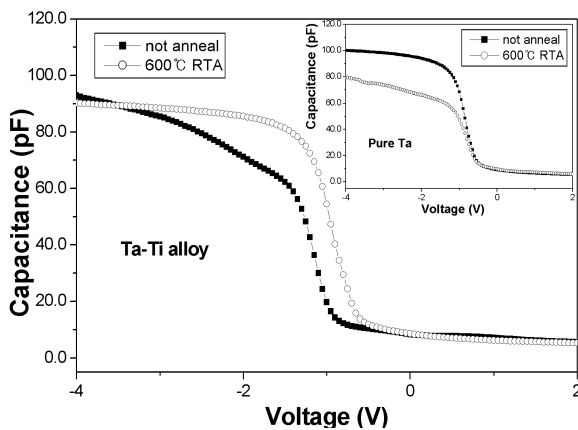


그림 5. Ta-Ti 합금 게이트와 Ta 게이트(삽입그림)를 사용한 커패시터의 열처리 전과 600°C 열처리 후의 C-V 특성 곡선

Fig 5. C-V curves before and after 600°C for Ta-Ti alloy and pure Ta(inserted figure)

먼저 Ta-Ti 합금의 C-V 특성 곡선을 살펴보면 600°C 열처리 후의 평탄대역 전압이 이동한 것을 볼

수 있다. 이것은 게이트 절연막의 고정전하(fixed charge)와 sputtering damage가 열처리를 수행함으로써 감소하였음을 나타낸다. 또한 측정 상태에서의 정전용량값은 거의 일치하였다. 반면에 삽입그림에서 나타난 Ta 게이트의 경우는 측정 상태에서의 정전용량 값이 열처리에 따라 다소 차이가 나타남을 알 수 있다. 측정 상태에서의 정전용량 값은 다음의 식으로 표현이 된다.

$$C_{acc} = \frac{k\epsilon_0 A}{t} \tag{3}$$

여기서 k 는 유전상수(dielectric constant), ϵ_0 는 자유공간에서의 유전률이고, A 는 커패시터의 면적이며, t 는 게이트 절연막의 두께를 나타낸다. 측정된 측정전하 값을 위식에 대입하면 Ta-Ti 합금의 게이트 절연막은 두께의 변화가 거의 없음을 알 수 있다. 반면에 Ta를 전극으로 사용한 커패시터는 절연막의 두께 변화가 다소 큼을 알 수 있었다. NCSU C-V 프로그램을 이용하여 측정된 C-V 곡선을 토대로 추출된 열처리에 따른 유효 산화막 두께 변화는 Ta-Ti 합금 게이트의 경우 약 2Å 정도였고 Ta 게이트는 13Å으로 비교적 큰 차이를 보였다. 앞서 분석한 XRD 토대로 Ta-Ti 합금 게이트의 경우 계면에서 생성된 실리콘 화합물들의 두께는 크지 않았으며 계면에 생성된 실리콘 화합물들은 전기적으로 소자의 성능에 큰 영향을 미치지 않았다. 반면에 Ta 게이트의 경우 열처리에 의해 원래의 게이트 산화막과 게이트 전극사이에서의 계면에 부가적인 절연막이 생성되어 유효 산화막 두께에 영향을 주게 되고 전기적인 성능에도 큰 영향을 주었다. 본 논문의 600°C 보다 낮은 온도인 550°C에서 SiO₂와 Ta 사이에 약 10Å 정도의 계면층이 생성된다는 보고가 있다 [10].

게이트 절연막의 열처리에 따른 두께의 증가는 소자의 scaling에 있어서 한계점으로 작용한다. 특히 형성된 계면층이 절연막으로써 역할을 한다면 유효 산화막 두께를 증가시키게 되어 10Å이하의 산화막 두께를 요구하는 현대의 소자에 적합하지 않게 된다. 실제로 Ta의 경우 전기적으로는 NMOS에 적합

한 일함수를 가지고 있으나 열처리시에 실리콘 산화막과의 반응성이 매우 좋아 이를 줄이려는 노력이 계속되고 있다.

폴리실리콘의 여러 단점 중 높은 면저항은 큰 문제점 중의 하나이다. 소자의 scaling과 함께 전력소모도 같이 scaling 되어야 하는데 높은 면저항은 결국 전력소모를 크게 하여, 저전력 소자에는 적합하지 않다. 일반적으로 폴리실리콘의 면저항은 도핑할 불순물의 종류나 농도 그리고 주입 에너지에 따라 많은 변수를 보이지만 대체로 수백[Ω/□] 정도의 비교적 높은 값을 보인다[11]. 4점 탐침기를 사용하여 측정한 Ta-Ti의 면저항은 65.75[Ω/□]이었다. 이것은 [11]의 논문에서 제시한 폴리실리콘의 면저항에 비해 비교적 낮은 값이며 결국 소자의 전력소모를 줄일 수 있을 것이다.

III. 결론

NMOS 게이트 전극에 적합한 Ta-Ti 합금의 여러 가지 특성을 알아 낼 수 있었다. MOS 커패시터의 게이트 전극으로 Ta과 Ti을 각각 100W의 sputtering 전력으로 co-sputtering하여 형성하였고, 비교 분석을 위한 소자로 Ta을 100W로 스퍼터한 커패시터를 사용하였다. 600°C 열처리 후 전기적인 특성을 분석한 결과 NMOS에 적합한 일함수인 4.1eV를 산출해 낼 수 있었다. 600°C까지의 열처리에 도 유효 산화막 두께의 변화가 거의 없었으며 전기적인 특성도 저하되지 않았다. 반면 Ta의 경우 Ta-Ti 합금에 비해 소자의 전기적인 성능저하가 심각함을 알 수 있었다. 면저항은 65.75[Ω/□]로 폴리실리콘에 비해 낮은 값을 나타내었다.

참 고 문 헌

[1] C. H. Choi, P. R. Chidambaram, R. Khanna, C. F. Machala, Z. Yu, R. W. Dutton, "Dopant profile and gate geometric effect on polysilicon gate depletion in scaled MOS",

IEEE Transaction on Electron Devices, vol. 49, no. 7, Jul. 2002.

[2] Semiconductor Industry Association et al, "International Technology Roadmap for Semiconductors", 2002 edition.

[3] I. De, D. Johri, A. Srivastava, C. M. Osburn, "Impact of gate workfunction on device performance at the 50nm technology node", *Solid State Electronics*, vol. 44, pp. 1077.

[4] P. Ranade, Y. K. Choi, D. Ha, A. Agarwal, M. Ameen, T. J. King, "Tunable work function molybdenum gate technology for FDSOI-CMOS", *IEDM '02, Technical Digest International*, pp. 363, 2002.

[5] H. Zhong, G. Heuss, V. Mirsa, "Electrical properties of RuO₂ gate electrodes for dual metal gate Si-CMOS", *IEEE Electron Devices Letters*, vol. 21, no. 12, Dec. 2000.

[6] H. Zhong, G. Heuss, V. Misra, "Characterization of RuO₂ electrodes on Zr silicate and ZrO₂ dielectrics", *Journal of Applied Physics Letters*, vol. 78, no. 8, 19 Feb. 2001.

[7] H. Zhong, S. N. Hong, Y. S. Suh, H. Lazar, G. Heuss, V. Mirsa, "Properties of Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices" *IEDM '01, Technical Digest International*, pp. 467, 2001.

[8] J. R. Hauser et al, "SRC working paper", 1997.

[9] I. C. Kiziyalli, R. Y. S. Huang, P. K. Roy, "MOS transistors with stacked SiO₂-Ta₂O₅-SiO₂ gate dielectrics for giga-scale integration of CMOS technologies", *IEEE Electron Devices Letters*, vol. 19, pp. 423, 1998.

[10] T. Ushiki, K. Kawai, I. Ohshima, T. Ohmi, "Chemical reaction concerns of gate metal with gate dielectric in Ta gate MOS devices: An effect of self-sealing barrier configuration interposed between Ta and SiO₂", *IEEE Transactions on Electron Devices*, vol. 47, No.

11, Nov. 2000.

[11] J. E. Suarez, B. E. Johnson, B. El-Karch, "Thermal stability of polysilicon resistors",

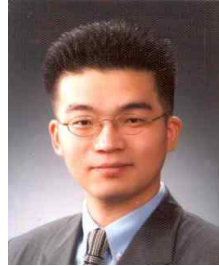
Electronic Components and Technology Conference, 1991. Proceedings, pp. 537, 11-16 May 1991.

강 영 섭(姜榮涉)



2003년 2월 : 한국항공대학교
항공전자공학과 (공학사)
2003년 3월~현재 : 한국항공대
학 교 항공전자공학과 석사과정
관심분야 : Metal gate electrode

이 충 근(李忠根)



1996년 2월 : 한국항공대학교
항공전자공학과 (공학사)
1998년 2월 : 한국항공대학교
항공전자공학과 (공학석사)
1998년 3월~현재 : 한국항공대학교
항공전자공학과 박사과정
관심분야 : Metal gate electrode,
High-k gate dielectric, SOI

서 현 상(徐賢常)



2003년 2월 : 한국항공대학교 항
공전자공학과 (공학사)
2003년 3월~현재 : 한국항공대
학 교 항공전자공학과 석사과정
관심분야 : Metal gate electrode

홍 신 남(洪信男)



1979년 2월 : 한양대학교 전자공
학과 (공학사)
1984년 12월 : North Carolina
State University (공학석사)
1989년 8월 : North Carolina
State University (공학박사)
관심분야 : Shallow junction,
Metal gate electrode, High-k gate dielectric, SOI

노 영 진(盧英辰)



2002년 2월 : 한국항공대학교
항공재료공학과 (공학사)
2002년 3월~현재 : 한국항공대학교
항공전자공학과 석사과정
관심분야 : Metal gate electrode