

비균일 트래픽 환경하에서 다단상호연결네트워크의 해석적 성능 모델링 및 평가[☆]

Performance Evaluation of Multistage Interconnection Networks under Nonuniform Traffic Pattern

문 영 성*
Young-song Mun

요 약

밴연형 구조는 다단상호연결네트워크 중에서도 여러 변형 구조가 파생이 된 매우 중요하고 광범위하게 사용되는 구조이다. 이러한 구조를 위한 기존의 성능평가 연구는 주로 입력트래픽이 균일할 때를 가정한 것이어서 실제적이지 못하다. 비균일트래픽하에서의 기존의 연구도 입력버퍼의 경우보다 상대적으로 모델링이 쉬운 출력버퍼를 가지고 있을 때를 고려한다든가 블럭킹 상태를 고려하지 못한다든가 하는 결점을 가지고 있다. 본 논문에서는 입력버퍼를 가진 밴연형 다단상호연결네트워크가 비균일트래픽하에서 원하는 성능목표치를 만족시킬 수 있는지를 알아보기 위하여 해석적 모델을 개발하고 그 모델로부터의 결과와 시뮬레이션으로부터의 결과를 비교하여 구해진 모델의 우수성을 입증하였다.

Abstract

Analytical performance evaluation is crucial for justifying the merit of the design in different operational conditions. While several analytical models have been proposed for the performance evaluation of Multistage Interconnection Networks(MINs), they are mainly for uniform traffics. Even models for nonuniform traffics have several shortcomings such as they only consider output buffered structure or do not consider blocking conditions. In this paper the more accurate models than any other ones so far have been proposed for the performance evaluation of banyan-type MIN's under nonuniform traffic condition is obtained. The accuracy of proposed model is conformed by comparing with the results from simulation.

Key word : Multistage Interconnection Networks, Performance Evaluation, Nonuniform Traffic

1. 서 론

밴연형 다단상호연결네트워크의 고안된 구조가 트래픽이나 버퍼의 변화등의 여러 가지 동작상황하에서 원하는 성능목표치를 만족시킬 수 있는지를 알아보기 위하여 해석적 성능평가는 매우 중요하다. 그러나 기존의 성능평가 연구는 주로 입력트래픽이 균일할 때를 가정한 것이어서[1-6] 실제적인 환경을 고려하기 위하여는 비균일 트래픽하에서의 성능평가가 필수적이다. 그러나 비균일

트래픽하에서의 기존의 연구도 입력버퍼의 경우보다 상대적으로 모델링이 쉬운 출력버퍼를 가지고 있을 때를 고려한다든가 블럭킹 상태를 고려하지 못한다든가 또는 고려하더라도 비현실적인 가정을 한다든가 하는 결과를 초래하였다.[7,8]

출력버퍼는 내부 링크의 속도가 계속 증가해야 하기 때문에 실용적인 구조를 만들기가 어렵다. 따라서 입력버퍼를 가진 구조의 모델 개발이 중요하다.

본 논문에서는 입력버퍼를 가진 밴연형 다단연결네트워크의 성능을 비균일트래픽 상황하에서 마코브체인(Markov Chain)을 이용하여 해석적으로 모델링 한다. 또한 해석적 모델로부터의 결과를

* 정 회 원 : 숭실대학교 컴퓨터학부 부교수
mun@computing.ssu.ac.kr(제1저자)

☆본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음.

시뮬레이션 결과와 비교하여 구해진 모델의 정확성 및 우수성을 입증한다.

2. 해석적 모델링

두개의 연속된 시간슬롯간의 패킷이동의 상관관계를 고려하는 것이 정확한 모델링을 위하여 필수적이다. 또한 두개의 연속된 단간의 상관관계를 반영하기 위해서는 블럭상태를 반드시 모델에 포함해야 한다.

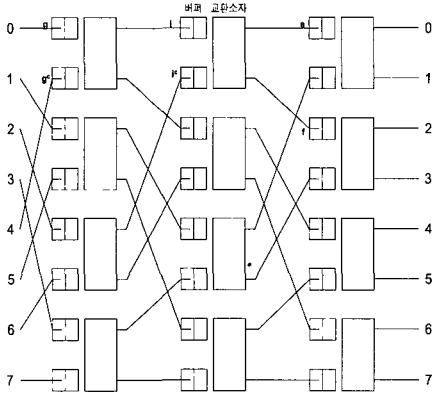
해석적인 모델을 구하기 위하여 다음과 같은 변수들이 정의된다. t_b 는 한 시간슬롯이 시작할 때의 시작 시간을 의미하고, t_d 는 한 시간슬롯의 경과시간을 의미한다. 한 개 교환소자의 두 개의 포트는 서로 보족(conjugate) 포트라고 칭하며 다음의 변수 정의에서 윗첨자 c로 표시된다.

- n : 교환단의 개수.
- $SE(k)$: k 교환단의 어느 한 교환소자.
- $P_0(ki, t), P_n(ki, t), P_b(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼가 t_b 에 비어있을, 보통패킷을 가지고 있을, 블럭된 패킷을 가지고 있을 확률.
- $P_0(ki^c, t), P_n(ki^c, t), P_b(ki^c, t)$: $SE(k)$ 의 i 번 입력포트의 보족 버퍼가 t_b 에 비어있을, 보통패킷을 가지고 있을, 블럭된 패킷을 가지고 있을 확률.
- $P_b^h(ki, t), P_b^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼가 t_b 에 위쪽, 아래쪽 출력포트로 향한 블럭된 패킷을 가지고 있을 확률.
- $r(ki), r(ki^c)$: k 단의 i 번째 입력포트에 있는 버퍼의, 보족버퍼의 보통패킷이 위쪽 출력포트로 가려할 확률.
- $r_x(ki, t), r_x(ki^c, t)$: k 단의 i 번째 입력포트에 있는 버퍼의, 버퍼의 보족버퍼의 블럭된 패킷이 위쪽 출력포트로 가려할 확률.
- $q(ki, t)$: 패킷이 t_d 동안에 k 단의 i 번째 입력포트에 올 준비가 되어 있을 확률.
- $r_n(ki, t), r_b(ki, t)$: $SE(k)$ 의 i 번 입력포트의 보통 패킷이, 블럭된 패킷이 t_d 동안에 이동할 확률.

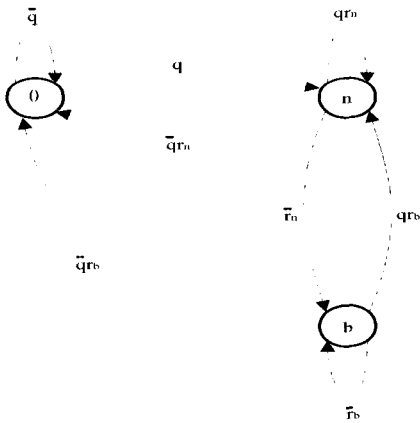
- $r_{nn}^h(ki, t), r_{nn}^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 보통패킷이 t_d 동안에 원하는 위쪽, 아래쪽 출력 포트에 갈 수 있는 확률. 보족버퍼가 블럭상태에 있으면 이 블럭된 패킷은 아래쪽 출력포트로 향한다고 가정한다.
- $r_{nb}^h(ki, t), r_{nb}^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 보통패킷이 t_d 동안에 보족버퍼에 있는 블럭된 패킷과의 경쟁에서 이겨서 위쪽, 아래쪽 출력 포트에 갈 수 있는 확률.
- $r_{bn}^h(ki, t), r_{bn}^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 블럭된 패킷이 t_d 동안에 위쪽, 아래쪽 출력 포트에 갈 수 있는 확률. 이 때 보족버퍼는 비어 있거나 보통 패킷을 가지고 있다고 가정.
- $r_{bb}^h(ki, t), r_{bb}^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 블럭된 패킷이 t_d 동안에 위쪽, 아래쪽 출력 포트에 갈 수 있는 확률. 이 때 보족버퍼도 블럭된 패킷을 가지고 있다고 가정.
- $P^{na}(ki, t), P^{ba}(ki, t), P^{bba}(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼가 t_d 동안에 패킷을 받은 빈 공간이 있을 확률. 이 때 각각 이 버퍼를 향한 블럭된 패킷이 없을 때, 한 개의 블럭된 패킷이 있을 때, 두 개의 블럭된 패킷이 있을 때를 가정.
- $X_n^h(ki, t), X_n^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼에서 각각 위쪽, 아래쪽 출력 포트에 향한 보통 패킷이 블럭될 확률.
- $X_b^h(ki, t), X_b^l(ki, t)$: $SE(k)$ 의 i 번 입력포트의 버퍼에서 각각 위쪽, 아래쪽 출력 포트에 향한 블럭된 패킷이 블럭될 확률.
- $T(ki, t)$: $SE(k)$ 의 i 번 입력포트가 패킷을 받을 확률. 다시 말해서 $SE(k-1)$ 의 대응되는 출력 포트로부터 패킷이 전송될 확률.

한 개의 버퍼는 빈 상태 (버퍼가 비어 있는 상태), 상태 n (버퍼가 바로 이전의 시간슬롯에 도착한 보통 패킷을 가지고 있는상태), 상태 b (버퍼가 블럭킹 때문에 최소한 한 개의 시간슬롯동안 머무르고 있는 패킷을 가지고 있는 상태) 등 총 3개의 상태를 가질 수 있다. 다음 그림은 사용

된 MIN 구조도와 상태천이도를 보인다.



(그림 1) MIN 구조도 및 입력포트들간의 관계



(그림 2) 상태천이도

2.1 변수의 계산과 상태식

수율과 전달지연시간으로 표시되는 배연형 다 단상호연결네트워크의 성능은 마지막 단으로 부터 처음 단까지 리커시브하게 계산되어 얻어진다. 이는 어느 시간슬롯에서든 네트워크는 패킷이 마지막 단으로부터 네트워크를 떠남으로서 상태를 바꾸기 시작하기 때문이다.

$r_{nn}^h(ki, t)$ 의 경우에는 보족버퍼는 비어있거나 보통 패킷을 가지거나 아래쪽으로 향한 블록된

패킷을 가지거나의 3가지 중 한가지 경우일 때이다. 보족버퍼가 비어있을 때는 항상 원하는 출력 포트로 갈수 있다. 보족버퍼가 보통패킷을 가지고 있을 때는 보족버퍼에 있는 패킷이 위쪽으로 향한다면 경쟁을 해야하며 아래쪽으로 향한다면 항상 원하는 출력 포트로 갈 수 있다. 두개의 패킷이 경쟁할 때는, 각 패킷이 경쟁에서 이길 확률은 0.5이다. 보족버퍼가 아래로 향한 블록된 패킷을 가지고 있을 때는 경쟁은 발생하지 않게 된다.

$$r_{nn}^h(ki, t) = r(ki)P_0(ki^c, t) + [0.5r(ki)r(ki^c) + r(ki)(1-r(ki^c))]P_n(ki^c, t) + r(ki)(1-r_x(ki^c, t))P_b(ki^c, t)$$

$r_{nn}^l(ki, t)$ 은 아래쪽 출력포트로 나아가는 확률이라는 점을 제외하고는 $r_{nn}^h(ki, t)$ 와 동일하다.

$$r_{nn}^l(ki, t) = (1-r(ki))P_0(ki^c, t) + [0.5(1-r(ki))(1-r(ki^c)) + (1-r(ki))r(ki^c)]P_n(ki^c, t) + (1-r(ki))r_x(ki^c, t)P_b(ki^c, t)$$

$r_{nb}^h(ki, t)$, $r_{nb}^l(ki, t)$ 의 경우에는 보족버퍼는 같은 방향으로 (즉, 각각 위쪽으로 또는 아래쪽으로) 향한 블록된 패킷을 가질 때이다. 이 때는 경쟁에서 이겨야만 출력포트로 나아갈 수 있다.

$$r_{nb}^h(ki, t) = 0.5r(ki)r_x(ki^c, t)P_b(ki^c, t)$$

$$r_{nb}^l(ki, t) = 0.5(1-r(ki))(1-r_x(ki^c, t))P_b(ki^c, t)$$

$r_{bn}^h(ki, t)$ 의 경우에는 보족버퍼가 비어있을 때는 항상 원하는 출력포트로 갈수 있다. 보족버퍼가 보통패킷을 가지고 있을 때는 보족버퍼에 있는 패킷이 위쪽으로 향한다면 경쟁을 해야 하며 아래쪽으로 향한다면 항상 원하는 출력 포트로 갈 수 있다. 각 경우의 확률의 합으로 구해진다.

$$r_{bn}^h(ki, t) = r_x(ki, t)P_0(ki^c, t) + [0.5r_x(ki, t)r(ki^c) + r_x(ki, t)(1-r(ki^c))]P_n(ki^c, t)$$

$r_{bn}^l(ki, t)$ 은 아래쪽 출력포트로 나아가는 확률이라는 점을 제외하고는 $r_{bn}^h(ki, t)$ 와 동일하다.

$$r_{bn}^l(ki, t) = (1 - r_x(ki, t))P_0(ki^c, t) + [0.5(1 - r_x(ki, t))(1 - r(ki^c)) + (1 - r_x(ki, t))r(ki^c)]P_n(ki^c, t)$$

$r_{bb}^h(ki, t)$ 의 경우에는 보쪽버퍼의 블록된 패킷이 위쪽으로 향할 때는 경쟁을 하며 아래쪽으로 향한다면 항상 원하는 출력 포트에 갈 수 있다.

$$r_{bb}^h(ki, t) = 0.5r_x(ki, t)r_x(ki^c, t)P_b(ki^c, t) + r_x(ki, t)(1 - r_x(ki^c, t))P_b(ki^c, t)$$

$r_{bb}^l(ki, t)$ 는 아래쪽 출력포트로 나아가는 확률이라는 점을 제외하고는 $r_{bb}^h(ki, t)$ 와 동일하다.

$$r_{bb}^l(ki, t) = 0.5(1 - r_x(ki, t))(1 - r_x(ki^c, t))P_b(ki^c, t) + (1 - r_x(ki, t))r_x(ki^c, t)P_b(ki^c, t)$$

$SE(k-1)$ 에 보통패킷이 존재하면 목적지의 버퍼는 어느 상태에도 있을 수 있다. 그 버퍼가 이전의 시간슬롯에서 패킷을 받았으면 현재는 상태 n 에 있게 된다. 받지 않았으면 상태 n 에 있을 수 없다. 그러므로 $P^{na}(ki, t)$ 는 다음과 같다.

$$P^{na}(ki, t) = T(ki, t-1) \frac{P_n(ki, t)r_n(ki, t)}{P_n(ki, t)} + [1 - T(ki, t-1)] \frac{P_0(ki, t) + P_b(ki, t)r_b(ki, t)}{P_0(ki, t) + P_b(ki, t)}$$

$SE(k-1)$ 에 블록된 패킷이 존재하면 목적지의 버퍼는 상태 n 이나 상태 b 에 있다. 그 버퍼가 이전의 시간슬롯에서 패킷을 받았으면 현재는 상태 n 에 있다. 버퍼가 이전의 시간슬롯에서 패킷을 받지 않았으면 현재는 상태 b 에 있다. 그러므로 $P^{ba}(ki, t)$ 는 다음과 같이 표현된다.

$$P^{ba}(ki, t) = T(ki, t-1) \frac{P_n(ki, t)r_n(ki, t)}{P_n(ki, t)} + [1 - T(ki, t-1)] \frac{P_b(ki, t)r_b(ki, t)}{P_b(ki, t)} = T(ki, t-1)r_n(ki, t) + [1 - T(ki, t-1)]r_b(ki, t)$$

$SE(k-1)$ 의 두개의 버퍼가 블록된 패킷을 가지고 있으면 k 단의 대응되는 목적버퍼는 블록된 상태에만 있을 수 있다.

$$P^{bba}(ki, t) = \frac{P_b(ki, t)r_b(ki, t)}{P_b(ki, t)} = r_b(ki, t)$$

패킷이 다음 단으로 이동하기 위해서는 먼저 원하는 출력포트로 갈 수 있어야 하고 또한 목적지의 버퍼가 가용해야 한다. 그러므로 $r_n(ki, t)$, $r_b(ki, t)$ 는 다음과 같다.

$$r_n(ki, t) = r_{nm}^h(ki, t)P^{na}((k+1)e, t) + r_{nb}^h(ki, t)P^{ba}((k+1)e, t) + r_{nm}^l(ki, t)P^{na}((k+1)f, t) + r_{nb}^l(ki, t)P^{ba}((k+1)f, t)$$

$$r_b(ki, t) = r_{bn}^h(ki, t)P^{ba}((k+1)e, t) + r_{bb}^h(ki, t)P^{bba}((k+1)e, t) + r_{bn}^l(ki, t)P^{ba}((k+1)f, t) + r_{bb}^l(ki, t)P^{bba}((k+1)f, t)$$

k 단의 i 번 입력포트의 버퍼가 이전의 단의 교환 요소의 위쪽 출력포트에 연결되어 있다면, ($2 \leq k \leq n$)일 때 이 입력포트에서의 수율은 다음과 같다.

$$T(ki, t) = P_n((k-1)g, t)r_n^h((k-1)g, t) + P_n((k-1)g^c, t)r_n^h((k-1)g^c, t) + P_b((k-1)g, t)r_b^h((k-1)g, t) + P_b((k-1)g^c, t)r_b^h((k-1)g^c, t)$$

k 단의 i 번 입력포트의 버퍼가 이전의 단의 교환 요소의 아래쪽 출력포트에 연결되어 있다면, ($2 \leq k \leq n$)일 때 이 입력포트에서의 수율은 다음과 같다.

$$T(ki, t) = P_n((k-1)g, t)r_n^l((k-1)g, t) + P_n((k-1)g^c, t)r_n^l((k-1)g^c, t) + P_b((k-1)g, t)r_b^l((k-1)g, t) + P_b((k-1)g^c, t)r_b^l((k-1)g^c, t)$$

또한 수율을 다음과 같이 표현할 수도 있다.

$$T(ki, t) = q(ki, t)[P_0(ki, t) + P_n(ki, t)r_n(ki, t) + P_b(ki, t)r_b(ki, t)] \quad (1 \leq k \leq n)$$

그러므로 ($2 \leq k \leq n$)일 때 $q(ki, t)$ 는 다음과 같다.

$$q(ki, t) = \frac{T(ki, t)}{P_0(ki, t) + P_n(ki, t)r_n(ki, t) + P_b(ki, t)r_b(ki, t)}$$

처음 단과 마지막 단은 별도로 고려해야 한다.

- 1) 처음 단: 처음 단보다 전단은 없으므로 $q(1, t)$ 는 네트워크의 입력단에 주어진 트래픽 부하로 주어져야 한다.
- 2) 마지막 단: 한 SE의 두개의 버퍼는 블럭된 상태에 있을 수 없다.

$$\begin{aligned} r_n(ni, t) &= r_{nn}^h(ni, t) + r_{nn}^l(ni, t) \\ &\quad + r_{nb}^h(ni, t) + r_{nb}^l(ni, t) \\ r_b(ni, t) &= r_{bn}^h(ni, t) + r_{bn}^l(ni, t) \end{aligned}$$

$X_n^h(ki, t)$ 는 $SE(k)$ 에서는 나아갈 수 있으나 다음단의 목적버퍼에 자리가 없어서 블럭되는 경우와, $SE(k)$ 의 다른 버퍼에 있는 패킷과의 경쟁에서 져서 나아가지 못할 경우로 구성된다.

$$\begin{aligned} X_n^h(ki, t) &= r_{nn}^h(ki, t)(1 - P^{na}((k+1)e, t)) \\ &\quad + r_{nb}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + 0.5r(ki)r(ki^c)P_n(ki^c, t) \\ &\quad + 0.5r(ki)r_x(ki^c, t)P_b(ki^c, t) \end{aligned}$$

$X_b^h(ki, t)$ 는 $SE(k)$ 에서는 나아갈 수 있으나 다음단의 목적버퍼에 자리가 없어서 블럭되는 경우와, $SE(k)$ 의 다른 버퍼에 있는 패킷과의 경쟁에서 져서 나아가지 못할 경우이다.

$$\begin{aligned} X_b^h(ki, t) &= r_{bn}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + r_{bb}^h(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + 0.5r_x(ki, t)r(ki^c)P_n(ki^c, t) \\ &\quad + 0.5r_x(ki, t)r_x(ki^c, t)P_b(ki^c, t) \end{aligned}$$

$X_n^l(ki, t)$ 및 $X_b^l(ki, t)$ 도 아래쪽 출력포트로 향한다는 점을 제외하고는 각각 $X_n^h(ki, t)$, $X_b^h(ki, t)$ 와 같으므로 아래와 같이 구해진다.

$$\begin{aligned} X_n^l(ki, t) &= r_{nn}^l(ki, t)(1 - P^{na}((k+1)e, t)) \\ &\quad + r_{nb}^l(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + 0.5(1 - r(ki))(1 - r(ki^c))P_n(ki^c, t) \\ &\quad + 0.5(1 - r(ki))(1 - r_x(ki^c, t))P_b(ki^c, t) \end{aligned}$$

$$\begin{aligned} X_b^l(ki, t) &= r_{bn}^l(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + r_{bb}^l(ki, t)(1 - P^{ba}((k+1)e, t)) \\ &\quad + 0.5(1 - r_x(ki, t))(1 - r(ki^c))P_n(ki^c, t) \\ &\quad + 0.5(1 - r_x(ki, t))(1 - r_x(ki^c, t))P_b(ki^c, t) \end{aligned}$$

마지막 단에서는 출력포트의 자리는 항상 가용

하므로 목적버퍼에 자리가 없어서 블럭되는 경우는 제외되어야 한다.

$$\begin{aligned} X_n^h(ni, t) &= 0.5r(ni)r(ni^c)P_n(ni^c, t) \\ &\quad + 0.5r(ni)r_x(ni^c, t)P_b(ni^c, t) \end{aligned}$$

$$\begin{aligned} X_n^l(ni, t) &= 0.5(1 - r(ni))(1 - r(ni^c))P_n(ni^c, t) \\ &\quad + 0.5(1 - r(ni))(1 - r_x(ni^c, t))P_b(ni^c, t) \end{aligned}$$

$X_b^h(ni, t)$, $X_b^l(ni, t)$ 의 경우에도 목적버퍼에 자리가 없어서 블럭되는 경우는 제외되어야 하며, 두 입력버퍼 모두 블럭된 패킷을 가지고 있는 경우는 있을 수 없으므로 다음과 같이 구해진다.

$$X_b^h(ni, t) = 0.5r_x(ni, t)r(ni^c)P_n(ni^c, t)$$

$$X_b^l(ni, t) = 0.5(1 - r_x(ni, t))(1 - r(ni^c))P_n(ni^c, t)$$

따라서 상태식은 다음과 같이 구해진다.

$$\begin{aligned} P_n(ki, t+1) &= q(ki, t)P_0(ki, t) \\ &\quad + q(ki, t)r_n(ki, t)P_n(ki, t) \\ &\quad + q(ki, t)r_b(ki, t)P_b(ki, t) \end{aligned}$$

$$\begin{aligned} P_b(ki, t+1) &= [1 - r_n(ki, t)]P_n(ki, t) \\ &\quad + [1 - r_b(ki, t)]P_b(ki, t) \end{aligned}$$

$$P_0(ki, t+1) = 1 - P_n(ki, t+1) - P_b(ki, t+1)$$

$r_x(ki, t)$ 는 블럭된 패킷이 위쪽출력포트로 가려할 확률이므로 다음과 같이 구해진다.

$$\begin{aligned} r_x(ki, t) &= \frac{P_b^h(ki, t)}{P_b^h(ki, t) + P_b^l(ki, t)} \\ &\quad (P_b^h(ki, t) + P_b^l(ki, t) \neq 0 \text{ 때}) \end{aligned}$$

여기서 $P_b^h(ki, t)$ 와 $P_b^l(ki, t)$ 는 다음과 같다.

$$P_b^h(ki, t) = X_n^h(ki, t)P_n(ki, t) + X_b^h(ki, t)P_b(ki, t)$$

$$P_b^l(ki, t) = X_n^l(ki, t)P_n(ki, t) + X_b^l(ki, t)P_b(ki, t)$$

2.2 $r(ki)$ 의 계산

$r(ki)$ 의 값은 [7]의 논문에서의 r_{ij} 를 구하기 위한 변환방법(Transformation Method)을 사용하여 구해진다. 이 방법은 메모리 액세스 패턴을 라우팅 확률로 변환하는 방법이다. 그러므로 시간 t 에 관계없이 일정한 값을 갖는다. 예를들어 그림

1의 3단의 다단상호연결네트워크에서 네트워크의 입력포트 0로 연결된 프로세싱 요소가 출력포트 0에 연결된 메모리 모듈 0를 액세스 하려는 확률이 A_0 라면 이는 (제1단에서 위로 가려는 확률) \times (제2단에서 위로 가려는 확률) \times (제3단에서 위로 가려는 확률)일 것이다. 즉, $A_0 = r_{11} \times r_{21} \times r_{31}$ 이다. 마찬가지로 메모리 모듈 1을 액세스 하려는 확률 A_1 은 (제1단에서 위로 가려는 확률) \times (제2단에서 위로 가려는 확률) \times (제3단에서 아래로 가려는 확률)일 것이다. 즉, $A_1 = r_{11} \times r_{21} \times (1 - r_{31})$ 이다. 이 두식으로부터 r_{31} 을 구할 수 있다.

$$r_{31} = \frac{A_0}{A_0 + A_1}$$

나머지 r_{ij} 도 동일한 방법으로 구해진다. 따라서 $r(1i) = r_{11} (i=0 \sim 7)$, $r(2i) = r_{21} (i=0 \sim 3)$, $r(2i) = r_{21} (i=4 \sim 7)$, $r(3i) = r_{31} (i=0, 1)$, $r(3i) = r_{32} (i=2, 3)$, $r(3i) = r_{33} (i=4, 5)$, $r(3i) = r_{34} (i=6, 7)$ 가 된다.

2.3 수율과 전달지연

벤연형 ATM 스위치의 정규화 된 수율은 마지막 단의 출력포트에서의 수율으로 정의된다. 마지막 단의 출력포트 i 가 교환요소의 위쪽 출력포트일 때와 아래쪽 출력포트일때의 수율은 다음과 같다.

$$TNET(i, t) = P_n(ng, t)r_n^h(ng, t) + P_n(ng^c, t)r_n^h(ng^c, t) + P_b(ng, t)r_b^h(ng, t) + P_b(ng^c, t)r_b^h(ng^c, t)$$

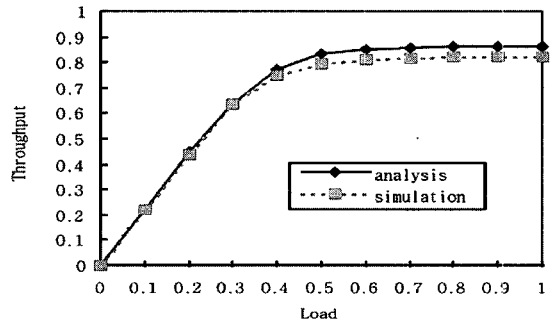
$$TNET(i, t) = P_n(ng, t)r_n^l(ng, t) + P_n(ng^c, t)r_n^l(ng^c, t) + P_b(ng, t)r_b^l(ng, t) + P_b(ng^c, t)r_b^l(ng^c, t)$$

정상상태에서의 k 단의 i 포트에서 발생하는 전달지연시간은 리틀의 식[9]을 이용해 계산된다.

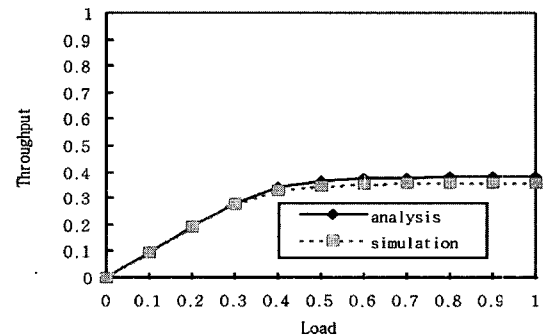
3. 실험 및 결과

본 논문에서 구해진 모델의 정확성을 입증하기 위하여 해석적 모델로부터 얻어진 값과 시뮬레이션에서 얻어진 값과 비교하였다. 시뮬레이션에서는 95%의 신뢰도 구간을 사용하였다. 네트워크의 크기는 64×64 에서 구하였다. 즉, 6개의 단으로

구성되어 있다. 각 프로세서에 걸린 트래픽 부하는 0에서부터 1일때(즉, 항상 패킷이 있을 때)까지 구할 수 있다. 비균일 트래픽에서도 가장 연구가 많이 되고 있는 핫스팟 트래픽을 입력시켰다. 그림 3은 첫번째 메모리 모듈이 0.035의 확률로 액세스되고 나머지 메모리 모듈들은 균등하게 액세스될 때 (즉, $0.965/63 = 0.0153$)의 결과이다. 즉, 첫번째 메모리 모듈은 다른 메모리 모듈보다 2배이상의 확률로 비균일하게 더 많이 액세스 됨을 의미한다. 이 때 해석적 모델로부터의 결과와 시뮬레이션으로부터의 결과를 비교한 것이다.



(그림 3) 첫번째 메모리 모듈의 출력



(그림 4) 나머지 메모리 모듈의 출력

그림 4는 첫번째 출력포트에서의 수율을 나타낸다. 다른 출력포트보다 두배이상의 확률로 더 많이 액세스되므로 그림 5의 다른 포트에서의 수율보다 높은 결과를 보인다. 트래픽 부하는 0에서부터 0.1씩 증가시켜 1까지 증가시켜 보았다. 해석적모델로부터의 결과는 시뮬레이션의 결과와

매우 근접하게 일치하고 있다. 본 논문에서 구해진 모델은 어떤 크기의 네트워크 크기 및 트래픽 부하에서도 정확하므로 실용적 크기의 MIN의 성능에 대한 정확한 척도를 제공한다.

4. 결 론

본 논문에서는 블럭상태를 효과적으로 도입함으로써 비균일트래픽 상황하에서의 입력버퍼를 가진 다단상호연결네트워크의 성능을 간결하면서도 정확하게 나타내는 모델을 제시하였다. 제시된 모델의 정확성을 입증하기 위하여 시뮬레이션으로부터의 결과와 비교하였다. 트래픽 부하는 가장 작은 0서부터 가장 큰 1까지 0.1 단위씩 증가시켜 그 때마다 결과를 구하였다. 이러한 다양한 조건하에서도 결과가 매우 정확하게 나타났다. 시뮬레이션 결과와의 비교에서 볼 때 네트워크의 크기나 트래픽 크기의 변화에 관계없이 항상 정확한 결과를 보여주었다. 또한 복수개의 버퍼를 위한 모델이나 다른 네트워크 구조에 적용하기 위하여 쉽게 변형될 수 있을 것으로 예상된다.

참고문헌

- [1] T. H. Theimer, E. P. Rathgeb and M. N. Huber, "Performance analysis of buffered banyan networks," IEEE Trans. Commun., vol. C-39, pp. 269-277, Feb. 1991.
- [2] D. M. Dias and J. R. Jump, "Analysis and simulation of buffered delta networks," IEEE Trans. Comput., vol. C-30, pp. 273-282, April 1981.
- [3] Y. C. Jenq, "Performance analysis of a packet switch based on single-buffered banyan network," IEEE J. Select. Areas Commun., vol. SAC-3, pp. 1014-1021, Dec. 1983.
- [4] H. S. Yoon, K. Y. Lee and M. T. Liu, "Performance analysis of multibuffered packet-switching networks in multiprocessor systems," IEEE Trans. Comput., vol. C-39, pp. 319-327, March 1990.
- [5] J. Ding and L. N. Bhuyan, "Performance evaluation of multistage interconnection networks with finite buffers," in Proc. 1991 Int. Conf. Parallel Processing, pp. 592-595, 1991.
- [6] Y. Mun and H. Y. Youn, "Performance analysis of finite buffered multistage interconnection networks," IEEE Trans. Comput., vol. C-43, No. 2, pp. 153-162, Feb. 1994.
- [7] T. Lin and L. Kleinrock, "Performance analysis of finite-buffered multistage interconnection networks with a general traffic pattern," in Proc. 1991 ACM SIGMETRICS Conf., pp. 68-78, May 1991.
- [8] H. S. Kim and A. Leon-Garcia, "Performance of buffered banyan networks under nonuniform traffic pattern," IEEE Trans. Commun. vol. COM-38, No. 5, pp. 648-658, May 1990.
- [9] D. C. Little, "A proof of the queueing formula $L = \lambda W$ " Operations Res., vol. 9, pp. 383-387, 1961.

● 저 자 소 개 ●



문 영 성

1983년 연세대학교 전자공학과 졸업(학사)
 1986년 알버타대학교 대학원 전자공학과 졸업(석사)
 1999년 텍사스대학교 대학원 컴퓨터학과 졸업(박사)
 1994년~현재 : 숭실대학교 컴퓨터학부 부교수
 관심분야 : Mobile IP, IPv6, GRID, QoS, 성능분석, 이동단말 인증, HoneyPot
 E-mail : mun@computing.ssu.ac.kr