

# 광대역 페라이트 비드 모델을 이용한 IC 전원단의 잡음해석

## Power Bus Noise Analysis on IC using Wide-Band Ferrite Bead Model

이신영 · 손경주\* · 최우신 · 이해영

Shin-Young Yi · Kyoung-Joo Son\* · Woo-Sin Choi · Hai-Young Lee

### 요 약

SMT 타입의 페라이트 비드(ferrite bead)는 전원단에서 발생하는 잡음(noise)이 회로 소자로 유입되는 것을 막기 위해 사용되는 소자로 병렬 캐패시터(capacitor)와 직렬 인덕터(inductor) 및 저항(resistor)을 이용하여 등가 모델화된다. 이와 같은 간단한 페라이트 비드의 등가 모델은 광대역 범위에서 측정 결과와 일치하지 않는다. 본 논문에서는 광대역(50 MHz~3 GHz)에서 정확한 페라이트 비드의 모델을 제시하고 페라이트 비드가 있을 때와 없을 때 전원단 잡음의 회로 소자에 미치는 영향을 고찰하였다.

### Abstract

The SMT(Surface Mount Type) ferrite bead used to reduce the influx of power bus noise is modeled with parallel capacitor(C), series resistor(R) and series inductor(L). The simple equivalent circuit modeling doesn't agree with the measurement result. In this paper, we proposed the accurate equivalent circuit model of the ferrite bead at wide frequency range(50 MHz~3 GHz) and analyzed the noise effect to the high speed IC(Integrate Circuit) with ferrite bead or not.

Key words : Ferrite Bead, PEEC, PCB, SSN

## I. 서 론

최근 전자제품의 급속한 디지털화가 진행됨에 따라 시스템의 고속·고밀도화가 이루어지고 있다. 이와 같은 발전은 시스템의 소형화 및 데이터 처리의 용이성을 가져오는 반면 전자파 장애(EMI: Electromagnetic Interference) 문제 역시 증가시킨다. 일반적으로 시스템에서 발생하는 전자파 문제는 전원단에서 발생하는 전류 잡음원에 의해서 시스템의 오동작 및 시스템에서의 방사 문제로 나타난다<sup>[1]</sup>. 이와 같은 전자파 장애 문제는 전자 제품의 설계 초기 단계에서부터 설계에 반영하여 시제품을 만들어서 오동작을 점검하고 다시 설계하는 과정을 거쳐서 해결된다. 따라서 전자파 장애는 제품 개발 기간 및 개발

비용이 증가하는 주요 원인이 된다. 이런 문제를 해결하기 위해서 제품 개발자들은 시스템에서 발생할 수 있는 전자파 장애 문제에 대해 개발 초기 단계에서 모의 해석을 통해서 원인을 파악하고 해결하고자 한다. 모의 해석시 제품의 주요 잡음원이며 전달 경로가 되는 전원단 및 전원단에 사용되는 회로 소자들의 등가 회로 모델은 해석의 정확도를 결정하는 중요한 요소이다<sup>[2]</sup>. 전원단을 구성하는 소자중 페라이트 비드는 IC(Integrated Circuits)로 유입되는 잡음을 방지하여 IC의 오동작을 방지하는 주요 소자이다<sup>[2]~[4]</sup>. 따라서 모의 해석시 측정과 동일한 결과를 얻기 위해서 광대역까지 매우 정확한 페라이트 비드 모델이 필요하다<sup>[4]</sup>. 그러나 현재까지 제시되어 있는 페라이트 비드 모델은 간단한 직렬 인덕터, 저항 및 병

아주대학교 전자공학부(Department of Electronics Engineering, Ajou University)

\*기가레인(Gigalane)

· 논문 번호 : 20030819-117

· 수정완료일자 : 2003년 12월 1일

렬 캐패시터를 이용하여 등가 회로 모델 되어서 고용량의 페라이트 비드의 광대역 특성을 정확하게 나타낼 수 없다<sup>[3]</sup>.

본 논문에서는 고용량 페라이트 비드의 광대역 등가 모델링을 제안하고 이를 이용해 전원단 잡음이 회로 소자에 주는 영향을 해석했다. 비드는 범용적으로 사용되는 147 nH의 페라이트 비드로서 외부 측정 환경의 영향을 배제한 측정 방법인 1-port 측정 방법을 이용하여 광대역(50 MHz~3 GHz)에서 이루어졌다<sup>[6]</sup>. 본 논문에서 제안된 모델링은 고용량 페라이트를 만들기 위해 사용되는 높은 투자율을 갖는 페라이트의 특성을 고려하여 이루어졌다. 우선 페라이트 비드의 정확 모델링과 측정 결과를 비교하여 모델링의 정확도를 확인하고, 모델링된 페라이트 비드를 기판에 실장했을 때 소자에 미치는 영향을 확인하기 위한 측정을 하고 이를 PEEC해석을 통해 고찰하였다<sup>[7]</sup>. 본 논문에서 제시된 결과는 정확한 전자과장해 해석을 통해서 시스템 개발 일정을 단축시킬 수 있을 것이 기대된다.

## II. 페라이트 비드 모델링

그림 1과 2는 각각 SMT 형태의 페라이트 비드의 물리적 구조 및 등가 회로 모델이다. 그림 1에서 페라이트 비드는 인덕턴스가 형성되는 내부 전극과 페라이트 물질 그리고 외부 회로와 연결을 위한 외부 전극으로 구성되어 있다. 일반적인 페라이트 비드의 각 부분의 구성은 표 1에 나타내었다. 그림 2(a)의 간단한 모델에서  $R_{dc}$ 는 금속선에서 발생하는 도체 손실로 주파수가 증가함에 따라 도체에서의 표피 효과(skin effect) 및 근접 효과(proximity effect)에 의해 증가한다.  $L$ 은 페라이트가 갖는 고유 인덕턴스이고  $C_p$ 는 각 턴간 발생하는 기생 캐패시턴스이다. 그림

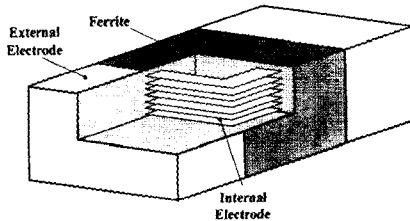
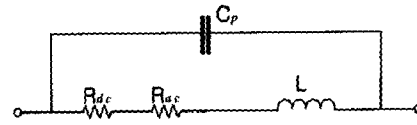
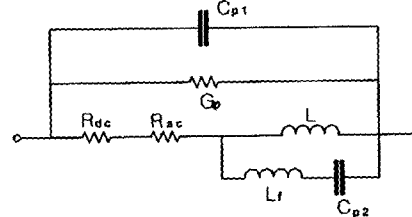


그림 1. 페라이트 비드의 물리적 구조  
Fig. 1. The physical structure of ferrite bead.



(a) 단순 등가회로 모델  
(a) Simple equivalent model



(b) 제안된 광대역 등가회로 모델  
(b) Proposed wide-band equivalent circuit model

그림 2. 페라이트 비드의 등가 회로 모델  
Fig. 2. Equivalent circuit model of ferrite bead.

표 1. 페라이트 비드의 각 부분의 구성 물질  
Table 1. Each part material of ferrite bead.

No	Name	Material	
1	Core material	Ferrite	
2	Internal electrode	Silver	
3	Terminal electrode	Silver	
4	Intermediate	Electric Plating	Nickel
5	External		Solder

2(a)의 모델은 광대역에서 15 nH 이하의 저용량의 페라이트 비드에 대해 정확하나<sup>[9]</sup>, 고용량의 인덕터들에 대해 단순 등가 회로 모델을 적용하는 것은 실제 측정과 일치하지 않는 결과를 야기한다. 따라서 본 논문에서는 고용량 페라이트 비드의 정확한 특성을 나타낼 수 있는 그림 2(b)와 같은 등가 회로 모델을 제안하였다. 제안된 모델은 그림 2(a)의 모델에 나타난 회로 소자에 주파수가 증가함에 따라 나타나는  $G_p$ ,  $L_f$ ,  $C_p$  값을 추가하였다.  $G_p$ 는 페라이트에서 발생하는 자기 손실을 나타낸다. 페라이트에서 발생하는 손실은 히스테리시스(hysteresis)와 와류 전류(eddy current)에 의해 두 가지가 발생한다. 히스테리시스 손실은 주파수에 따라 거의 일정한 특성을 나타낸다. 반면 와류 전류에 의한 손실은 주파수에 따라 그 손실이 변화하는 특성을 가지고 있다. 특히 고주파에서는 와류 전류에 의한 손실이 페라이트에서

나타나는 주요 손실 원인이 된다.  $C_{p1}$ 은 턴(turn)-페라이트 코어(Core)에 의해 나타나는 누설 캐패시턴스 값이다.

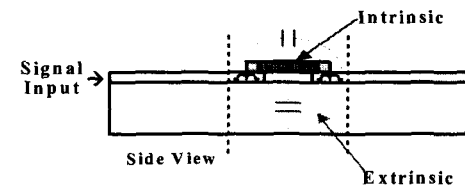
### III. 페라이트 비드 측정 결과 및 해석 결과

본 논문에서는 상용 시스템 설계에 많이 사용되는 세라텍사(社)의 147 nH의 페라이트 비드를 사용하였다. 본 논문에서는 그림 3(a)에서와 같은 2-port 측정에서 나타나는 외부에 영향을 의한 측정 오차를 방지하기 위해서 그림 3(b)에 나타난 1-port 측정 방법을 이용하였다.

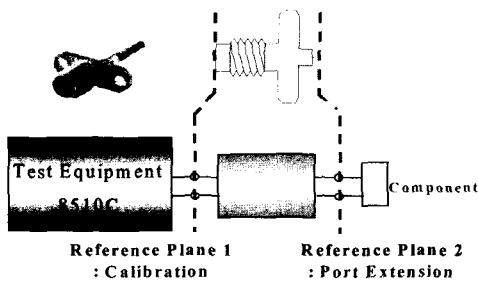
그림 4는 측정을 통해서 얻은  $S_{11}$  값과 해석을 통해 얻은 결과를 스미스 차트(Smith chart)상에 나타내었다. 도시된 결과의 주파수는 0.05 GHz에서 3 GHz이며 이 결과로부터 파라미터 추출 방법을 통해서 제안된 구조의 각 소자의 값을 추출하였다. 각 파라미터는 식 (1)에서 식 (5)까지의 수식을 통해서 추출하였다.

$$\omega L = 50 \times \text{Im}\{z\} \quad (1)$$

$$L = \frac{50 \times \text{Im}\{z\}}{2\pi \times f_0} \quad (2)$$



(a) 2-port 측정방법  
(a) 2-port measurement



(b) 1-port 측정방법  
(b) 1-port measurement

그림 3. 측정 방법  
Fig. 3. Measurement Method.

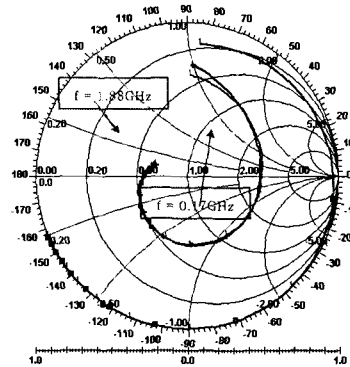


그림 4. 제안된 모델과 측정값 결과 비교  
Fig. 4. The comparison between proposed model and measurement.

$$2\pi \times f_{r1} = \frac{1}{\sqrt{C_{p1}L}} \quad (3)$$

$$L_F = \frac{1}{4\pi^2 \times f_{r2}^2 \times C_{p1}} \quad (4)$$

$$G_p = k_1 \times f^{k_2} \quad (5)$$

식에서 나타난  $f_0$ 는 초기 주파수(0.05 GHz)이다. 식 (1)과 식 (2)에서 초기 주파수에서 페라이트 비드가 갖는 인덕턴스(L)를 측정된 임피던스를 통해서 추출할 수 있다. 또한 일차 공진 주파수( $f_{r1}$ )에서  $C_{p1}$ 을 식 (3)을 통해서 유도할 수 있다.  $L_F$ 는 이차 공진 주파수 ( $f_{r2}$ )를 통해서 유도할 수 있다. 마지막으로 식 (5)의  $k_1$ 과  $k_2$ 는 페라이트에서 나타나는 손실상수 및 주파수 응답을 나타낸다. 이때  $k_1$ 과  $k_2$ 는 페라이트 물질이 변화됨에 따라 다양하게 나타날 수 있다. 따라서 각 페라이트 비드에 따라  $G_p$ 의 값이 다르게 나타날 수 있다. 식 (1)에서 식 (5)까지의 수식에 의해 추출된 값은 표 2와 같이 정리되었다.

그림 4에서 추출된 값을 가지고 해석한 결과와 측정 결과를 비교하였다. 이때 스미스 차트상에서 두 결과의 특성은 일치하는 것을 확인할 수 있다. 또

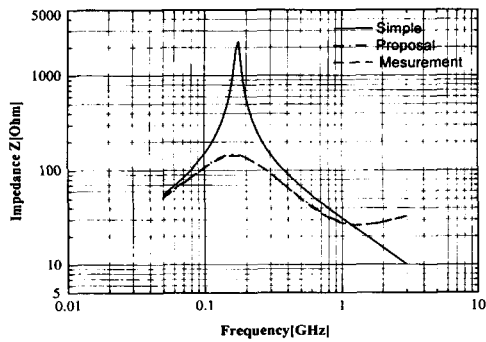
표 2. 추출된 변수값  
Table 2. Extracted Value. (f: GHz)

Parameter	Value	Parameter	Value
$C_{p1}$	0.05 pF	$R_p$	$103 \times f^{-0.2}$
$R_{dc+ac}$	$29 \times f^{0.5} \Omega$	$L$	159 nH
$L_f$	1.35 nH	$C_{p2}$	5.31 pF

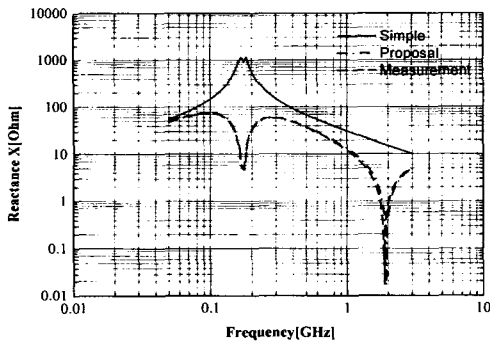
비드의 회로 모델은 측정된 값과 임피던스 및 리액턴스 값이 일치한다.

#### IV. 페라이트 비드 모델의 응용

본 장에서는 다층 기판에서 전원단에서 발생하는 전원단 잡음에 대해서 설명하고 이를 해석하기 위한 방법 및 앞절에서 설명한 페라이트 비드 모델의 응용에 대해 설명한다. 전원단에 발생하는 잡음은 어떤 회로가 한 상태(0 또는 1)에서 다른 상태로 변할 때 전원단의 임피던스가 이상적이지 않기 때문에 발생된다. 이와 같은 전원단의 잡음은 각 회로소자의 전원 공급선(lead line)을 통해서 소자 내부로 유입되어 소자의 오동작 등을 유발할 수 있다. 이런 오동작에 대한 정확한 해석을 위해서 본 논문에서는 회로소자의 모델링을 이용할 수 있는 PEEC(Partial Element Equivalent Circuit)를 이용하여 전원단 잡음에 대해 해석하였다. 본 논문에서 사용된 해석 툴은 에이질런트(Agilent)사의 ADS(Advance Design System)이다. 본 논문에서는 금속의 표피효과와 물질 손실을 고려해서 손실이 있는 전송 선로(Lossy Transmission Line)를 사용하였다. 이때 전원단에 인가되는 잡음은 0.05 GHz에서 3 GHz까지 잡음의 영향을 해석하기 위해서 일반적으로 산란 계수(scattering parameter)를 해석시 사용되는 포트(port)를 이용하였다. 설계시 각 전송 선로의 특성 임피던스는 전원단의 끝단에 있는 경우와 내부에 있는 경우가 다르다. 각 전송선의 특성 임피던스는 식 (6)에서 식 (10)을 이용하여 구할 수 있다. 식 (6)에서  $h$ 는 기판의 두께이며,  $w_u$ 는 기판의 폭이다. 또한  $\epsilon_r$ 은 기판을 구성하는 재료의 물질 상수이다.



(a) 임피던스  
(a) Impedance



(b) 리액턴스  
(b) Reactance

그림 5. 페라이트 비드 모델 특성  
Fig. 5. The Characteristic of ferrite bead model.

한 이때 단순 회로 모델, 제안된 회로 모델 그리고 측정 결과의 임피던스(impedance) 및 리액턴스(reactance)를 그림 5에 도시하였다. 그림 5의 결과에서 단순 회로 모델은 측정치와 많은 오차가 나타나는 반면 제안된 결과는 측정치와 일치하는 것을 확인할 수 있다.

그림 5(a)의 임피던스 결과에서 단순 회로 모델은 3 GHz까지 0.17 GHz에서 첫 번째 공진만이 나타나지만 실제 측정에서는 0.17 GHz의 첫 번째 공진 이외에 1.88 GHz에서 두 번째 공진이 나타난다. 이와 같은 결과는 그림 5(b)에서 리액턴스를 통해서 확인할 수 있다. 일반적으로 리액턴스의 특성이 단순 회로 모델에서는 인덕턴스와 캐패시턴스로의 변화만을 확인할 수 있으나, 실제측정과 제안된 모델에서는 직렬 공진 및 병렬 공진에 의한 리액턴스의 변화를 확인할 수 있다. 본 논문에서 제안된 페라이트

$$Z_{0u} = 120\pi \frac{h}{w_u \sqrt{\epsilon_r}} \quad (6)$$

$$Z_{0g} = \frac{4}{\sqrt{2}} Z_{0u} \quad (7)$$

$$Z_{0g} = \sqrt{2} Z_{0u} \quad (8)$$

$$l = \frac{W_u}{\sqrt{2}} \quad (9)$$

그림 6은 12×8 cm의 전원단을 해석한 구조이다.

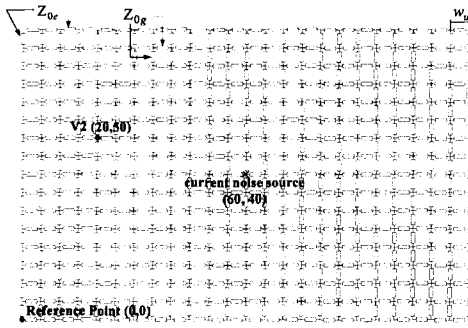


그림 6. PEEC 해석 구조  
Fig. 6. PEEC analysis structure.

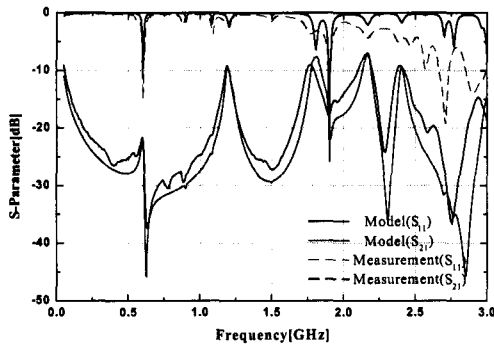


그림 7. 측정 결과와 시뮬레이션 결과 비교( $S_{11}$ ,  $S_{21}$ )  
Fig. 7. The Comparison between measurement result and simulation result.

각 전송선로는 전원단의 해석에서 잡음원은 기준점 (0, 0)을 기준으로 하여(20, 50)에 인가하였고(60, 40)에서 검출하였다. 검출 결과는 그림 7에 측정된 결과와 비교하였다. 측정은 FR-4로 이루어진 4층 인쇄회로기판(PCB: Printed Circuit Boards)을 이용하여 벡터 네트워크 분석기(VNA: Vector Network Analyzer)로 이루어졌다. 전원단의 잡음은 벡터 네트워크 분석기의 1-port에서 인가하고 2-port에서 측정하였다. 그림 7의 해석 결과는 측정 결과와 잘 일치하는 것을 확인할 수 있다. 따라서 본 논문에서 수행할 페라이트 비드 모델을 이용한 해석 결과는 2장의 정확한 페라이트 비드의 모델과 그림 6의 전원단 해석 구조를 이용하여 수행될 것이다.

그림 8은 본 논문에서 수행한 4층 인쇄회로 기판에서의 페라이트 비드의 IC(Integrated Circuit)에 영향에 대한 해석 구조이다. 해석 구조에서 1-port는 잡음이 인가되는 부분이고 2-포트는 잡음에 영향을 받는

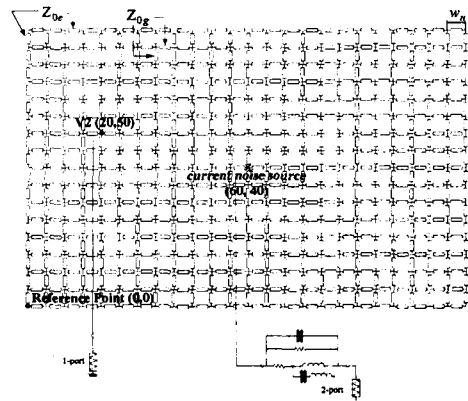


그림 8. IC 앞단에 페라이트 비드가 있을 때 비드 특성 해석 구조  
Fig. 8. The analysis structure of the characteristic with ferrite bead front IC.

IC로 가정하고 해석하였다. 해석시 본 논문에서 제안된 페라이트 비드 모델은 잡음의 영향을 받는 2-port 앞단에 삽입함으로써 잡음이 존재하는 보드에서 IC가 받을 수 있는 잡음의 영향을 해석하였다. 이와 같은 해석은 PCB상의 공진에의 커지는 잡음을 소자 앞단에 페라이트 비드를 삽입함으로써 IC가 직접으로 받는 잡음의 영향을 감소시켜줄 수 있는 특성을 확인하는데 중요한 역할을 한다.

그림 9는 그림 8에 해석 구조의 해석 결과이다. 해석 결과 페라이트 비드를 넣은 경우 넣지 않은 경우와 비교하여 약 10 dB 만큼 잡음의 영향이 감소하는 것을 확인할 수 있다. 그러나, 페라이트 비드의 공진에 의해서 약 500 MHz 이상에서는 그 특성이

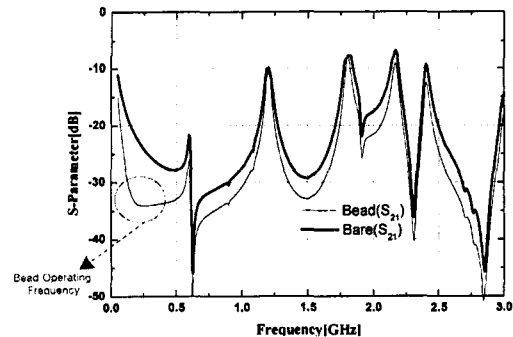


그림 9. 페라이트 비드가 삽입되었을 때 IC에 전원단 잡음 영향  
Fig. 9. The Effect of the power bus noise by resonance at IC with inserting ferrite bead.

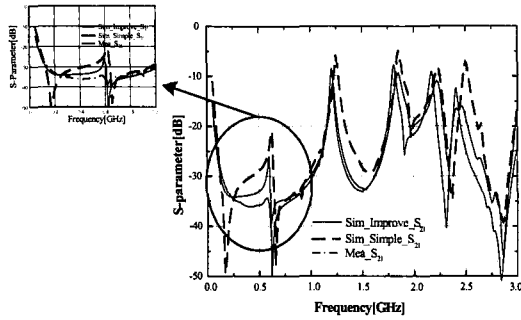


그림 10. 페라이트 비드가 삽입되었을 때 측정 결과  
Fig. 10. The measured result with inserting ferrite bead.

변화가 없는 것을 확인할 수 있었다. 이는 페라이트 비드가 1차 공진 주파수 이후에 500 MHz까지는 대역 저지 특성을 보이기 때문입니다. 또한 그림 4에서 확인된 페라이트 비드의 특성에서 2차 공진에 의해 다시 인덕턴스를 갖지만 그 값이 그림 4에서 확인한 바와 같이 매우 작기 때문에 잡음의 진행에 영향을 주지 않는다.

그림 10은 페라이트 비드를 IC 앞에 삽입하였을 때 전원단 잡음의 영향을 측정된 결과이다. 그림 10에서 측정 결과는 그림 9의 PEEC 방법에서 단순 회로 모델과 제안된 회로 모델의 해석 결과를 비교하여 도시하였다. 단순 회로 모델의 해석 결과는 측정 결과와 3 GHz까지 많은 오차가 발생하는 것을 확인할 수 있다. 반면 제안된 페라이트 비드의 해석 결과는 측정 결과와 오차가 적음을 확인할 수 있다. 또

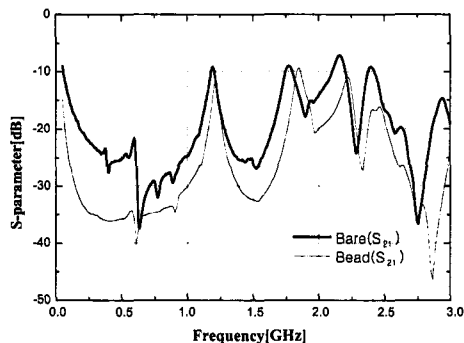


그림 11. 페라이트 비드가 삽입되었을 때 IC에 전원단 잡음 영향(measurement)

Fig. 11. The Effect of the power bus noise by resonance at IC with inserting ferrite bead (measurement).

한 그림 11은 페라이트 비드가 있을 때와 없을 때 측정 결과만을 도시하였다. 그림 11의 결과는 그림 9의 결과와 일치한다. 따라서 본 논문에서 제안된 페라이트 비드의 모델이 전원단 해석시 정확한 결과를 도출할 수 있음을 확인할 수 있다.

## V. 결론

본 논문에서는 고용량 페라이트 비드의 광대역 등가 회로 모델을 제안하고 실제 측정 결과와 비교하였다. 측정 결과는 30 MHz에서 3 GHz까지 147 nH의 고용량의 페라이트 비드를 외부 효과를 배제하기 위해서 1-port 측정 방법으로 벡터 네트워크분석기를 이용하여 추출하였다. 또한 광대역 페라이트 비드의 등가 회로 모델은 에이질런트사에서 제공하는 고주파 회로 모델 해석 툴인 ADS를 이용하였다. 광대역에서 고용량 페라이트 비드가 2차 공진현상이 나타나는 것을 확인하였고 이를 고려한 등가 회로 모델을 제시하였다. 또한 본 논문에서 제시한 페라이트 비드 모델을 이용하여 인쇄회로기판에서 IC의 잡음에 대한 영향에 대해서 분석하였다. 본 논문에서 이용한 인쇄회로기판 해석 방법은 PEEC 해석 방법을 사용하였으며, 이때 1-port는 잡음을 유발하는 IC로 2-port는 잡음에 영향을 받는 IC로 가정하여 해석하였다. 이와 같은 해석은 본 논문에서 제시한 정확한 페라이트 비드의 모델이 있기 때문에 가능하였다. 본 논문에서 제시된 결과는 정확한 전자파 장애 해석을 통해서 시스템 개발 일정을 단축시킬 수 있을 것이 기대된다.

## 참고 문헌

- [1] Howard W. Johnson, *High-speed Digital Design*, Prentice Hall PTR, 1993.
- [2] J. Fan, L. Shaofeng and J. L. Drewniak, "Including SMT ferrite beads in DC power bus and high-speed I/O line modeling", *IEEE International Symp. EMC*, vol. 1, pp. 336-339, 2001.
- [3] M. Bartoli, A. Reatti and M. K. Kazimierczuk, "High-Frequency Models of Ferrite Core Inductors", *Industrial Electronics, Control and Instrumentation*,

20th International Conference on, vol. 3, pp. 1670-1675, Sep. 1994.

[4] W. D. Kimmel, "Wide frequency impedance modeling of EMI ferrites", *IEEE International Symp. EMC*, pp. 221-223, Aug. 1994.

[5] Thomas A. Wilslow, "Component modeling for PCB design", *IEEE Microwave Magazine*, vol. 1, no. 1, pp. 61-63, Mar. 2000.

[6] 손경주, 권덕규, 이해영, 최철승, 변정진, "광대역 디커플링 캐패시터 모델을 이용한 정확한 SSN 분석", 한국전자과학회 논문지, 12(7), pp. 1048-1056, 2001년 12월.

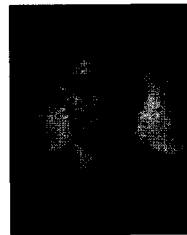
[7] Keunmyung Lee, Alan Barber, "Modeling and Analysis of Multichip Module Power Supply Planes", *IEEE Trans. Comp., Pkg., Manufact., Technol.*, vol. 18, no. 4, pp. 628-639, Nov. 1995.

이 신 영



2002년 2월: 아주대학교 전자공학부 (공학사)  
 2002년 2월~현재: 아주대학교 전자공학부 석사과정  
 [주 관심분야] EMI/EMC, 초고주파 수동소자

최 우 신



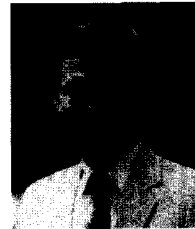
2003년 2월: 아주대학교 전자공학부 (공학사)  
 2003년 3월~현재: 아주대학교 전자공학부 석사과정  
 [주 관심분야] EMI/EMC, 초고주파 수동소자, RFIC

손 경 주



2000년 2월: 아주대학교 전자공학부 (공학사)  
 2000년 2월~2002년 2월: 아주대학교 전자공학부 석사과정  
 2002년 2월~현재: 기가레인  
 [주 관심분야] EMI/EMC 및 초고속 회로 설계

이 해 영



1980년 2월: 아주대학교 전자공학과 (공학사)  
 1982년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 1982년~1986년: 국방부 연구사무관  
 1989년 12월: The University of Texas at Austin (공학박사)  
 1990년~1992년: 금성 중앙 연구소 기초1실장 책임연구원  
 1992년~현재: 아주대학교 전자공학부 정교수  
 [주 관심분야] 초고속/고밀도 반도체 Package의 설계/측정, 초고주파소 및 광전자소자의 설계/측정, 초소형 안테나 해석/설계, 초전도체의 고속 전송 특성 모델링