

---

# 24GHz 2단 저잡음 증폭기의 설계 및 제작

한석균

Design and Fabrication of two-stage Low Noise Amplifier for 24GHz

Sok-Kyun Han\*

요약

본 논문에서는 24GHz에서 동작하는 2단 저잡음 증폭기를 설계 및 제작하였다. 소자는 NEC사의 NE450284C HJ-FET를 사용하였고, 양호한 잡음지수를 위한 정합회로 설계 시 좋지 않은 입력 정재파비를 동시에 고려하여, 원하는 잡음지수와 입력 정재파비를 얻도록 설계하였다. 측정 결과 이득은 16.6dB, 입력 정재파비는 1.6, 그리고 출력 정재파비는 1.5를 넘지 않는 특성을 얻었다.

ABSTRACT

In this paper, two-stage low noise amplifier(LNA) for 24GHz is designed and fabricated using NE450284C HJ-FET of NEC CO. In order to get noise figure and input VSWR to be wanted, it is considered input VSWR and noise figure simultaneously in matching-circuit designing. The fabricated two-stage low noise amplifier has the gain of 16.6dB, input VSWR of 1.6, and output VSWR under 1.5.

## I. 서론

일반적인 통신 시스템에서 수신부의 구성은 저잡음 증폭기, 국부 발진기, 혼합기, 중간 주파수 증폭기, 저역 통과 필터 등으로 이루어지는데, 이중 저잡음 증폭기는 수신부의 핵심부품으로 안테나를 통해 수신된 미약한 신호를 증폭하면서, 증폭기 자체에서 추가되는 잡음을 최소화하여야 한다. 따라서 저잡음 증폭기는 양질의 데이터 또는 화상을 얻기 위한 중요한 파라미터 중 하나인 잡음 특성에 가장 큰 영향을 미치는 부분이다. 그러므로 이러한 저잡음 증폭기의 설계에 있어서 잡음 특성이 뛰어난 트랜지스터의 선택이 필요하며, 외부 온도변화나, 전기적 특성의 변화에도 변하지 않는 안정된 특성을 보이는 증폭기의 설계가 필요하다[1]. 본 논문에서는 24GHz에서 동작하는 저

잡음 증폭기를 2단으로 구성하였으며, 소자는 NEC사의 NE450284C HJ-FET를 각각 사용하였고, 유전율이 3.5이고, 두께가 20mil인 Taconic RF35 기판을 사용하여 잡음지수, 정재파비, 이득을 고려하여 설계하였다.

## II. 저잡음 증폭기 기본이론

### 2.1 안정도(Stability)

증폭기를 설계함에 있어서 안정도는 매우 중요한 요소이며, 소자의 S-파라미터, 정합 회로망 및 종단 조건 등에 의해서 결정되는 것으로서 설계 주파수 대역뿐만 아니라 모든 주파수 대역에서도 안정해야 한다.

---

\* 목포해양대학교 해양전자·통신공학부 박사과정  
접수일자 : 2003. 12. 9

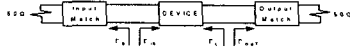


Fig. 2-1 Amplifier Block Diagram

Fig. 2-1에서 발진은  $|\Gamma_M| > 1$  또는  $|\Gamma_{OUT}| > 1$  인 경우에 나타난다. 따라서 수식적으로 무조건 안정할 조건은 다음과 같다<sup>[2]</sup>.

$$K > 1, |A| < 1$$

여기서,

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |A|^2}{2|S_{12}S_{21}|} \quad (1)$$

$$A = S_{11}S_{22} - S_{12}S_{21} \quad (2)$$

이고, 단일 변수의 안정도 계수인  $\mu$ -factor는

$$\mu = \frac{1 - |S_{22}|^2}{|S_{11} - A(S_{22}^*)| + |S_{21}S_{12}|} > 1 \quad (3)$$

이다<sup>[3]</sup>.

### 2.2 이득(Gain)

Fig. 2-1에서 여러 전력 이득을 S-파라미터, 소스와 부하 반사계수로 표시할 수 있는데, 전원에서부터 가용할 수 있는 전력과 부하에 공급된 전력의 비인 변환 전력이득(transducer power gain), 2포트 회로망의 입력에 공급된 전력에 대하여 부하에서 소모된 전력의 비인 동작전력이득(operating power gain), 그리고 전원에서부터 가용할 수 있는 전력에 대한 2포트 회로망으로부터 가용할 수 있는 전력의 비인 가용 전력이득(available power gain)이 있다[4].

$$G_T = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_M \Gamma_S|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22} \Gamma_L|^2} \quad (4)$$

$$G_T = \frac{1 - |\Gamma_S|^2}{|1 - S_{11} \Gamma_S|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{OUT} \Gamma_L|^2} \quad (5)$$

$$G_P = \frac{1}{1 - |\Gamma_M|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22} \Gamma_L|^2} \quad (6)$$

$$G_A = \frac{1 - |\Gamma_S|^2}{|1 - S_{11} \Gamma_S|^2} |S_{21}|^2 \frac{1}{1 - |\Gamma_{OUT}|^2} \quad (7)$$

### 2.3 잡음지수(Noise Figure)

잡음지수는 증폭기 출력단에서의 총 잡음 전력과 입력단의 등가 잡음저항, R에서 기인된 온도 잡음과 증폭기의 이득으로부터 나타나는 출력전력과의 비로서

$$F = \frac{P_{NO}}{P_{NI} G_A} \quad (8)$$

이고, 신호대 잡음비로 정의하면

$$F = \frac{P_{SI}/P_{NI}}{P_{SO}/P_{NO}} \quad (9)$$

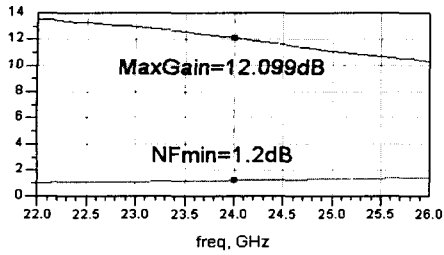
이다. 2단 증폭기의 경우, 잡음지수는

$$F = \frac{P_{NO}}{P_{NI} G_{A1} G_{A2}} = 1 + \frac{P_{N1}}{P_{NI} G_{A1}} + \frac{P_{N2}}{P_{NI} G_{A1} G_{A2}}$$

이다.

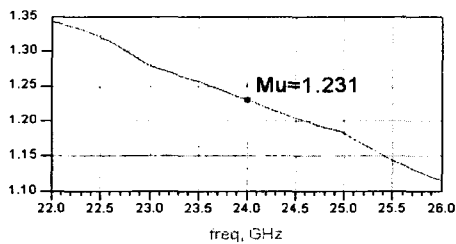
### III. 저잡음 증폭기 설계

본 논문의 2단 저잡음 증폭기 회로에 사용한 소자는 NEC사의 NE450284C HJ-FET이며, 바이어스 조건은 drain 전압이 2V, drain 전류가 20mA 일 때 이득, 잡음지수 및 안정도 특성이 Fig. 3-1과 같다.



(a) NFmin & Max Gain

소자 분석 결과 NFmin은 1.2 dB, Max Gain은 12.099 dB, 그리고  $\mu$ -factor는 1.231로 소자가 안정하다는 것을 알 수 있다.



(b) Stability

Fig. 3-1 The results of chip analysis

### 3.1 첫째단 증폭기 설계

일반적인 2단 저잡음 증폭기의 잡음 지수는 첫째단의 잡음지수에 의해 결정된다. 따라서 이러한 특성을 이용하면 잡음지수는 큰 영향을 받지 않으면서 높은 이득을 갖는 2단 저잡음 증폭기를 설계할 수 있다.

증폭기 설계시 선택한 소자의 안정도를 먼저 고려한 후 설계 규격에 맞게 정합회로를 구성하여야 한다. 일반적인 저잡음 증폭기는 입력 측 정합회로를  $\Gamma_S$ 와  $\Gamma_{opt}$ 를 같게 놓고 설계를 하게 된다. 하지만 이렇게 입력 정합점을 잡게 되면 잡음 지수는 우수하게 되지만 증폭기의 이득과 입력 정재파비는 좋지 않다. 따라서 Fig. 3-2의 Noise Circle과 Gain Circle상에서 잡음지수와 이득을 적절히 고려하여 trade-off점을 잡아 첫째단 입력 정합회로를 설계하였다. 입력 정합회로가 결정되면 출력 정합회로는 공액정합( $\Gamma_L = \Gamma_{out}$ )이 되도록 설계하였다. 첫째단 증폭기의 시뮬레이션 결과는 다음 Fig. 3-3과 같다.

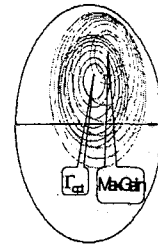
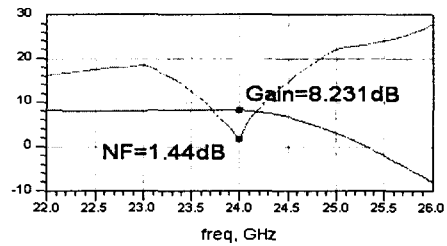
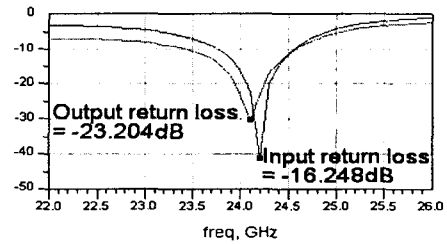


Fig. 3-2 Noise Circle & Ga Circle



(a) Gain & NF

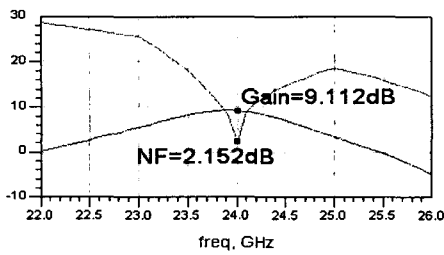


(b) Input & Output return loss

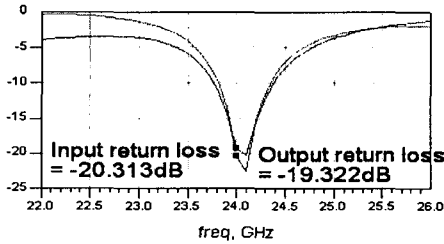
Fig. 3-3 The simulation results of first-stage

### 3.3 둘째단 증폭기 설계

2단 증폭기 설계 시 첫째단을 낮은 잡음지수를 갖도록 설계하므로 이득은 양호하지 못하다. 그러므로 둘째단 증폭기는 첫째단에서 양호하지 못한 이득과 다음 단으로 연결시 부정합으로 인한 손실이 없도록 이득정합으로 설계를 하였다. 시뮬레이션 결과는 Fig. 3-4와 같다.



(a) NF & Gain



(b) Input & Output return loss  
Fig. 3-4 The simulation results of second-stage

3.4 DC Block 설계

DC Block은 증폭기의 출력단에서의 원하는 대역 내에서 손실을 최소화하면서 고주파 신호만을 통과시키고 DC 전류가 흐르지 못하게 하여 계측기나 증폭기가 다른 소자와 연결될 때 바이어스가 증폭기의 능동소자에만 인가되게 하는 역할을 한다.

낮은 주파수에서는 집중소자인 캐패시터를 사용하여 DC를 차단해 줄 수 있으나 주파수가 높아짐에 따라 집중소자를 이용할 경우 신호의 통과 대역 내에서의 삽입손실이 증가하고 부가적인 기생성분이 발생하여 증폭기의 특성을 저하시킨다. 따라서 본 논문에서는  $\lambda/4$  길이의 결합선로를 이용한 DC Block을 구현하였다. 설계 주파수인 24GHz에서 최소한의 손실과 필요한 대역폭을 확보하기 위하여 결합형 전송선로의 폭, 간격, 길이를 변화시켜가면서 임피던스를 계산하여 50Ω 전송선로에 정합 시켰다<sup>[6]</sup>.

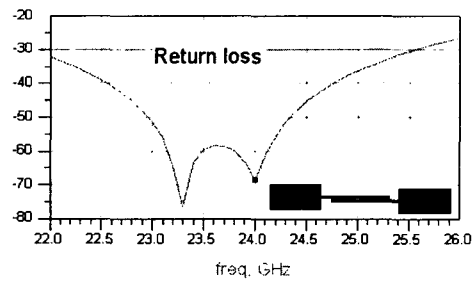


Fig. 3-5 Layout & return loss of DC Block

3.5 DC feed 설계

FET와 같은 능동소자를 활성화하기 위해서는 바이어스 회로가 필요한데 이를 설계할 때는 주의가 필요하다. 바이어스 회로는 순수하게 능동소자에게 DC 공급만을 위해서 동작해야하고 설계하는 중심 주파수에서는 개방상태로 동작하므로 바이어스 안정화를 기할 수 있다.

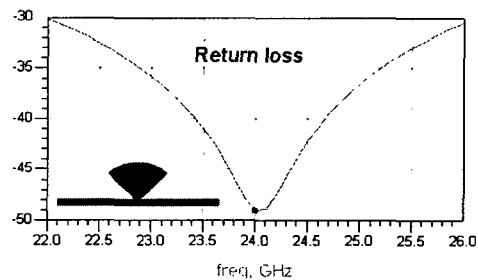


Fig. 3-6 Layout & return loss of DC feed

RF에 대하여 완전한 포트간의 격리 특성을 갖게 하기 위해서  $\lambda/4$ 길이의 높은 임피던스와 낮은 임피던스 선로로 구성한다. 저 임피던스 특성을 갖는 radial stub는 구형 패치 보다 특성과 회로의 크기 측면에서 유리하다<sup>[6]</sup>.

최종적으로 2단 저잡음 증폭기의 전체 회로도 는 Fig. 3-7과 같다.

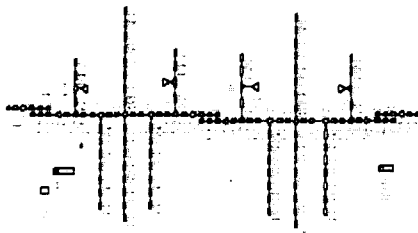
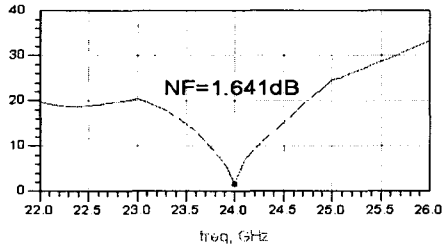
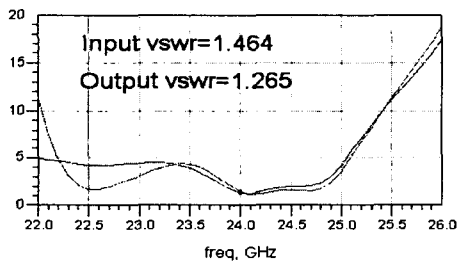


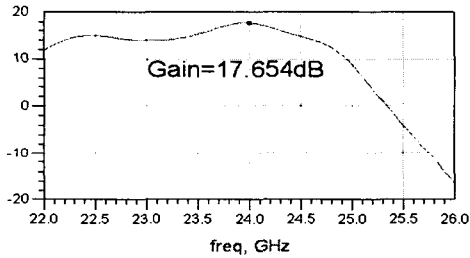
Fig. 3-7 The schematic of two-stage LNA



(a) Noise figure



(b) Input & Output VSWR



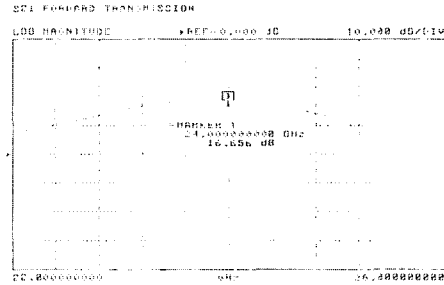
(c) Gain

Fig. 3-8 Simulation results of two-stage LNA

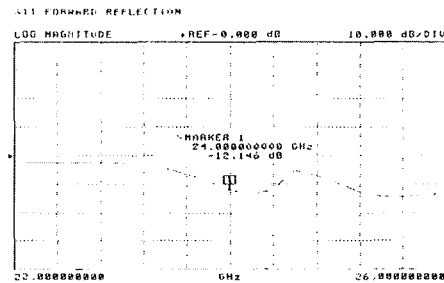
시뮬레이션 결과 전체 이득은 17.6 dB, 잡음지수는 1.6 dB, 입·출력 정재파비는 1.5이하를 얻었다. 그 결과는 Fig. 3-8과 같다.

#### IV. 제작 및 측정

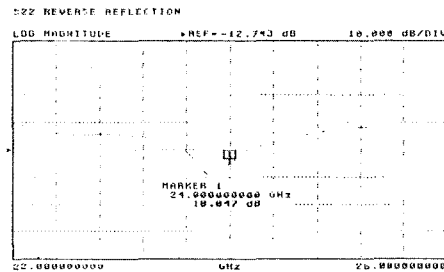
설계로부터 얻은 Layout을 이용하여 유전율 3.5, 두께가 20mil인 Taconic RF35 기판위에 2단 저잡음 증폭기를 제작하였다.



(a) Gain



(b) Input VSWR



(c) Output VSWR

Fig. 3-9 The results of measurement

Fig. 3-9는 Network Analyzer를 이용하여 측정 한 2단 저잡음 증폭기의 이득과 입·출력 정재파비를 나타낸 것이다. 2단 저잡음 증폭기의 측정 결과, 이득은 16.6dB, 입력 정재파비는 1.6이고, 그리고 출력 정재파비는 1.5를 넘지 않는 특성을 나타내었다.

## V. 결론

본 논문에서는 gate 길이가  $0.2\mu\text{m}$ 이고 gate 폭이  $200\mu\text{m}$ 인 HJ-FET를 사용하여 24GHz에 이용되는 저잡음 증폭기를 2단으로 설계 및 제작하였다. 설계시 일반적인 저잡음 증폭기의 입력 정합회로와는 달리 잡음지수만을 고려하여  $\Gamma_{opt}$ 를  $\Gamma_S$ 로 놓고 정합회로를 설계하지 않고, 입력 정재파비와 잡음지수를 동시에 고려하여 회로를 설계하였다. 측정결과 이득은 16.6dB, 입력 정재파비는 1.6, 그리고 출력 정재파비는 1.5를 넘지않는 특성을 얻었다. 본 연구를 통해 24GHz 2단 저잡음 증폭기의 설계 및 제작하였고 이는 차후에 예상되는 여러 밀리미터파를 활용한 무선통신 부품들을 설계하는데 기초가 될 것으로 사료된다.

## 저자 소개

**한석균(Sok-Kyun Han)**

1994년 2월: 광주대학교 전자공학과 졸업 (공학사)

1997년 2월: 목포대학교 대학원 전자공학과 (공학석사)

2000년 3월 ~ 현재 : 목포해양대학교 해양전자 통신공학과 박사과정

※ 관심분야 : 초고주파회로 설계, Radar

## 참고 문헌

- [1] 이재관, 이찬주, 김종현, "Design and Implementation of Low Noise Amplifier for L-Band", 秋季 마이크로파 및 電波 學術大會 論文集, vol. 21, No.2, pp.43-46, 1998.9
- [2] G. Gonzalez, "Microwave Transistor Amplifier Analysis and Designs", Prentice Hall, 1997.
- [3] M.L. Edwards, " A New Criterion for Linear 2-port Stability Using a Single Geometrically Derived Parameter", IEEE Trans. Vol. 40. No. 12., December 1992
- [4] David M. Pozar, "MICROWAVE ENGINEERING", JOHN WILEY & SONS, INC.
- [5] Rajesh Mongia, Inder Bahl, Prakash Bhartia, "RF AND MICROWAVE COUPLED-LINE CIRCUITS", Artech House Publishers, 1999.
- [6] 文相善, "A study on the Graphic Design Method within limits of Input and Output VSWR for the Optimum LNA", 2001.12.