

중간층 Ti 두께에 따른 CoSi₂의 에피택시 성장

정성희 · 송오성

서울시립대학교 신소재공학과

Effect of Ti Interlayer Thickness on Epitaxial Growth of Cobalt Silicides

Seong Hwee Cheong and Oh Sung Song

Department of Materials Science and Engineering, The University of Seoul 90 Cheonnong-dong,
Tongdaemun-gu, 130-743, Seoul

(2002년 8월 10일 받음, 2003년 2월 10일 최종수정본 받음)

Abstract Co/Ti bilayer structure in Co silicide process helps to the improvement of device speed by lowering contact resistance due to the epitaxial growth of CoSi₂ layers. We investigated the epitaxial growth and interfacial mass transport of CoSi₂ layers formed from 150 Å-Co/Ti structure with two step rapid thermal annealing (RTA). The thicknesses of Ti layers were varied from 20 Å to 100 Å. After we confirmed the appropriate deposition of Ti film even below 100 Å-thick, we investigated the cross sectional microstructure, surface roughness, epitaxial growth, and mass transportation of CoSi₂ films formed from various Ti thickness with a cross sectional transmission electron microscopy (XTEM), scanning probe microscopy (SPM), X-ray diffractometry (XRD), and Auger electron depth profiling, respectively. We found that all Ti interlayer led to CoSi₂ epitaxial growth, while 20 Å-thick Ti caused imperfect epitaxy. Ti interlayer also caused Co-Ti-Si compounds on top of CoSi₂, which were very hard to remove selectively. Our result implied that we need to employ appropriate Ti thickness to enhance the epitaxial growth as well as to lessen Co-Ti-Si compound formation.

Key words cobalt disilicide, Ti interlayer, epitaxial, silicide, Co/Ti bilayer

1. 서 론

소자의 고집적화에 따라 속도 개선을 위하여 내화금속(refractory metal)을 이용한 실리사이드 재료가 개발되어 텅스텐 실리사이드(tungsten silicide)를 위주로 반도체 공정에 적용되었다.¹⁾

일반적으로 소자의 수직 방향과 수평 방향의 박막 두께가 감소함에 따른 저항과 캐퍼시턴스 증가에 따라 소자의 작동 속도가 감소되므로, 소자 집적도 증가에 따라 속도를 향상 시키려는 저저항 재료가 계속 개발되고 적용되고 있다.²⁻⁴⁾ 따라서 최근에는 비메모리 소자를 위주로 낮은 비저항 특성을 보이면서 silicide(self-aligned silicide) 공정이 가능하며 공정 단계를 줄일 수 있는 TiSi₂와 CoSi₂ 살리사이드 공정이 많이 적용되고 있는 추세에 있다.⁵⁻⁷⁾

여러 가지 연구 결과에 의하면 TiSi₂는 소자의 집적도가 증가함에 따라 0.25 μm 이하의 좁은 선폭에서 핵생성 및 결정화에 대한 임계 에너지가 높아 적용에 대한 저항이 급격히 증가하는 문제가 있으며, 접합 영역에 적용할 경우는 도펀트(dopant)에 대한 의존성이 높아 MOSFET의 특성을 저하 시키는 것으로 알려져 있다.^{8,9)}

반면에 반응 물질인 Ti는 자연 산화막에 대한 제거력이 뛰어나 Ti 증착 전의 전세정 공정에 민감하지 않은 장점도 있다.

이에 비해 CoSi₂는 0.18 μm 이하의 최소 선폭에서도 핵생성 및 결정화가 용이하고 도펀트와의 반응성이 작아 유리한 장점이 있다. 그러나, 물성적으로 CoSi₂의 형성을 위해 소모되는 실리콘이 Co 두께의 3.6배로 TiSi₂의 2.2배 보다 더 커서 체적 변화에 따른 스트레스 발생 가능성이 큰 단점도 있다.^{10,11)}

CoSi₂ 살리사이드 공정은 Co에 의한 단일층 보다는 Co/Ti, Ti/Co, TiN/Co등의 다양한 박막 구조를 채용하여 진행되고 있으며, 이들 구조중에서도 특히 Co/Ti는 에피택시(epitaxy) 성장이 가능한 특성이 있어 많이 연구되고 있는 실정이다.^{12,13)} 일반적으로 실리사이드가 에피택시 성장을 하면 박막의 열적 안정성이 좋아지고 계면에서의 전자 산란이 적어져서 접촉저항이 작아짐으로써, 소자의 속도향상에 도움을 주는 것으로 알려져 있다.^{12,13)}

그런데 Ti 중간층에 의한 에피택시 성장의 장점도 있지만, 이 구조에 의해 필수적으로 생성되는 Co-Ti-Si라는 박막¹⁴⁾은 저항이 높고 제거가 어려운 박막층이다. 그런데 기존의 연구는 에피택시 측면과 초박막 Ti 박막의 형성 어려움으로 인하여 Ti 두께를 일반적으로 50 Å 이상으로 설정하는 공정을 채택하였으며, 생성되는 Co-Ti-

†E-Mail : shcheong@sidae.uos.ac.kr

Si의 두께를 감소 시킬려는 시도는 거의 없었다.

따라서 본 연구에서 Ti 두께를 최소화 하여 에피텍시 성장을 얻으면서도 최대한 얇은 Co-Ti-Si 두께를 확인하여, Co/Ti 구조에서 생성되는 Co-Ti-Si를 제거하는 습식 또는 건식 식각 기술을 확보하는데 필요한 기초 연구를 수행하였다.

2. 실험 방법

2.1. 초박 Ti, CoSi₂ 박막의 균일도 확보

100 Å 이하 두께의 박막이 직경 100 mm의 대구경 기관 전면에서 균일하게 형성되는지의 여부도 실제 살리사이드 공정에서는 매우 중요하므로 일단 열산화막 기관에서의 Ti 균일도와 확보된 Ti를 이용한 CoSi₂의 균일도를 확인하였다.

직경 100 mm의 (100) p-type의 1000 Å 두께의 열산화막을 가진 실리콘 기관에 대해 스퍼터기를 써서 기관 전면에서 Ti 박막을 각각 20, 30, 50, 70, 80, 100 Å의 두께를 목표로 하여 증착하였다. Ti 증착은 Ar gas를 이용하여 DC와 RF power를 각각 1.75 kW와 2.5 kW를 사용하였으며, 챔버 압력 25 mTorr와 기관 온도 200°C 조건에서 10 Å/sec의 증착 속도로 진행하였다.

Co 살리사이드의 균일도를 알아보기 위한 시편의 준비는 실리콘 기관 전면에서 piranha(3 H₂SO₄: 1 H₂O₂)와 50:1 HF로 10 sec 동안 세척을 하고 즉시 스퍼터기를 써서 기관 전면에서 Ti 증착 후 Co 박막을 동일한 스퍼터 방법에 의해 시간 지연 없이 바로 증착하였다. Co 박막은 1 kW의 DC power와 16 mTorr의 챔버 압력으로 진행하여 모든 시편에 동일하게 150 Å 두께로 증착하였다. 이와 같이 형성된 Co/Ti 구조를 급속 가열기(RTA)로 첫번째 RTA는 700°C-20 sec로 하고 두번째 RTA는 850°C-20 sec로 하는 2단계의 열처리를 하여 CoSi₂ 박막을 형성하였다.

완성된 Ti, CoSi₂ 박막의 균일도를 면저항측정을 통하여 간접적으로 확인하기 위하여 four-point probe를 사용하였다. four point probe는 면저항(sheet resistance:Rs)을 기관 전면에서 웨이퍼 중심점을 기준으로 방사형 방향으로 49개의 위치에서 각각의 면저항 값과 전체적인 균일도를 확인하였다.

또한 증착된 Ti 박막의 수직단면 형상을 확인하기 위하여 단면 투과전자현미경(cross-sectional transmission electron microscopy:XTEM)을 이용하였다. 시편의 준비는 일반적인 수직단면 측정 방법을 이용하여 진행하였고 최종 수직단면 이미지로부터 박막의 두께를 확인하였다.

2.2. CoSi₂의 분석

초박막 Ti로 형성된 CoSi₂의 실리콘과의 에피텍시 성장 여부, 살리사이드 공정시의 Ti와 Co의 물질이동, 표면조도, 박막의 우선 배향성등의 특성을 확인하기 위하여 다음과 같은 분석 방법을 사용하였다.

완성된 시편의 이미지를 단면 투과전자현미경을 이용하여 에피텍시 성장여부를 판단하였다.

Ti 두께에 따른 표면조도 변화를 확인하기 위하여 PSI사의 contact-SPM(scanning probe microscopy) 장비를 사용하였으며, 5 μm×5 μm의 scan area를 scanning하여 RMS(root mean squared roughness)와 평균 높이(mean height)를 각 조건당 3 point를 측정하여 평균값으로 비교하였다.

박막의 우선 배향을 확인하기 위하여 XRD(X-ray diffractometry)를 이용하였으며, 결과물은 rocking curve를 통하여 Ti 박막의 두께 변화에 대한 에피텍시 성장(epitaxial growth) 여부를 조사하였다.

마지막으로 살리사이드 열처리에 따른 원자의 이동 및 조성을 평가하기 위하여 AES(Auger electron spectroscopy)를 사용하였다. 분석은 표면으로부터 약 50 Å/min의 속도로 에칭해 가며 Ti 두께에 따른 Co, Ti, Si, N의 조성을 관찰하였다.

3. 결과 및 고찰

3.1. 초박 Ti, CoSi₂ 박막의 균일도

살리사이드용 중간층을 최대한 감소 시킬 수 있는지를 확인하기 위하여 일차적으로 확인된 Ti 단일막의 증착 결과에 대한 면저항을 Fig. 1에 나타내었다. 일반적으로 박막의 두께가 감소하는 경우 전자의 박막의 표면 산란이 증가함으로써, 비저항 및 면저항 균일도도 또한 증가하게 된다. Fig. 1에서는 Ti 박막의 두께가 작아질수록 급격히 면저항이 증가하는 경향을 보이고 있다. Ti 두께의 감소에 따라 면저항은 Fig. 1의 결과에서와 같이 전류 통로의 감소로 비례적으로 증가하는 결과를 보였다. 그리고 예상과는 달리 면저항 균일도는 20 Å 두께에서 5.57%로 다른 두께용 조건에 비해 양호한 결과를 보여 살리사이드 형성을 위한 Ti 중간층으로서 충분한 역할을 할 수 있는 것으로 확인되었고, 전 실험범위에서 재현성 있게 주어진 두께의 Ti 박막의 형성이 가능함을 확인하였다.

살리사이드 형성을 위한 Co/Ti의 박막 적층을 사용하여 증착 직후 상태와 RTA로 열처리한 후 각 조건에 대한 면

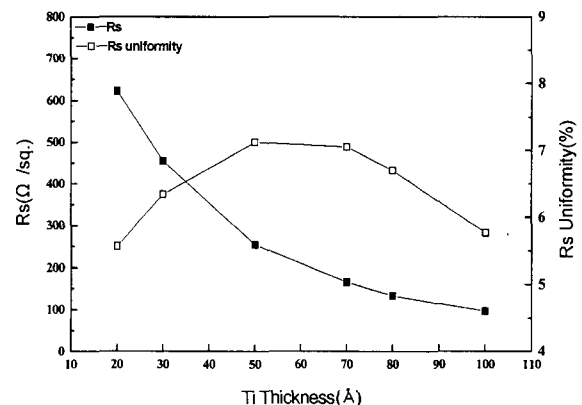


Fig. 1. Sheet resistance and Rs uniformity with Ti thicknesses.

저항 결과 및 면저항 균일도를 Fig. 2에 나타내었다. 증착 후의 면저항과 면저항 균일도는 각각 8.173 Ω/sq.~8.872 Ω/sq.와 5.63%~6.04%로 일정한 결과를 보였다. Ti 두께가 틀린데도 불구하고 적층 구조의 면저항에서 실험 웨이퍼간 균일도는 2.67%로 아주 양호한 결과를 보였는데, 이것은 Ti의 면저항 수치가 Co 박막에 비해 상대적으로 높기 때문에 그 영향성이 크게 나타나지 않았기 때문이다. RTA(첫번째: 700°C-20 sec, 두번째: 850°C-20 sec) 처리 후 형성된 CoSi₂의 면저항과 면저항 균일도는 Fig. 2에서와 같이 각각 3.620 Ω/sq.~4.157 Ω/sq.와 3.75%~5.91%의 보였으며, 면저항의 웨이퍼 간 균일도는 4.26%로 대체로 양호한 결과를 보였다. 면저항 균일도는 증착 직후에 비해 CoSi₂ 형성 후 Fig. 2와 같이 전체적으로 수치가 감소 하였지만, Ti 20 Å와 30 Å의 조건에서 CoSi₂는 상대적으로 4.91%와 5.91%로 높은 균일도 결과를 보였다. 이것은 Ti의 균일도 문제라기 보다는 Ti 두께가 매우 얇은 박막 구조에 대해서는 높은 확산 특성을 가지는 Co의 이동이 상대적으로 급격히 일어나 CoSi₂를 형성하기 때문에 발생하는 것으로 생각된다. 따라서 CoSi₂도 100 mm 기판 전면에서 균일한 성막이 가능함을 확인하였다.

Fig. 3에는 중간층인 Ti의 절대적 두께를 확인하기 위하여 열산화막 위에 Ti 단일층에 대한 TEM 분석 결과를 나타내었는데, 증착 두께 50 Å, 100 Å의 두가지 결과에 대하여 정리하였다. Fig. 3의 (a)에서 50 Å 두께에 대하여 확인된 Ti 박막의 두께는 49 Å의 두께를 보였으며, Fig. 3(b)의 100 Å 두께에 대한 Ti 박막의 두께는 98 Å으로 확인되어 본래 목표했던 두께에 대하여 증착되어진 Ti 두께는 2% 이내로 거의 동일하게 증착되어진 것으로 판단되었다.

3.2. CoSi₂의 에피텍시성장과 계면에서의 물질이동

3.2.1. 단면 투과전자현미경 분석

두번째 RTA 완료 후 형성된 CoSi₂ 박막에 대한 형상을 Ti 두께 20, 30, 50, 100 Å의 조건에 대한 TEM 결과를 Fig. 4(a), (b), (c), (d)에 나타내었다. Fig. 4의

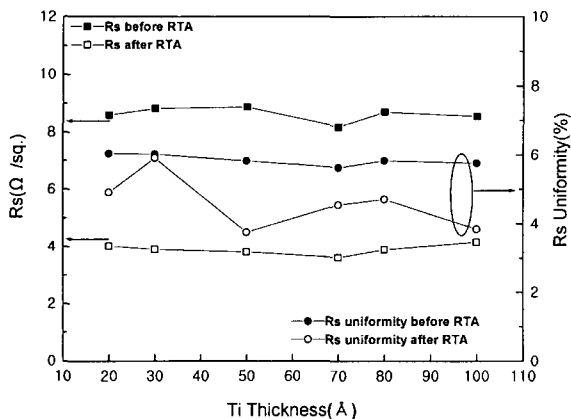


Fig. 2. CoSi₂ sheet resistance and Rs uniformity with Ti thicknesses.

TEM 결과에서 CoSi₂와 실리콘 사이의 계면에서 박막의 facet을 확인할 수 있었다. 이러한 facet은 CoSi₂ 반응에서 부분적으로 CoSi₂/Si의 미세한 격자 불일치에 의한 응력을 완화하기 위하여 발생한다.^{15,16} 또한, 이러한 facet은 Si(111)의 계면에너지가 Si(100)에 비해 작기 때문에 CoSi₂의 핵생성이 용이하여 Fig. 4에서와 같이 주로 {111} 방향으로 발생된다.¹⁷ 특히, Fig. 4(a), (b)에서 얇은 두께인 Ti 20 Å와 30 Å의 CoSi₂/Si 계면에 facet이 많이 나타나고 있는데, 이 결과는 Ti의 반응 지연 효과가 충분하지 않아 반응 응력이 크게 발생하고 원자들의 재배열이 지연된 것을 나타낸다.

그리고 TEM 분석으로 확인된 Ti 두께 변화에 따른 CoSi₂ 두께, Co-Ti-Si 두께 및 CoSi₂+Co-Ti-Si의 두께 결과를 Fig. 5에 나타내었다. Fig 5에서와 같이 각 박막에 대한 두께 범위는 CoSi₂가 545 Å~608 Å, Co-Ti-Si이 212 Å~320 Å의 값을 보였으며, 두 박막을 더한 두께는 827 Å~912 Å의 범위를 보였다. Fig. 5에는 Ti 중간층의 두께증가에 따른 Fig. 4에서 확인된 CoSi₂층과 Co-Ti-Si층의 두께변화를 정량적으로 나타내었다. Ti 두

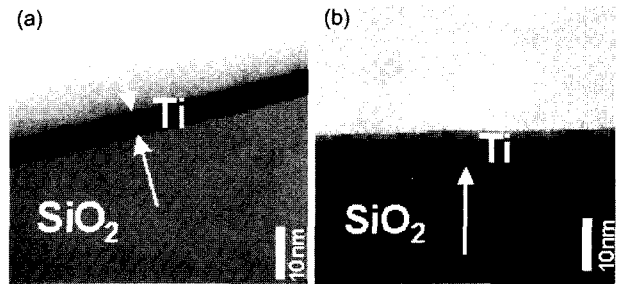


Fig. 3. Cross sectional TEM images of Ti thicknesses of (a) 50 Å and (b) 100 Å.

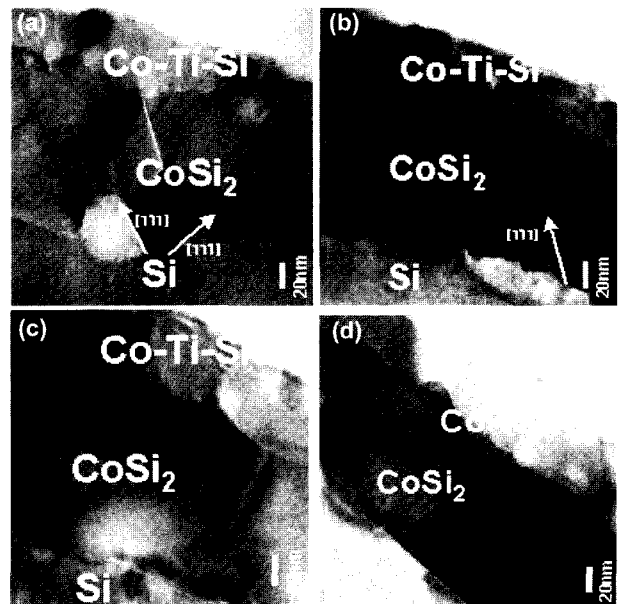


Fig. 4. Cross sectional TEM images of CoSi₂ with Ti interlayer thicknesses of (a) 20 Å, (b) 30 Å, (c) 50 Å, and (d) 100 Å.

께 증가에 따라 각 박막의 두께는 전체적으로 뚜렷하게 일정한 경향을 보이는 것은 아니지만, Fig. 5에서 표시한 추세선과 같이 Ti 두께가 감소할수록 Co가 실리콘 기판과 반응하기 위한 확산 거리가 감소하여 CoSi₂ 두께는 증가하였다. 그리고, Co-Ti-Si 두께는 Ti 20 Å일 때가 가장 낮은 212 Å을 보였으며, 나머지 두께에서는 274 Å 이상으로 Ti 두께 증가에 의해 Co-Ti-Si 화합물의 두께가 약간 증가하는 경향이 있었다.

3.2.2. 표면 조도

Ti 두께를 20 Å(증착 시간: 2 sec) 두께에서 100 Å 두께로 증가 시킴에 따라 RTA 처리 후 형성된 Co-Ti-Si/CoSi₂/실리콘 기판 적층의 표면 거칠기의 이미지와 Ti 두께에 따른 결과를 Fig. 6과 Fig. 7에 각각 나타내었다. Fig. 6에 Co 150 Å/Ti 20 Å/Si 구조의 시편을 2번 RTA 처리하고 난 후 SPM으로 5 μm×5 μm의 area에서 확인된 Co-Ti-Si/CoSi₂ 적층의 표면 미세 구조를 나타내었으며, 이와 같이 측정된 Ti 두께에 따른 박막 적층의 RMS (root mean squared roughness)와 평균 높이(mean height)의 값을 Fig. 7과 같이 정리하였다. Fig. 7에 나타난 바

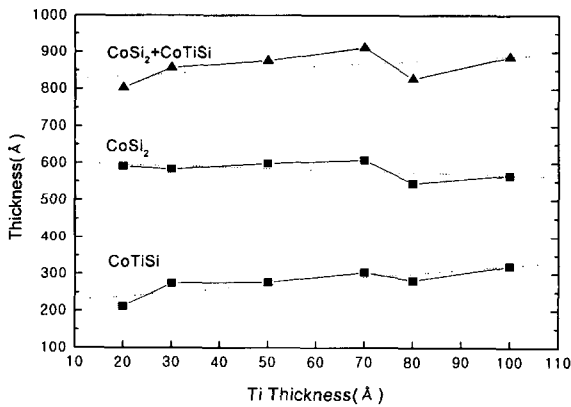


Fig. 5. Total film thickness with Ti thicknesses.

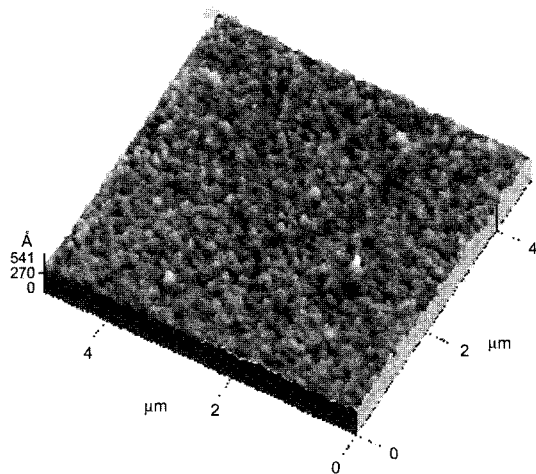


Fig. 6. SPM surface image of CoSi₂ film from Co 150 Å/Ti 20 Å/Si structure.

와 같이 Ti 두께에 따른 RMS 수치는 20 Å~50 Å의 범위에서는 RMS 수치가 Ti 두께에 따라 비례적으로 감소하지만, 50 Å 이상에서는 RMS 수치가 일정하게 유지됨을 알 수 있다. Ti 두께가 가장 얇은 20 Å에 대한 RMS는 36.3 Å의 수치를 보였으며, 가장 두꺼운 100 Å 두께에서는 24.0 Å으로 12.3 Å의 차이를 보였다. Ti 80 Å 조건의 RMS는 22.9 Å으로 가장 낮았지만 100 Å 조건과 거의 동일한 표면조도를 보였다. 박막 적층의 평균 높이는 Fig. 7과 같이 RMS와 거의 동일한 거동을 보여 Ti 20 Å~Ti 50 Å의 범위에서 거친 표면조도를 보였다.

따라서 Ti 두께에 따른 Co-Ti-Si/CoSi₂의 형성은 Ti 두께가 50 Å 두께 이하일 때 Co 이동이 상대적으로 급격히 일어나 형성되어지는 CoSi₂의 표면이 거칠어지지만, 50 Å 두께 이상에서는 이 실험에서 사용된 RTA 처리 조건에 대하여 Co의 확산 이동을 충분히 지연시키는 역할을 하는 것으로 판단된다.

3.2.3. 박막의 XRD 분석

CoSi₂의 에피택시 성장을 위한 Ti의 뛰어난 자연 산화막 제거 능력⁶⁻⁸⁾에 의해 공정 진행 중 발생하는 산화막은 충분히 제거할 수 있을 것으로 예상되지만, 에피택시 성장을 위한 Co 확산 지연 효과는 절대 두께가 감소하면 기능이 저하될 수 있다. 따라서 본 실험에서 사용된 Ti 두께에 따른 CoSi₂ 및 박막의 우선 배향성을 다음과 같이 정리하였다.

Ti 두께에 따라 공통적으로 나타나는 CoSi₂는 (200)/(400)의 peak을 보였으며, Co-Ti-Si의 삼상(ternary phase)은 42°(2θ)에서 발견되었다.¹⁷⁾ 그리고 실리콘 기판 부에 의한 (100) peak은 69°(2θ)의 angle에서 공통적으로 발견되었다.

Ti 20 Å 두께에서는 CoSi₂(200)/(400)의 main peak에 Fig. 8과 같이 CoSi₂(220) peak가 발견되어 20 Å 정도의 얇게 증착된 Ti의 경우는 자연 산화막 제거 및 Co 이동의 제어의 역할을 함으로써 에피택시 성장을 유도할 수 있지만, 두께가 아주 얇아 Co 이동 흐름의 급격한 발생에 따른 장벽 역할이 부분적으로 완화 되어 (220) peak가 나타나는 것으로 판단된다. 따라서 Co/Ti의 이중층 구조에서 Ti 두께를 100 Å 이하의 아주 얇은 두께

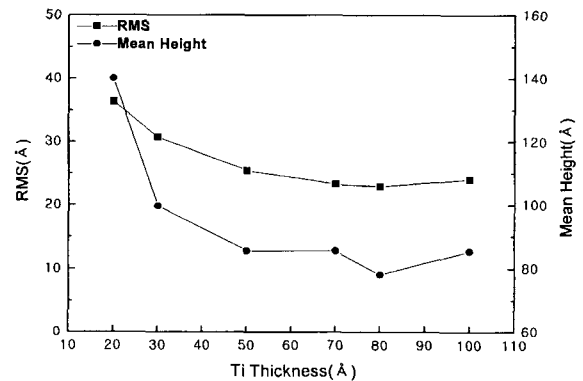


Fig. 7. CoSi₂ surface roughness with Ti thicknesses.

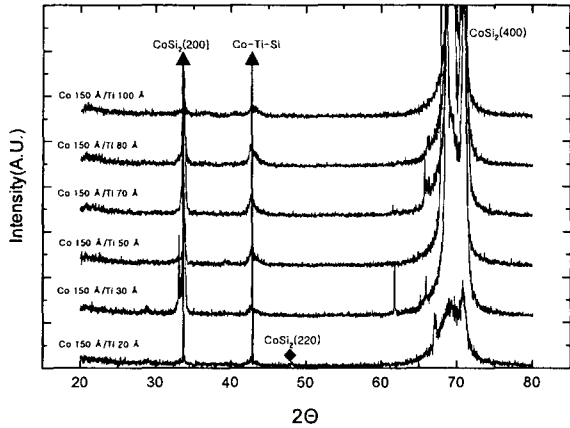


Fig. 8. XRD rocking curves of CoSi_2 from 150 Å-Co/Ti film structure.

로 감소 시켜도 에피택시 성장을 유도할 수 있지만, 20 Å 두께 이하에서는 Ti의 자연 산화막 제거 능력만으로는 완전한 에피택시 박막을 얻을 수 없는 것을 확인하였다.

3.2.4. 박막의 조성비

동일한 RTA 처리(첫번째: 700°C-20 sec, 두번째: 850°C-20 sec)에 의해 Co/Ti 박막 구조로 CoSi_2 를 형성함으로써, Ti 두께에 따른 CoSi_2 의 조성을 분석하여 Fig. 9(a), (b), (c)와 같은 AES 결과를 얻었다. Fig. 9에서 깊이 따라 A, B, C로 구분하였는데, A는 CoSi_2 위에 형성된 Co-Ti-Si 성분의 화합물을 나타내며, B는 CoSi_2 부분이고 C는 실리콘 기판 부분을 나타낸 것이다.

Ti 두께에 따라 Co와 실리콘의 조성비에서 Ti 20 Å 조건은 Fig 9(a)에서와 같이 AES 스퍼터 시간 7 min 지점에서 Si/Co의 조성비가 2.25의 비율을 보였으며, 13 min 지점에서는 2.12로 CoSi_2 박막의 깊이에 따라 비슷한 조성비를 보였다. 그러나, Ti 두께 30 Å의 조건에서는 Fig. 9(b)에서와 같이 두지점의 Si/Co의 조성 비율이 약 2.6과 2.12 정도로 약간의 차이를 보였다. 또한 100 Å은 Fig. 9(c)에서와 같이 AES 분석의 스퍼터 시간 7 min과 13 min에서의 Si/Co의 조성비는 각각 2.81과 2.40으로 Ti 20 Å과 Ti 30 Å 보다 더 높은 값을 보였다.

이와 같은 결과는 동일 열처리에서 Ti 두께가 증가할수록 CoSi_2 가 안정된 조성비를 얻기 어렵다는 것을 나타낸다. 또한, Ti 두께가 가장 낮은 20 Å에서 안정된 조성비에 가장 가까운 것은 Co가 Ti 중간층의 장벽을 통과하여 $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ 의 상전이를 거칠때 이 실험의 RTA 조건(첫번째: 700°C-20 sec, 두번째: 850°C-20 sec)으로도 Co, Si의 이동 및 재배열이 거의 완료될 수 있기 때문인 것으로 판단된다.

그리고, Co/Ti의 이중층 구조를 N_2 분위기에서 RTA 처리함에 따라 Ti는 표면에 TiN 또는 Co-Ti-Si 형태로 존재하게 되는데, Ti 두께에 따라 Fig. 9에서와 같이 약간의 거동 차이가 존재하였다. 즉, Ti 두께가 증가할수록 표면에 존재하는 Ti의 조성비가 증가하는 경향을 보였다. 이것은 Co/Ti의 이중 구조에서 Co와 Ti의 역전 현

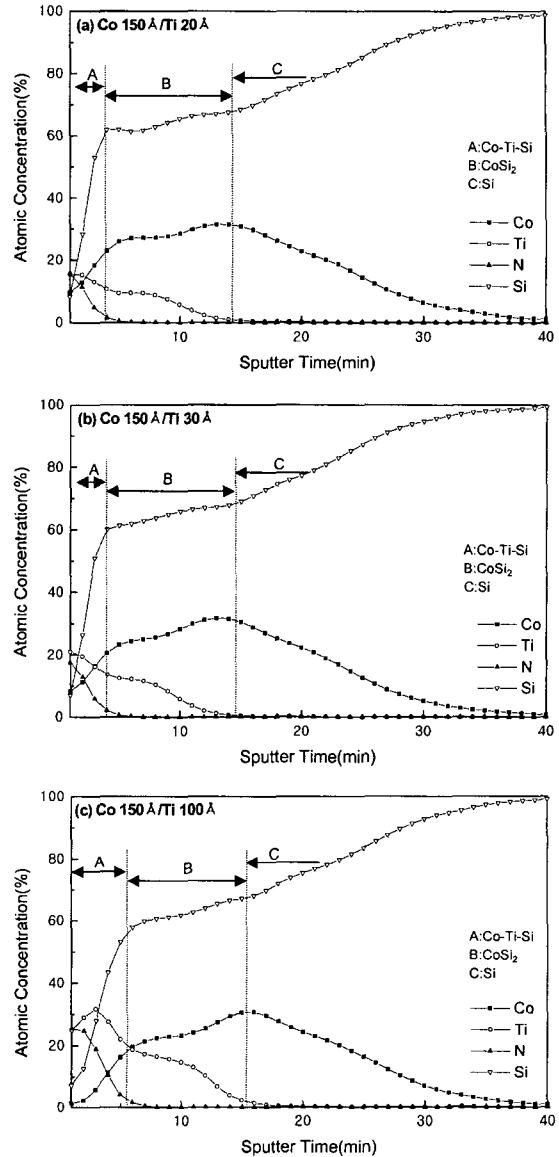


Fig. 9. AES depth profile of CoSi_2 layers from 150 Å-Co/Ti structure with interlayer Ti thicknesses of (a) 20 Å, (b) 30 Å, and (c) 100 Å.

상이 발생하면서, 증착 상태의 Ti 두께가 두꺼운 조건일수록 Co-Ti-Si/ CoSi_2 의 적층 구조 표면에 많은 양의 Ti가 존재하기 때문이다.

이와 같이 Co/Ti 구조에서 필연적으로 발생하는 Co-Ti-Si는 많은 원자 및 복잡한 조성으로 인하여 일반적인 케미컬에 의한 제거가 어려우므로, 실리콘사이드 공정 자체에서 적게 형성되도록하는 것이 Co/Ti의 적용을 쉽게 할 수 있는 방법의 하나일 수 있었다.

4. 결 론

Ti 중간층의 두께를 100 Å 이하로 얇게 채용하여 CoSi_2 에피택시 층을 만들어 소자의 동작 속도를 향상시키고자 100 Å 이하 Ti의 균일한 성막 여부와 Ti의 두께 변화에 따른 에피택시 성장 여부 및 CoSi_2 의 물질이동을 확인

하였다.

1. 중간층 Ti 두께는 두꺼워질수록 CoSi₂는 얇게 Co-Ti-Si 두께는 증가시키는 경향이 있었 고, 표면조도는 개선되는 특징이 있었다.

2. 중간층 Ti는 CoSi₂가 에피텍시 성장을 할 수 있도록 도와주지만 20 Å 이하는 새로운 우선 성장을 야기할 수 있었다.

3. 중간층 Ti 두께 증가에 따라 실리사이드 상부의 선택적 제거가 불리한 Co-Ti-Si 층의 두께는 커질 수 있으므로, 에피텍시가 가능한 30 Å 이하의 Ti를 채택하는 것이 후속 공정 으로 Co-Ti-Si를 제거하는데 유리하였다.

참 고 문 헌

1. J. S. Byun, D. H. Kim and W. S. Kim, *J. Appl. Phys.*, **78**, 1725 (1995).
2. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er and S. Redkar, *Appl. Phys. Lett.*, **78**, 3091 (2001).
3. J. Prokop, C. E. Zybilla, and S. Veprek, *Thin Solid Films*, **359**, 39 (2000).
4. C. Detavernier, R. L. V. Meirhaeghe and F. Cardon, *J. Appl. Phys.*, **88**, 133 (2000).
5. K. Maex, A. Lauwers, P. Besser, E. Kondoh, M. Potter and A. Steegen, *IEEE Trans. Electron Devices*, **46**, 1545 (1999).
6. R. T. Tung, *Applied Surface Science*, **117/118**, 268 (1997).
7. H. Zhang, J. Poole, R. Eller and M. Keefe, *J. Vac. Sci. Technol. A*, **17**, 1904 (1999).
8. J. Lutze, G. Scott and M. Manley, *IEEE Electron Device Lett.*, **21**, 155 (2000).
9. H. Fang, M. C. Oztu, E. G. Seebauer and D. E. Batchelor, *J. Electrochem. Soc.*, **146**, 4240 (1999).
10. S. L. Hsia, T. Y. Tan, P. Smith and G. E. McGuire, *J. Appl. Phys.*, **70**, 1308 (1991).
11. J. B. Lasky, J. S. Nakos, O. J. Cain and P. J. Geiss, *IEEE Trans. Electron Devices*, **38**, 262 (1991).
12. R. T. Tung, *MRS Symp. Proc.*, **427**, 481 (1996).
13. M. L. A. Dass, D. B. Fraser and C. S. Wei, *Appl. Phys. Lett.*, **58**, 1308 (1991).
14. G. B. Kim and H. K. Baik, *Appl. Phys. Lett.*, **69**, 3498 (1996).
15. D. P. Adams, S. M. Yalisove and D. J. Eaglesham, *J. Appl. Phys.*, **76**, 5190 (1994).
16. T. S. Kang, J. H. Je, G. B. Kim, H. K. Baik and S. Lee, *J. Vac. Sci. Technol. B*, **18**, 1953 (2000).
17. T. S. Kang and J. H. Je, *Appl. Phys. Lett.*, **80**, 1361 (2002).