

CDMA2000 1x 환경을 위한 STS(Space Time Spreading) 다이버시티 시스템의 하드웨어 구현 및 성능 분석

A Hardware Implementation and Performance Analysis of STS Diversity System for CDMA2000 1x Environment

박 재 현 · 최 승 원 · 남 상 원

Jae-Hyun Park · Seungwon Choi · Sang-Won Nam

요 약

본 논문은 STS(Space Time Spreading) 다이버시티 기능을 지원하는 시스템을 FPGA(Field Programmable Gate Array)를 이용하여 구현하고, 이 시스템을 구성하고 있는 각 모듈의 기능과 실제 설계 방법을 소개한다. 본 논문에서 구현한 개루프 전송 다이버시티 시스템인 STS 시스템의 성능을 개선하기 위해서는 페이딩 환경에 따라 변화하는 통신채널의 정확한 검출이 필수적이다. 이를 위하여 파일럿 채널의 정확한 검출을 위한 최적의 망각인자(Forgetting factor)를 제안한다. 본 논문에서 구현한 STS 시스템과 컴퓨터 시뮬레이션을 통하여 CDMA2000 1x 신호환경에서 STS 시스템 적용시 도플러 주파수 80 Hz일 경우에 0.7의 값을 가지는 망각인자를 사용하여 각 구간의 페이딩을 검출함으로써 파일럿 신호의 전력이 충분하지 않을 경우에도 적분 구간을 많이 늘릴 필요 없이 파일럿 채널을 검출할 수 있음을 알 수 있었다.

Abstract

This paper presents a hardware implementation of the STS diversity system, utilizing FPGAs and introduces the function and the design method of each of the modules of the system. In order to improve the performance of the implemented STS system which is an open loop transmit diversity system under fading environment, the exact estimation of the communication channel is essential. Therefore, we propose the optimal forgetting factor to estimate pilot channel in this paper. It is shown in this paper that the pilot channel is estimated using the forgetting factor of 0.7 without increasing the integration range of the pilot channel even when the power of pilot channel is not sufficiently large in CDMA 2000 1x signal environment.

Key words : CDMA, FPGA, STS(Spacing Time Spreading), Forgetting Factor

I. 서 론

본 논문에서는 CDMA2000 1x 환경에서 3GPP2의 표준 기술로 제안된 기지국에서의 전송 다이버시티 방법인 STS(Space Time Spreading)기능을 지원하는 시스템을 FPGA(Field Programmable Gate Array)를 이용하여 구현한 방법들을 보여주려고 한다. 또한 구

현된 STS 시스템의 성능을 분석한다. STS 시스템은 개 루프 전송 다이버시티 시스템으로서 기지국의 순방향에서 송신되는 데이터를 각각 다른 안테나를 통해 전송함으로써 독립적인 페이딩을 겪도록 하여 성능을 향상시키는 시스템^{[1],[2]}이다. 개 루프(Open-loop) 시스템인 STS 시스템은 폐 루프(Closed-loop) 방식과 비교할 때 피드백 정보를 필요로 하지 않음

「본 연구는 한국과학재단 특정기초 연구(R01-2002-000-00137-0)지원으로 수행되었음.」

한양대학교 전자전기컴퓨터공학부(Division of Electrical and Computer Engineering, Hanyang University)

· 논문 번호 : 20030609-085

· 수정완료일자 : 2003년 10월 29일

므로 시스템에 부하가 적고, 속도에 따른 성능 저하가 없는 장점^{[2]-[4]}을 가진다. 반면에 피드백 정보 부재로 인한 성능 저하가 예상되므로 데이터 복조시 2심벌 기간동안의 채널이 정확히 검출되어야 한다. 이를 위하여 파일럿 채널들을 정확히 검출할 수 있는 방안들을 본 논문에서 제시하였다. 첫 번째로는 수신단에서 파일럿 신호의 검출을 위한 적분 구간을 늘리는 방법이고, 두 번째로는 각 적분 구간에 망각인자를 적용하여 파일럿 신호를 검출하는 방식이다.

본 논문은 II장에서는 STS 변조기의 구조 및 STS 변조기를 구성하고 있는 FPGA 블록의 설계 방법을 제시한다. III장에서는 본 논문에서 제안한 파일럿 채널들을 정확히 검출할 수 있는 방안들 즉 파일럿 채널의 적분 구간을 증가시키는 방안 또한 파일럿 채널을 검출함에 있어서 적당한 양의 망각인자(Forgetting factor)를 이용한 성능 분석을 하고 마지막으로 IV장에서 결론을 맺는다.

II. STS 다이버시티 시스템의 구현

2-1 STS 다이버시티 시스템의 구조

STS 다이버시티 시스템은 변조 제어기(Modulator Controller) 모듈로부터 변조 데이터를 수신하는 DPRAM, 신호 변조를 담당하는 변조기, 인터리빙(Interleaving) 용 SRAM, 데이터 확산(Data Spreading) 용 DPRAM, 기저 대역 FIR 필터(Base Band FIR Filter) 등으로 이루어져 있다. 그림 1은 STS 다이버시티 시스템의 블록 다이어그램을 나타낸다. 그림 2는 실제로 제작된 STS 다이버시티 시스템의 형상이다.

2-2 STS 다이버시티 시스템의 FPGA 블록

STS 다이버시티 시스템의 FPGA 블록은 변조 제

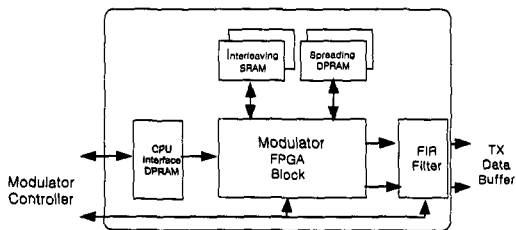


그림 1. STS 다이버시티 시스템의 블록 다이어그램
Fig. 1. The blockdiagram of STS diversity system.

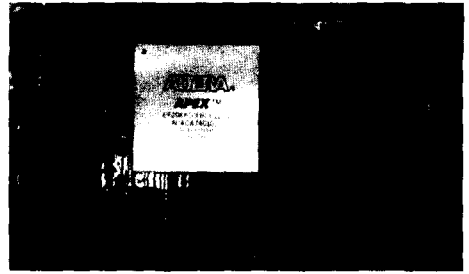


그림 2. 실제 구현된 STS 다이버시티 시스템
Fig. 2. The implemented STS diversity system.

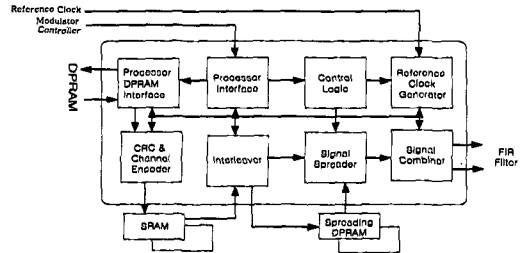


그림 3. STS 다이버시티 시스템의 FPGA 블록 다이어그램
Fig. 3. The FPGA block diagram of STS diversity system.

어기로부터 받은 데이터를 대역 확산 신호로 변조하여 기저 대역 FIR 필터로 전송하는 기능을 담당한다. 그림 3은 FPGA의 블록 다이어그램을 나타내었다.

기준 클럭 발생기(Reference clock generator)는 기준 클럭(Reference clock)을 받아서 변조기의 FPGA 내부에서 사용하는 클럭을 발생시킨다. FPGA 외부로부터 수신하는 클럭의 주요 기능은 FPGA 내부에서 사용하게 될 Chip x 클럭을 발생시킴과 20 ms 클럭을 이용하여 데이터 프레임 제어하고 even sec 클럭을 이용하여 동기를 맞추는 기능을 수행한다. 프로세서 인터페이스(Processor interface)는 변조 제어기와 인터페이스를 위한 기능과 변조 제어기로부터 받은 제어 데이터를 레지스터에 기억하는 기능을 담당한다. 프로세서 인터페이스는 16비트의 버스(bus)로 구성되어 있다. 프로세서 DPRAM 인터페이스(Processor DPRAM interface)는 프로세서로부터 변조 데이터를 받아들이기 위한 인터페이스로 8비트의 데이터 버스로 구성되어 있으며, 프로세서 DPRAM의 어드레스 생성은 각 채널 형상 데이터에 의하여 결정되며 이때 사용되는 클럭은 기준 클럭 받

생기에서 생성된 기준 클럭을 사용한다. 프로세서 DPRAM에서 읽은 8비트의 데이터는 병렬(parallel/serial)직렬 변환을 거쳐 CRC/채널 인코더로 입력된다.

CRC/채널 인코더부(CRC & Channel encoder)의 역할은 프로세서 DPRAM 인터페이스로부터 받은 신호 데이터를 CRC계산 후 채널 인코딩(Channel encoding)하는 기능을 담당한다. CRC 계산부는 CRC6, CRC8, CRC10, CRC12, CRC16, bypass 등의 6가지 계산 블록이 있으며 각각의 결과를 채널 형상(Channel Configuration) 데이터에 의하여 스위칭 시켜 채널 인코더부로 전달한다. CRC6의 다항식(Polynomial)은 $G(x) = X^5 + X^2 + X + 1$ ^{[5],[6]}이므로 레지스터가 5개 필요하다.

그림 4의 _state_reg0~4가 각각의 레지스터를 나타내고 입력 데이터가 0000000000000001일 경우 출력 데이터 부분인 ut_crc06_data가 010100이 나오는 것을 볼 수 있다. 채널 인코더는 CRC의 결과를 K=9,

R=1/2, R=1/4, 터보 인코더(Turbo encoder) 등의 채널 인코더 블록으로 입력시키고 그 결과를 채널 형상 데이터에 따라 스위칭시켜 인터리빙 SRAM으로 입력시킨다. 인터리빙 SRAM에 데이터를 기록할 때는 입력 데이터의 순서대로 입력시킨다.

그림 5는 컴퓨터 시뮬레이션을 통해 채널 인코더 K=9 R=1/4을 시뮬레이션 한 결과이다. 입력 데이터 1비트(bit)에 1이 들어갔을 경우에 K=9 R=1/4이기 때문에 4개의 레지스터에 각각 9비트의 데이터 값들이 나와야 한다. 그림 5에서 t_enc4_data 0~3은 4개의 레지스터를 나타내며 이들 각각의 레지스터에서 9비트의 데이터가 발생하는 것을 보여주고 있다. 그림 6은 CRC / 인코더부의 블록 다이어그램을 나타낸다.

인터리버의 블록 인터리빙(block interleaving)^{[8],[9]}을 수행하기 위하여 순서대로 SRAM에 저장된 채널 인코더에서 출력을 꺼낼 때 인터리빙된 순서로 꺼

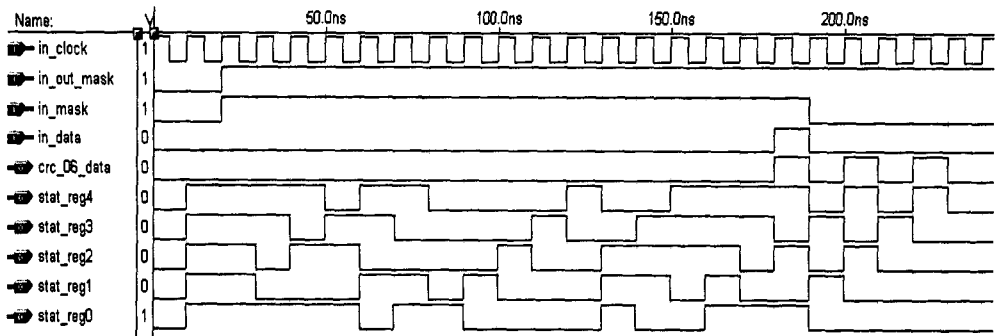


그림 4. CRC6의 시뮬레이션
Fig. 4. The Simulation of CRC6.

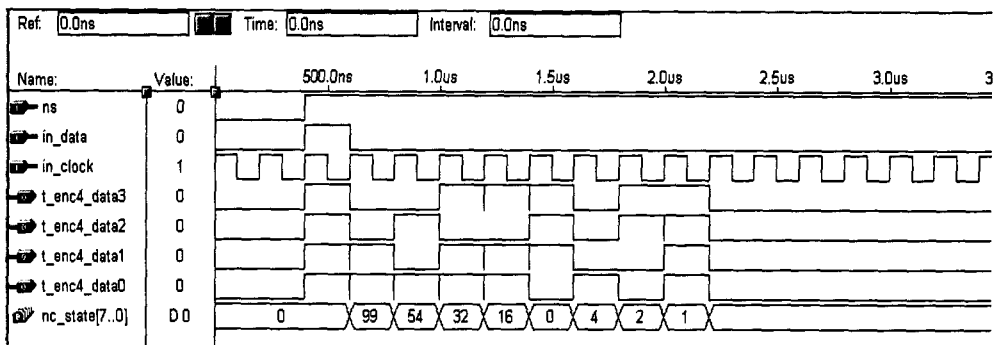


그림 5. 채널 인코더 K=9 R=1/4의 시뮬레이션
Fig. 5. The Simulation of channel encoder(K=9, R=1/4).

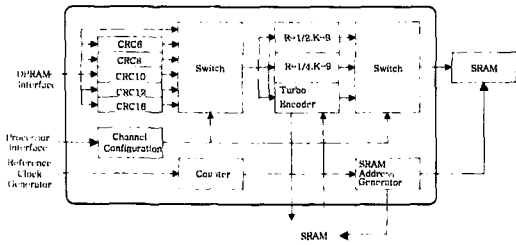


그림 6. CRC/인코더부의 블록 다이어그램
Fig. 6. The blockdiagram of CRC/encoder.

내는 방법을 사용한다. 그림 7은 컴퓨터 시뮬레이션을 통해 무선 환경(Radio Configuration) 3에서 순방향 기본 채널(Forward Fundamental Channel)의 인터리버를 시뮬레이션한 결과이다. 무선 환경 3에서 순방향 기본 채널의 인터리빙은 입력된 768 비트를 짝수 번째와 홀수 번째를 나누어 각각 어드레스를 생성하는데 홀수 번째 어드레스 생성은 식 (1)^[10]에 의해, 짝수 번째 어드레스 생성은 식 (2)^[10]에 의해 생성된다. 두 연산에 의하여 생성된 어드레스는 767, 64, 703, 128, 639, 192...이다.

$$A_j = 2^m \left[\frac{j}{2} \bmod J \right] + BRO_m \left(\left[\frac{j}{2} / J \right] \right) \quad (1)$$

$$A_j = 2^m \left[\left(N - \frac{(j+1)}{2} \right) \bmod J \right] + BRO_m \left(\left[\left(N - \frac{(j+1)}{2} \right) / J \right] \right) \quad (2)$$

$$m = 6, J = 12$$

그림 7에서 enc_ram_addr[17.0]가 채널 인코딩된 데이터들이 저장된 RAM 어드레스인데, 0~767 번째의 데이터들이 인터리빙된 후의 어드레스인 767, 64, 703, 128, 639, 192로 바뀐 것을 알 수 있다. 그림

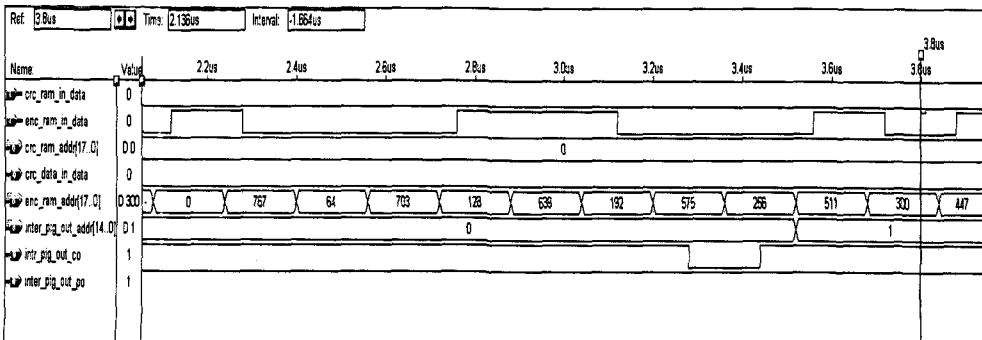


그림 7. 인터리버의 시뮬레이션
Fig. 7. The simulation of interleave.

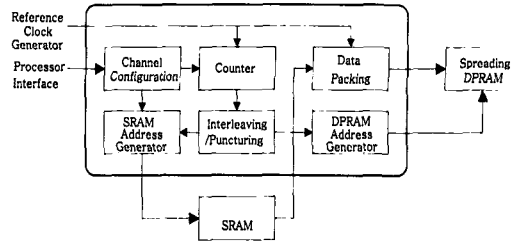


그림 8. 인터리버의 블록 다이어그램
Fig. 8. The blockdiagram of interleave.

8은 인터리버의 블록 다이어그램을 나타낸다.

신호 확산기(Signal spreader)는 인터리빙 된 데이터를 PN확산하여 대역확산 신호로 만드는 기능을 담당한다. 신호 확산기에 입력되는 채널의 종류는 4종류 기본 채널(Fundamental channel), 보조 채널 1(Supplemental channel 1), 보조 채널 2(Supplemental channel 2), 지정 제어 채널(Dedicated control Channel)이며 각 채널별로 독자적인 확산기(spreader)를 가진다. 각 채널의 확산 신호 출력은 다시 신호 합산기(combining logic)으로 전달된다.

그림 9는 신호 확산기의 블록 다이어그램을 나타내었고, 그림 10은 신호 확산기의 상세 구조 나타내었다. 그림 10처럼 입력신호에 대해서 4배 빠른 클럭(clock)으로 분배시켜 각각 I, Q신호를 만든다. 이 신호들에 대해서 점선 부분에 해당하는 STS 인코딩을 하고 준 직교 코드정보를 곱함으로써 새로운 준 직교성을 갖는 채널들을 만든 후 QPSK 방식으로 변조시켰다. 준 직교 코드정보는 왈쉬(Walsh) 코드의 칩(chip)별로 부호를 바꾸어 주기 위한 마스크(masking)하고 왈쉬 출력과 정보 신호를 곱한 후 90도 회전시

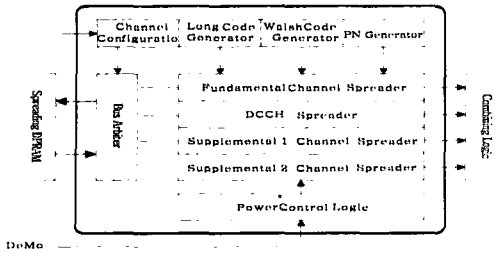


그림 9. 신호 확산기의 블록 다이어그램
Fig. 9. The blockdiagram of signal spreader.

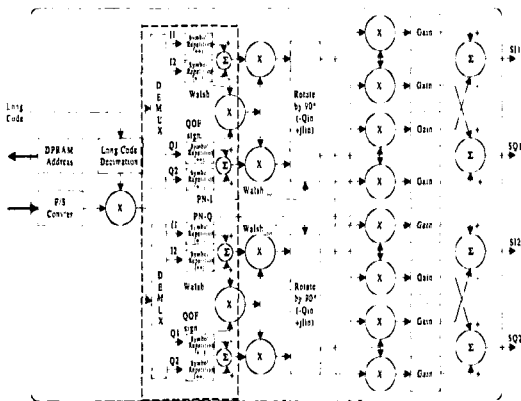


그림 10. 신호 확산기의 상세 구조
Fig. 10. The structure of signal spreader.

키는 $(I + jQ \rightarrow -Q + jI)$ 역할을 하여 신호를 만든다. 두 안테나에서 1 심볼 기간 t 동안 같은 정보가 전송되어진다. 같은 정보를 송신하는 두 안테나는 길이가 2인 서로 다른 왈쉬 코드로써 각각 구분되어진다. 신호 합산기는 4개의 채널에서 입력된 대역확산 신호를 I, Q 채널별로 결합하는 기능을 담당한다. I, Q 채널 합산기는 선형 가산기이며 동작 속도는 칩률(chip rate)과 동일하다.

그림 11은 구현된 변조기의 STS 인코딩 신호를 나타낸다. I1, Q1은 첫 번째 안테나의 입력값이고, I2, Q2는 두 번째 안테나의 입력값이다. I1F, I2F, Q1F, Q2F는 첫 번째 안테나에서 STS 인코딩된 출력값이고, I1S, I2S, Q1S, Q2S는 두 번째 안테나에서 STS 인코딩된 출력값이다. 그림 11의 출력된 값들을 보면 그림 10에서 STS 인코딩이 제대로 이루어짐을 알 수 있다.

III. STS 다이버시티 시스템의 성능분석



그림 11. STS인코딩 입력값 및 출력값
Fig. 11. The inout and output of STS encoding.

3-1 실험 환경

전절에서 구현한 STS 시스템을 이용하여 STS 다이버시티 기능을 지원하는 기지국의 송신신호를 발생시킨다. 발생된 STS 다이버시티 송신 신호를 컴퓨터에 저장하고 모델링 된 채널환경을 설정한 후 저장된 신호를 컴퓨터 시뮬레이션을 통하여 설정된 채널환경을 겪게 한다. 이 설정된 신호 환경을 겪은 STS 신호를 복조함으로써 STS 시스템의 성능을 분석하였다. 본 논문에서 이용한 신호 환경 모델은 다중 경로 페이딩 채널로서 사용자가 이동하고 있을 경우에 발생하는 도플러 주파수에 의한 신호 세기의 변화를 고려한다. 모든 다중경로의 산란 경로를 고려하면 기지국 수신 신호는 다음과 같이 표현될 수 있다.

$$y(t) = A \sum_{k=1}^K \left(\sum_{q=1}^{L_k} R_q s(t - \tau_{k,q}) e^{j2\pi(f_c \cos \phi_{k,q} t - f_c \tau_{k,q})} \right) \quad (3)$$

여기서 A 는 경로에 따른 손실과 안테나 이득을 포함하고 있고, K 는 다중경로의 수, L_k 는 K 번째 다중경로의 산란 신호의 수, R_q 는 수신 파워의 세기, $s(t - \tau_{k,q})$ 는 k 번째 다중 경로의 q 번째 산란 신호를 나타내고, $\tau_{k,q}$ 는 전파 지연, f_c 는 도플러 주파수, $\phi_{k,q}$ 는 산란 경로의 반사 방향, f_c 는 반송파 주파수이다. 변조된 신호는 STS 시스템의 성능분석을 위해 RF단을 거치지 않고 컴퓨터로 저장된다. 따라서, RF 단에 해당하는 신호처리를 컴퓨터에서 수행한다. STS 시스템에서 각 안테나별로 전송되는 신호는 다음 표 1과 같이 표현된다.

STS 시스템에서는 각 안테나마다 겪는 서로 다른 페이딩(Fading)을 보상하기 위하여 모든 데이터는 파일럿 채널과 같이 보내져야 한다. 그 채널들은 각각

표 1. STS 시스템의 송신 데이터 인코딩
Table 1. The transmitted data encoder of STS system.

	Antenna 1	Antenna 2
Time t	s_1^* s_2^*	s_1^* s_2^*
Time t+T	s_1^* s_2^*	s_1^* s_2^*

$$*S_1 = \frac{1}{\sqrt{2}}(S_{11} + jS_{12}), S_2 = \frac{1}{\sqrt{2}}(S_{21} + jS_{22})$$

순방향 파일럿 채널, 전송 다이버시티 파일럿 채널 (Transmit Diversity Pilot Channel)이며, 이들 파일럿 채널은 STS 인코딩을 수행하지 않고 BPSK 변조로 전송한다. 왈쉬 변조 과정에 있어서는 두 파일럿 채널은 각각 w_{16}^{64} , w_{16}^{128} 을 써서 직교화한다.

그림 12는 STS 시스템의 수신단 구조를 나타낸 그림이다. 신호의 복조는 2 심벌동안 수신한 신호를 이용하여 수행되며, 파일럿 채널과 전송 다이버시티용 파일럿 채널이 페이딩 채널의 검출에 이용된다. 두 안테나로부터 송신되어 독립적인 페이딩을 겪은 신호들은 하나의 안테나로 전송되어지고 PN 역확산 (PN Descrambling), 왈쉬 복조(Walsh Demodulation)를 거친 후 파일럿 채널로부터 페이딩 채널을 검출한 후 검출된 페이딩 채널을 이용하여 수신 신호를 복조한다^[7]. 복조된 신호는 식 (4)와 같다.

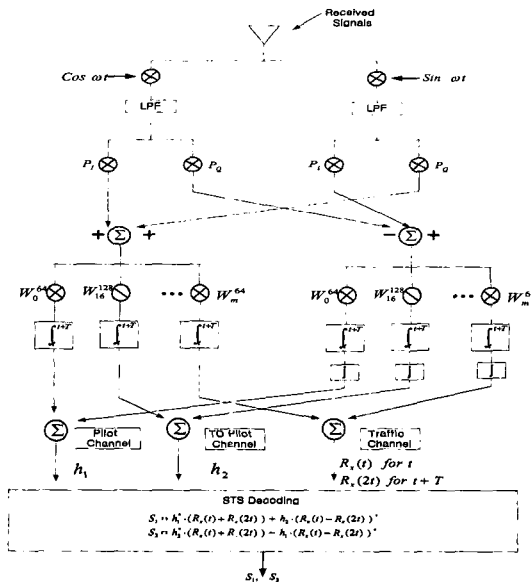


그림 12. STS 수신단 블록 다이어그램
Fig. 12. The blockdiagram of STS receiver.

$$\begin{bmatrix} \hat{s}_1 \\ \hat{s}_2 \end{bmatrix} = \frac{(\alpha_1^2 + \alpha_2^2)}{\sqrt{2}} \begin{bmatrix} S_1 \\ S_2 \end{bmatrix} + \frac{1}{\sqrt{2}} \begin{bmatrix} h_1^* & h_2 \\ h_2^* & -h_1 \end{bmatrix} \begin{bmatrix} n_1 + n_2 \\ (n_1 - n_2)^* \end{bmatrix} \quad (4)$$

3-2 성능 분석

STS 시스템의 성능을 좌우하는 가장 큰 부분은 도플러 주파수가 높아서 채널이 빠르게 변화되는 상황에서 채널 정보를 정확하게 검출하는 것이다. 즉, 각각의 기지국의 안테나로부터 전송되는 파일럿 채널의 검출에 따라 많은 성능차이를 보일 수 있다. 논문에서는 채널을 검출하는 다음 몇 가지 방법에 대하여 성능을 비교할 것이다. 첫째로 수신단에서 채널 검출을 위한 적분 구간을 증가시켰을 때의 성능을 검토할 것이며 둘째로 파일럿 채널을 검출함에 있어서 적당한 양의 망각인자(Forgetting factor)를 이용하였을 때의 성능을 살펴본다. 시뮬레이션을 위하여 확산률(Processing Gain)이 64인 순방향 통화 채널 중 기본 채널 하나를 이용한다. 다중경로는 같은 파워의 두 개의 경로를 고려한다. 각각의 다중경로의 산란 신호의 수는 20, 도플러 주파수는 80 Hz로 하였고 신호 대 잡음비에 따른 성능의 변화를 관찰하였다.

3-2-1 파일럿 채널 적분 구간에 따른 성능

적분 구간을 늘리는 것은 신호의 파워를 증가시키는 것과 같은 의미를 가진다. 그러나 빠르게 변화하는 페이딩을 겪은 신호들을 복조해야 하는 STS 시스템의 자체 성격을 고려할 때 적분 구간이 길어질 때는 채널의 변화에 민감하지 못하므로 성능은 계속적으로 증가되지 않는다.

기본적으로 표준화에서 제안하는 사항은 길이가 128인 왈시코드를 사용하여 채널을 검출하는 것이나 채널을 검출하기 위하여 최대 384칩 구간동안에 적절한 코드를 사용하여 채널을 검출하였을 때의 결과를 분석하여 본 결과, 파일럿 채널의 송신 파워가 충분히 크지 않을 때는 적분 구간을 늘려 채널을 검출한 성능이 우수하였다. 그러나 파일럿 채널의 송신 파워가 충분할 때는 적분 구간을 늘리는 경우에는 기본적으로 사용되고 있는 128칩 기간 동안 적분하여 채널검출을 행한 경우와 비교하였을 때 384칩 동안 채널 검출한 결과가 성능이 나빴다. 적분구간을 확장하는 의미는 파일럿 채널의 파워를 증가시

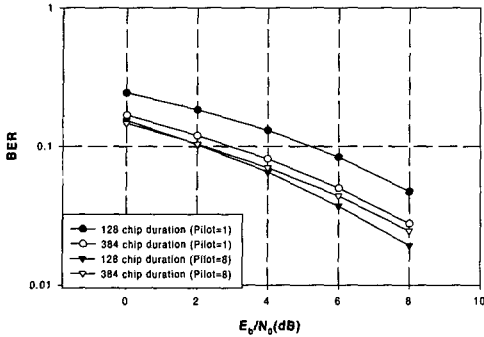


그림 13. 파일럿 채널 적분 구간과 에너지에 따른 성능 곡선
 Fig. 13. BER performance as a function of the integration range and the power of a pilot channel.

키는 의미를 가지므로 파워가 충분할 때는 장시간의 채널 검출 기간은 정확한 검출에 도움을 주지 못하므로 성능이 떨어지게 된다. 파일럿 채널 신호의 에너지가 기본 채널에 1배일 때와 8배일 때 각각 경우 채널 검출을 위한 적분 구간을 128칩 구간과 384칩 구간으로 했을 때를 비교해 보았다. 다음 그림 13의 결과에서 나타난 것과 같이 파일럿 채널 신호의 에너지가 기본채널에 1배일 경우처럼 파일럿 에너지가 충분히 크지 않은 경우는 적분 구간이 128칩으로 했을 때보다 적분구간을 384칩으로 하여 파일럿 채널의 에너지를 증가시킴으로써 채널 검출 가능성을 높인 경우가 우수한 성능을 보인다. 하지만 파일럿 채널 신호의 에너지가 기본채널에 8배일 경우처럼 파일럿 에너지가 충분히 큰 경우는 적분 구간을 384 칩으로 하여 파일럿 채널의 에너지를 증가시키는 것은 파일럿 신호의 에너지가 기본채널의 1배일 경우 만큼 채널 검출가능성에 영향을 주지 않는다. 그리고 빠르게 변화하는 페이딩을 겪은 신호들을 복조해야하는 STS 모드에서는 128칩에서 384칩으로 적분 구간을 확장하는 것은 채널 검출 가능성을 떨어뜨리는 경우가 된다.

3-2-2 망각인자를 이용한 채널 검출과 성능

페이딩은 연속적인 값이므로 그전 스냅샷의 채널 검출 결과와 전혀 무관하지는 않다. 그러므로 채널을 검출 결과를 참고하여 현재 스냅샷의 결과를 도출하는 방법을 제시한다. 채널을 업데이트 하는 시

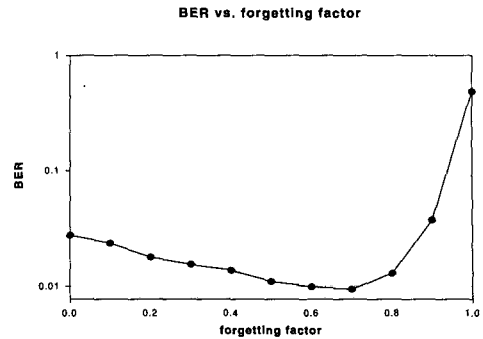


그림 14. 망각인자 사용에 따른 성능 곡선
 Fig. 14. BER performance as a function of the forgetting factor.

간은 128칩 단위로 하였다. 먼저 망각인자의 값을 구하기 위하여 망각인자를 0부터 1까지 변화시켜가면서 성능 분석해 보았다. 즉, 망각인자가 0일 경우는 128칩마다 매번 새로운 채널 검출 값을 두 심벌에 적용한다는 의미가 되는 것이다. 그림 12는 SNR이 10 dB일 때 망각인자 값을 0.1 단위로 변화시킨 것이다. 그림 14는 0.7 정도의 망각인자를 사용하였을 때 시스템의 성능이 가장 우수함을 보여준다. 이는 망각인자의 수치가 그리 크지 않다는 의미를 가지고 그런 의미에서 본다면 128칩 동안의 채널검출 값이 384칩 동안 채널을 검출하여 신호를 검출한 값에 비하여 좋은 성능을 나타내는 위의 결과와 일맥상통한다. SNR을 점차로 늘려가면서 128칩 동안 망각인자를 사용하지 않고 채널 검출한 방법, 384칩 동안 채

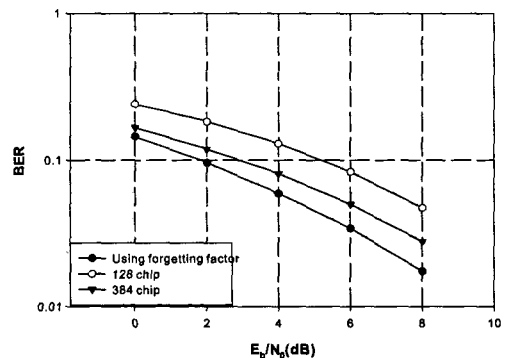


그림 15. 다양한 채널 검출에 따른 성능 곡선(파일럿 신호 에너지는 기본채널의 1배)
 Fig. 15. BER performance as a function of the various channel estimation(Pilot channel energy is 1 time of the fundamental channel energy).

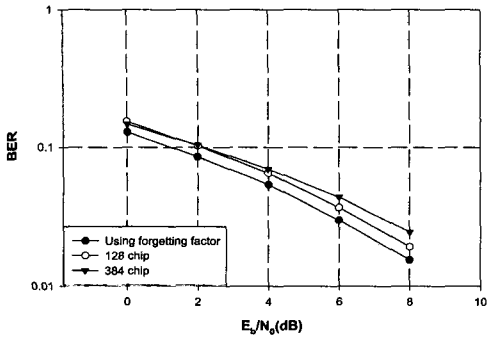


그림 16. 다양한 채널 검출에 따른 성능 곡선(파일럿 신호 에너지는 기본채널의 8배)

Fig. 16. BER performance as a function of the various channel estimation (Pilot channel energy is 8 times of the fundamental channel energy).

널을 검출하는 방법, 망각인자를 사용하면서 128칩 동안 채널을 검출한 방법이 가장 우수한 성능을 가짐이 나타났다. 다음 그림 15와 16은 파일럿 신호의 에너지가 기본채널의 1배일 때와 8배일 때를 각각 비교한 값이다.

IV. 결 론

본 논문에서는 CDMA 2000 1X 환경에서 성능 향상을 위해서 적용될 수 있는 기저국 STS 변조기를 소개하고 그를 Altera FPGA로 구현하였다. 그리고 구현한 STS 변조기를 이용하여 STS 시스템의 성능을 분석하였다. 본 논문에서 구현한 STS 변조기는 변조 제어기 모듈로부터 변조 데이터를 수신하는 DPRAM, 신호 변조를 담당하는 변조기의 FPGA, 인터리빙용 SRAM, 데이터 확산용 DPRAM, 기저 대역 FIR 필터로 이루어져 있다. 변조기의 FPGA는 기준 클럭 발생기, 프로세서 인터페이스, 프로세서 DPRAM 인터페이스, CRC/채널 인코더, 인터리버, 신호 확산기, 신호 합산기로 구성하였고, 그 각각의 기능을 하는 블록들의 설계 방법을 제시하였다.

본 논문에서는 파일럿 채널의 검출을 위한 방법을 제시하였다. 즉, 수신단에서 파일럿 신호의 검출을 위한 적분 구간을 늘리는 방법과 각 구간의 망각인자를 적용하여 파일럿 신호를 검출하는 시뮬레이션을 시행하였다. 그 결과 적분 구간을 늘리는 경우

전체적인 성능의 향상을 가져오지만 페이딩 채널의 빠르게 변화하는 경우에는 적분구간을 늘림으로써 채널의 변화를 빠르게 보상하지 못하는 문제점이 생긴다. 이러한 문제를 극복하기 위하여 도플러 주파수가 80 Hz 경우에 0.6~0.7의 값을 가지는 망각인자를 사용하여 각 구간의 페이딩 채널을 검출할 수 있다. 이 경우 파일럿 신호의 전력이 충분하지 않은 경우에도 적분 구간을 많이 늘릴 필요 없이 정확한 채널을 검출할 수 있음을 알 수 있었다.

참 고 문 헌

- [1] S. M. Alamouti, "A simple transmit diversity technique for wireless communications", *IEEE Journal on Selected Areas in Communications*, vol. 16, pp. 1451-1456, Oct. 1998.
- [2] V. Tarokh, S. M. Alamouti and P. Poon, "New detection schemes for transmit diversity with on channel estimation", *Proc. ICUPC*, vol. 2, pp. 917-920, 1998.
- [3] V. Tarokh, H. Jafarkhani and A. R. Calderbank, "Space-time block codes from orthogonal designs", *IEEE Trans. Information Theory*, vol. 45, pp. 1456-1467, Jul. 1999.
- [4] D. Gerlach, A. Paulraj, "Spectrum reuse using transmitting antenna arrays with feedback", *Proc. ICASSP*, vol. 4, pp. 97-100, 1994.
- [5] 3GPP, *Technical specification 25.21~25.214*, Jul. 1999.
- [6] 3GPP2, *Physical layer standard for CDMA2000 spread spectrum systems*, Release A, Dec. 1999.
- [7] J. S. Lee, L. E. Miller, *CDMA systems engineering handbook*, Artech House Publishers, pp. 229-247, 1998.
- [8] 이상근, 방효창, *IMT-2000 CDMA 기술*, 세화출판사, pp. 30-31, 2001년.
- [9] J. S. Lee, L. E. Miller, *CDMA systems engineering handbook*, Artech House Publishers, pp. 374-388, 1998.
- [10] 3GPP2, *Medium access control(MAC) standard for cdma2000 spread spectrum systems*, Release A, Sep. 2000.

박 재 현



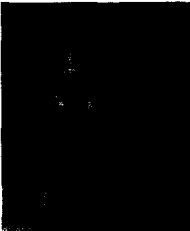
1994년~2001년: 한양대학교 공과대
학 전자통신전파공학과 (공학사)
2001년~2003년: 한양대학교 공과대
학 전자통신전파공학과 (공학석
사)
2003년~현재: 삼성전자 정보통신연
구소 연구원
[주 관심분야] 스마트 안테나 시스
템, DSP/FPGA 응용

남 상 원



1981년: 서울대학교 전자공학과
(공학사)
1987년: Univ. of Texas at Austin
(공학석사)
1990년: Univ. of Texas at Austin
(공학박사)
1991년~현재: 한양대학교 전자전
기컴퓨터공학부 교수
[주 관심분야] 비선형 신호 및 시스템, 디지털 고차 통계
신호처리, 의공학, 통신

최 승 원



1976년~1980년: 한양대학교 공과
대학 전자공학과 (공학사)
1980년~1982년: 서울대학교 공과
대학 전자공학과 (공학석사)
1984년~1985년: Syracuse Univ. 전
산공학 (공학석사)
1986년~1988년: Syracuse Univ. 전
기 및 전산과 (공학박사)

1992년~현재: 한양대학교 전자전기컴퓨터공학부 교수
[주 관심분야] 적응 어레이(스마트 안테나 시스템), 디지털
통신, DSP 응용