

동기신호 최적화 기법을 통한 고품위급 모니터의 디지털 신호처리회로 구현

정회원 천성렬*, 김익환**, 이호근***, 하영호***

English Digital Signal Processing Circuit in HD Monitor using Synchronization Signal Optimization

Sung-Ryoul Cheon*, Ik-Hwan Kim**, Ho-Keun Lee***, and Yeong-Ho Ha*** *Regular Members*

요 약

본 논문에서는 다양한 해상도의 신호 입력을 지원하는 고품위급 모니터의 디지털 신호처리 회로를 제안한다. 기존의 디지털 회로에서 ADC(Analog to Digital Converter)와 VDP(Video Display Processor)로부터 발생하는 내부 디지털 PLL(Phase-locked Loop)의 낮은 성능과 IC의 내부 편차문제, 모듈간의 상이한 전압 차이 때문에, 다양한 입력 신호에서 안정된 동기신호 처리를 할 수 없는 문제가 있었다. 이를 해결하기 위해서 다양한 해상도의 신호 입력으로부터 동기 신호들의 규칙성을 이용하여 동기 신호를 관리하면서 시스템의 간섭을 최소화하는 동기신호 최적화 기법을 제안하였다. 제안한 방법을 적용한 결과 다양한 해상도에서 안정적으로 동기신호를 처리함으로써 여러 모드의 입력신호에 대응할 수 있었다.

Key Words : DTV; synchronization; signal processing; optimization

ABSTRACT

Start The current paper proposes an improved HD(High Definition) monitor that can support a signal input with various resolutions. Due to the inadequate performance of the built-in digital PLL(Phase-locked Loop) of an ADC(Analog to Digital Converter) and poor tolerance of ADC ICs, there are problems in the stable processing of synchronization signals with various input signals. Accordingly, the proposed synchronization signal optimization technique regenerates the horizontal synchronization signal in the vertical blanking interval based on the regularity of the synchronization signal, i.e. the timing of the falling edge signal remains constant, thereby solving the above problem and minimizing the interference of the system. As a result, the proposed system can stabilize various synchronization signals with different resolution modes.

I. 서 론

디지털 기술의 발전으로 기존 아날로그에 비해 신호

의 보존과 처리가 쉬운 디지털 방식의 제품들이 많이 개발되고 있다. 특히 90년대 초반 국가 주도的高선명 TV개발에 지속적인 투자가 이루어지면서 TV분야에서는 기존 NTSC 방식을 대체할 수 있는

* 에이앤디 테크놀로지 제품연구소(colin1000@hotmail.com), ** LG전자 DND사업부 DTV연구실 (kihwan@lge.com), ***경북대학교 전자전기컴퓨터학부(yha@ee.knu.ac.kr)

논문번호 : 020452-1017, 접수일자 : 2002년 10월 14일

디지털 방식의 TV가 많이 연구되었다. 디지털 TV는 모든 제작, 편집, 송출 등을 디지털로 처리를 하는 점에서 기존 아날로그 NTSC방식과 많은 차별성을 갖고 있으며, 이로 인해 점점 사람들의 관심을 받고 있고 향후 모든 TV가 디지털로 대체될 것이라는 전망이다.⁽¹⁾⁽²⁾⁽³⁾ 현재, 한국을 포함하여 북미 그리고 일부 아시아 국가들에서는 아날로그 TV의 NTSC 표준을 따르고 있다. 그러나, 미국의 경우, 주파수 할당을 담당하고 있는 미국 연방 통신 위원회⁽⁴⁾(FCC)에서는 10년 이내에 현재의 NTSC 전송 표준들을 ATSC 표준으로 변경할 예정이다. 사실상, FCC는 2006년에 현재의 NTSC 전송을 중단하려고 하고 있으며, ATSC는 북미와 한국 등의 아시아 국가들에서 ATSC DTV표준이 지상파용 DTV 표준이 될 것이라 예상하고 있다. 그러나 현재 아날로그 방식을 시칭하는 모든 가구가 동시에 디지털로 대체될 수 없으며, 지난 흑백 TV가 컬러 TV로 대체될 때와 마찬가지로 과도기적인 시스템이 필요하다. ATSC에 규정된 비디오 포맷은 현재 18가지로 되어 있지만, 정확하게 어떤 비디오 포맷을 사용해야 한다는 강제성은 없다. 이것은 TV나 PC, 그리고 Set-top Box 제조자 등, 모든 가능한 참여자들이 DTV 사업에 참여하도록 하기 위한 방침이다. 결국 어떤 비디오 포맷이 적용될 것이라는 것은 방송업자에게 맡겨지게 되었다.⁽⁵⁾⁽⁶⁾ 따라서, 이와 같이 다양한 디지털 방식의 여러 해상도의 비디오 포맷과 PC신호 및 현행 비디오 신호들을 지원할 수 있는 디지털 HD Monitor(또는 디지털 Ready TV)의 필요성이 제기되고 있다. 이를 충족시키기 위해 본 논문에서는 여러 해상도와 다양한 비디오 신호를 가지는 입력 신호들에 대해서 동기 신호와 입력 신호의 특성을 조사하였다. 입력 신호들의 동기 특성을 분석을 통해 이들 신호를 처리할 수 있는 최적의 동기 신호 생성기법을 제안하였고, 디지털신호처리 회로로 구성하여 적용하였다.

본 논문의 구성은 II장에서는 현행 디지털 HD 모니터의 동작과 다양한 입력 신호 처리에 따른 문제점을 설명하였다. III장에서 이들 입력신호들의 특성에 대해 분석하고 이를 통한 동기신호최적화 방법을 제안하였다. 입력신호에 따른 동기신호처리 실험과 구현된 신호처리회로를 IV장에 나타내었고, V장에서 결론을 맺었다.

II. 디지털 HD 모니터의 동작 및 문제점

2.1. 디지털 HD 모니터에서의 디지털 신호처리 회로부의 동작설명

디지털 신호처리 회로부는 크게 CPU(Central Processing Unit)부분과 VDP(Video Display Processor)부분으로 나눌 수 있다. CPU부분은 전체 시스템을 총괄하는 부분이고, VDP는 NTSC 신호, PC신호 및 18가지 ATSC 영상포맷의 신호를 입력 소스(source)로 받아들여 PIP(Picture in Picture), OSD(On-screen Display) 등을 포함한 영상처리를 한 후 1080I의 포맷으로 변환하여 출력하는 IC이다. 그림 1을 보면 디지털 신호처리 회로부의 전체 블록도가 나와 있다. 먼저 전원이 들어오면 리셋(reset) 회로가 동작하게 된다. 리셋은 일정 시간동안(전원이 충분히 안정될 때까지) Low를 유지시켜 준다. 리셋이 끝난 후 CPU가 동작하게 된다. 가장 먼저 플래쉬롬(flash ROM)의 초기정보(boot code)를 읽어 상태를 파악한다. 만약 응용 프로그램이 플래쉬롬에 없다면 다운로드 모드로 간다. 즉 응용 프로그램을 받을 준비를 한다. 만약 응용 프로그램이 있다면 정상 동작을 하게 된다. 가장 먼저 I2C로 EEPROM을 읽어 이전 설정 값을 읽는다. 그리고 ADC(Analog to Digital Converter)와 VDP의 레지스터(register) 값들을 설정한다. 모든 설정이 맞게 된다면 정상 동작을 하게 된다. VDP의 설정은 데이터 버스(data bus)를 이용하게 되는데 이 때 CPU와 VDP의 동작 전압의 차이로 데이터와 어드레스 버스(address bus) 중간에 버퍼(buffer)를 사용하게 된다. VDP의 입력 클럭(clock)은 27MHz이고 내부에서 4배하여 108MHz를 사용한다. VDP는 빠른 동작을 위해 SDRAM을 사용한다. ADC는 I2C로 설정되는데 I2C의 설정이 끝나고 수평 동기신호(H Sync)와 수직 동기신호(V Sync)가 안정적으로 들어오면 ADC의 락 인디케이터 핀(lock indicator pin)의 신호가 High로 된다. ADC가 정상 동작을 하게 되면 입력된 영상신호를 ADC하여 디지털 신호로 만들어 VDP로 출력한다. VDP는 이 데이터를 가지고 여러 가지 영상처리를 하여 설정된 출력 디스플레이 포맷(display format)으로 변환하여 최종 출력하게 된다.

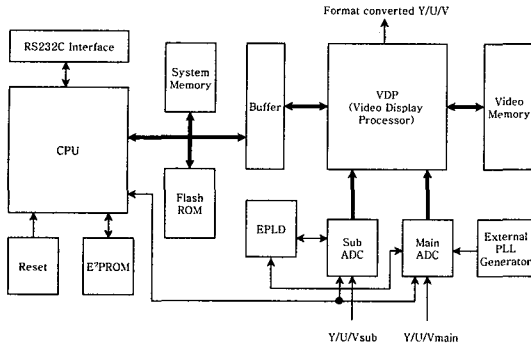


그림 1. 디지털 신호처리 회로부의 전체 블록도
Fig. 1. Block Diagram of Digital Signal Processor Part

2.2. 현행 디지털 신호처리 회로부에서의 ADC 문제

아날로그에서 디지털로 넘어가는 과도기적 시기에서의 디지털 HD 모니터는 가격이나 성능에서 현재 가장 타당한 모델이지만 다양한 해상도와 모드를 처리해야하는 어려움이 있다. 이러한 어려움은 다양한 해상도와 모드 사이에서 발생하는 수평 동기 신호의 불규칙성에서 기인하며, 이 불규칙성은 비월주사(interlaced scan) 방식에서의 수직 동기 구간의 수평 동기 신호에서 발생하는 등화펄스(equalize pulse)와 순차주사(progressive scan) 방식에서의 수직 동기 구간의 동기 신호의 반전에 나타난다. 또한 해상도 480의 순차주사 방식에서는 수직 동기에서 초기 동기 신호가 없으며, 이것은 720라인의 해상도에서의 순차주사 방식이나 1080 라인 해상도의 동기 이외의 신호이다. 이러한 불규칙성을 가지는 복합영상 신호에서의 동기신호를 동기분리(sync separator) IC로 동기 부분을 분리해 낸 후 ADC에서 이 동기신호에 위상동기(phase lock)된 데이터를 생성할 때 흔들림(jitter)등의 문제가 발생한다. 이 화면의 흔들림은 디지털 신호처리 회로부에 적용된 ADC의 낮은 성능과 ADC IC간의 편차에서 기인한다. 이러한 문제를 해결하기 위한 별도 회로를 EPLD(Electrical Programmable Logic Device)로 구현을 할 수 있다.

ADC의 디지털 PLL(Phase Locked Loop)에서 안정적인 위상동기(lock)를 저해하는 하드웨어 요소들은 다음과 같다.

2.2.1. V Sync 구간에서 H Sync의 반전

영상신호에 Sync가 포함되어 있는 복합영상신호

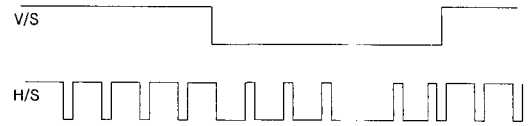


그림 2. 480P의 V Sync와 H Sync
Fig. 2. Vertical and Horizontal synchronization signals of 480P

(Composite Video Signal)들은 V Sync와 H Sync를 모두 포함하고 있다. 그러나 이러한 신호에서 Sync 신호를 분리해낼 경우 V Sync를 찾기 위하여 이 구간에서는 H Sync가 반전되어 있다. 그림 2를 보면 480P의 V Sync구간에서는 H Sync가 반전되어 들어가 있는 것을 볼 수 있다. 480I, 720P, 1080I에서도 같은 현상이 나타난다.

2.2.2. Tri-level Sync를 가지고 있는 720P와 1080I

V Sync 구간에서 영상신호를 잘라(slice)내어 Sync를 만들 때 Tri-level Sync는 본래의 H Sync 앞에 짧은 폭을 가진 펄스로 만들어지게 된다. 그림 3에 1080I의 H Sync를 보면 V Sync구간에 H Sync가 반전되어 있고 그 바로 앞에 작은 펄스가 삽입되어 있다. 이것은 720P와 1080I에서 사용하는 Tri-level Sync의 잔여신호이다.

2.2.3. 비월주사방식을 위한 등화펄스(equalize pulse)

비월주사방식에서는 연속된 두 필드(even & odd fields)간의 정확한 동기를 위하여 VBI(Vertical Blanking Interval) 구간의 H Sync에 등화펄스를 넣게 된다. 이것은 본래 H Sync주기의 1/2이다. 그림 3에서 1080I의 등화펄스를 볼 수 있다. 이것은 V Sync 구간과 그 구간의 양쪽에 들어가게 된다. 480I의 경우 더 많은 등화펄스가 들어가지만 디지털 HD 모니터를 구성하고 있는 아날로그 신호처리부의 NTSC 동기분리기(Sync Separator)가 이 신호들을 처리하여 깨끗한 H Sync를 보내준다.

2.2.4. 480P의 Sync의 부재

480P의 입력에서는 V Sync로 들어가는 순간 H

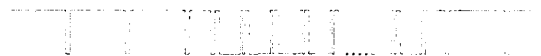


그림 3. 1080I의 H Sync
Fig. 3. Horizontal synchronization signal of 1080I

Sync가 반전될 때 Sync를 만들지 못하고 바로 low level로 떨어지게 된다. 이것은 단순한 falling edge만을 만들기 때문에 ADC에서는 Sync로 인식하지 못한다. 이것은 그림 2에 나타나있다.

2.2.5. Sync의 폭

적용된 ADC의 규격서에 따르면^[7] 디지털 PLL은 입력되는 H Sync의 edge에 동기가 된다. 그러나 실제로 실험을 한 결과 edge뿐만 아니라 Sync의 폭에 의해서도 PLL의 위상동기가 풀리는 현상을 발견하였다. 그리고 VDP에서는 입력되는 동기신호의 rising edge를 영상의 시작으로 판단한다. 그래서 폭이 일정하지 않으면 화면의 흔들림(jitter)이 발생하였다.

III. 제안하는 시스템

ADC에 들어가는 H Sync는 상당히 안정되어야 위상동기가 잘되기 때문에 이 부분을 해결하기 위한 회로를 EPLD로 구현하였다. 이 경우 가능한 간단한 알고리즘 개발로 EPLD의 게이트 수를 최소화해야 하며, 입력 신호에 상관없는 동일한 알고리즘을 적용할 수 있어야 한다. ADC 사용의 가장 큰 문제인 위상동기 문제를 해결하기 위한 본 논문의 기본 아이디어는 다음과 같다.

- Sync의 규칙성 분석

모든 입력 포맷에서 H Sync의 falling edge는 항상 일정하게 만들어진다. 본래의

H Sync의 주기를 가진 falling edge만을 보존한다.

- 등화펄스(equalize pulse)의 제거

등화펄스는 항상 1/2H 주기로 발생한다. 본래의 주기보다 짧은 것은 마스킹(masking)하여 제거한다.

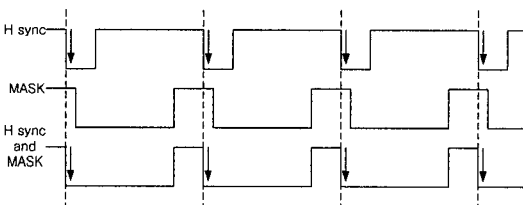


그림 4. H Sync에 MASK 신호를 이용하여 falling edge를 찾는 과정

Fig. 4. Procedure for finding falling edge using MASK signal in horizontal synchronization signal

- 720P와 1080I에서의 Tri-level Sync

위의 Sync의 규칙성 분석과 등화펄스의 제거를 동시에 적용한다.

- 480P에서의 V Sync가 시작되는 지점에서는 Sync 부재

이 지점에서 Sync가 없지만 falling edge는 존재하므로 위에서 언급한 Sync의 규칙성 분석과 등화펄스 제거를 동시에 적용하면 나중에 Sync로 만들어질 수 있다.

- 단안정멀티바이브레이터를 통한 일정폭 Sync 발생

수직동기 구간에서 falling edge가 일정한 성질을 이용하여 단안정멀티바이브레이터

(74LS123)에서 일정폭의 동기 신호를 생성하도록 한다.

3.1. 동기신호최적화를 통한 디지털신호처리회로의 구현

3.1.1. H Sync에서 falling edge 찾기

모든 동작은 입력되는 H Sync의 falling edge에서 시작된다. Falling edge가 입력되면 즉시 EPLD 내부의 카운터는 리셋이 되고 MASK신호가 2클럭(33MHz) 후에 '0'(Masking 시작)으로 된다. 내부 카운트 값이 일정한 값이 되면 MASK는 다시 '1'(Masking 끝)로 된다. 이 동작은 반복되고 그 결과는 그림 4과 같다. H Sync 신호를 $H_s(t)$, MASK 신호를 $M(t)$ 라 하고 Falling edge 검출 신호를 $F_e(t)$ 라고 할 때, 이를 수식으로 나타내면 다음과 같다.

$$F_e(t) = H_s(t)M(t) \quad (1)$$

입력 H Sync와 내부 MASK신호를 식 (1)과 같이 AND연산을 수행하면 하면 falling edge는 영향을 받지 않고 계속 존재 할 수 있게 된다. MASK를 다시 '1'(Masking 끝)로 만드는 카운트 값을 적절하게 선택하면 H Sync중간에 들어오는 필요 없는 Sync들은 제거된다. 이 신호들은 falling edge만 주기적이므로 단안정 멀티바이브레이터(Retriggerable Monostable Multivibrator)를 이용하여 일정한 폭의 신호로 만들면 일정한 주기의 H Sync를 만들 수 있다. Falling edge 검출신호를 $F_e(t)$ 라 할 때, falling edge 시점은 아래의 식을 만족한다.

$$\frac{dF_e(t)}{dt} = -1 \quad (2)$$

위의 식 (2)를 만족하는 Falling edge 시점을 T_{fall} ,

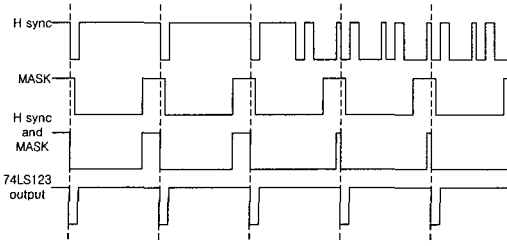


그림 5. MASK 신호를 적용한 후 단안정 멀티바이브레이터를 이용하여 Sync를 다시 만드는 과정
 Fig. 5. Procedure for generating horizontal synchronization pulse using MASK signal and retriggerable monostable multivibrator

단안정 멀티바이브레이터의 시정수를 T_{RC} 라 하고, 단안정 멀티바이브레이터에서 만든 Hsync 신호를 $H_{pseudo}(t)$ 라 하면 다음 식으로 나타낼 수 있다.

$$H_{pseudo}(t) = \begin{cases} 0 & \text{if } T_{fall} \leq t \leq T_{fall} + T_{RC}, \\ 1 & \text{others} \end{cases} \quad (3)$$

그 예를 그림 5에 나타내었다. 그림 5에는 본래의 Sync보다 짧은 등화펄스와 Tri-level 신호가 들어가는 입력이 어떻게 MASK 신호에 의하여 제거되는 지를 잘 보여준다.

1080I의 경우에는 등화펄스와 Tri-level Sync 신호가 추가되어 들어온다. 이 경우에 알고리즘의 적용은 다음과 같다. 등화펄스는 H 주기의 1/2 주기로 들어온다. 그리고 Tri-level Sync는 V Sync 구간에서 H Sync 바로 앞에 존재한다. EPLD로 H Sync의 falling edge가 입력된 후에 내부 카운터는 0이 되고 H의 주기가 1000(카운터의 값으로)일 경우 500이상의 적절한 기준에서 MASK를 '1'로

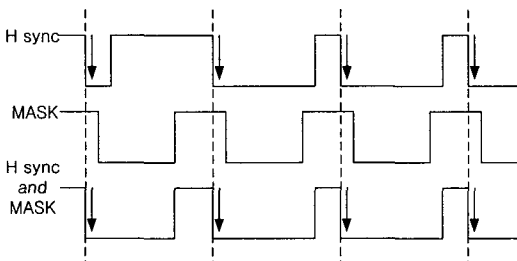


그림 6. 480P의 V Sync 시작에서의 H Sync
 Fig. 6. Horizontal synchronization pulses at beginning of vertical synchronization interval in 480P

만들면(즉 MASK 신호를 원래 H Sync 주기의 절반 이상으로 유지시키면) 등화펄스와 추가적인 신호들을 제거할 수 있다. 이것은 등화펄스와 Tri-level 신호는 항상 H Sync가 시작되고 1/2주기 안에서만 발생한다는 특징을 이용한 것이다. 결과적으로 H Sync의 입력과 MASK 신호를 AND하면 필요 없는 신호들은 제거되고 본래 H Sync 주기의 falling edge만 존재하게 된다. 그러나 이 신호들은 falling edge만 주기적이므로 단안정 멀티바이브레이터(Retriggerable Monostable Multivibrator)를 이용하여 일정한 폭의 신호로 만들면 일정한 주기의 H Sync를 만들 수 있다. 그림 6과 같이 480P의 경우 V Sync가 시작되는 구간에는 클럭이 없고 단지 falling edge만이 존재한다. 또한 V Sync 구간에서는 신호가 반전된다. 이 경우에도 falling edge는 영향을 받지 않고 계속 존재할 수 있어 일정한 주기의 H Sync를 얻을 수 있다.

3.1.2. 설정 값

각 모드의 H Sync의 주기는 다음과 같다.^{[8][9][10][11]}

- 480I : 63.556uS
- 480P : 31.776uS
- 1080I : 29.63uS
- 720P : 22.22uS

여기서 등화펄스가 들어가는 것은 비월주사방식인 480I와 1080I이다. 그런데 H/2 주기로 들어오는 등화펄스를 제거하는 알고리즘을 두 방식 모두에 적용하기 어렵다. 그 이유는 480I가 1080I보다 두 배가 넘는 주기를 갖기 때문이다. 즉 위에서 MASK

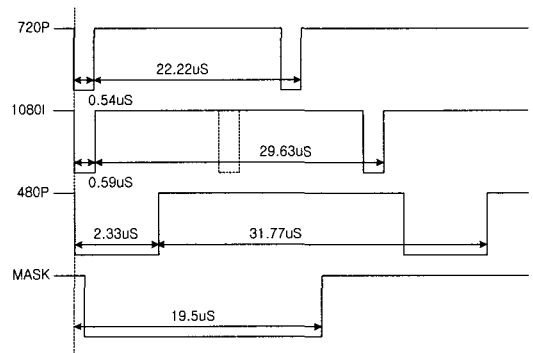


그림 7. 각 모드의 H Sync의 주기
 Fig. 7. Period of horizontal synchronization for each mode

값을 '1'(Masking 이 끝나는)로 올려 주는 값을 각 모드별로 정해야 한다. 다행이 480I의 경우는 아날로그 보드의 NTSC 동기분리기(Sync Separator)가 동기신호를 분리하여 안정적인 H Sync를 보내주기 때문에 특별한 조작 없이 바로 사용할 수 있다. 그림 7은 각 모드의 H Sync의 주기를 나타내었다. MASK신호의 폭은 1080I에서 등화펄스를 마스크할 수 있을 정도로 길어야 하며 본래의 신호를 침범하지 않는 범위에서 결정된다. 즉

$$14.8(29.63/2) + 0.56 + 0.56 < T < 22.22 \quad (4)$$

의 조건을 만족해야 한다. 첫 번째 값은 1080I의 주기에 반에서 Sync의 폭과 등화펄스의 폭을 더한 값이고 끝의 값은 주기가 가장 짧은 720P의 주기이다. 그리고 Tri-level Sync에 의한 신호는 H Sync가 있는 후에 아주 짧은 시간(1080I에서 등화펄스가 나오는 시간보다 상당히 짧다) 후에 나오므로 MASK의 폭을 결정하는 중요한 시간적 요소가 되지 않는다. 그리고 마스크 신호는 H Sync의 falling edge 후 약간의 지연이 된 후에 발생하나(EPLD내부에 설계할 때 카운터의 구조적 제약 때문에 발생) 아주 짧은 시간이기 때문에 큰 영향은 발생하지 않는다. 결과적으로 MASK의 폭은 19.5uS이며 33MHz의 클럭을 쓰는 EPLD의 카운터 값은 650(이진수로 "1010001010")으로 그 기준 값을 정했다. 지금까지의 과정을 정리하면 그림 8과 같다.

3.1.3. 부가적인 처리

지금까지의 방법들은 모두 불필요한 H Sync의 제거를 주목적으로 하였다. 그리고 H Sync의 폭을 일정하게 만들었다. 그렇게 만들어진 H Sync를 넣

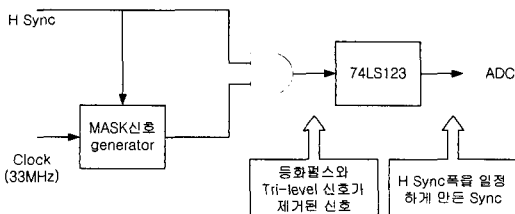


그림 8. H Sync의 주기적이지 못한 신호를 제거하기 위한 과정
Fig. 8. Periods for eliminating non-periodic pulses in horizontal synchronization signal
있을 때 위상동기가 어느 정도 안정되었지만 화면에 흔들림(jitter)가 발생하게 되었다. 하지만 신호발

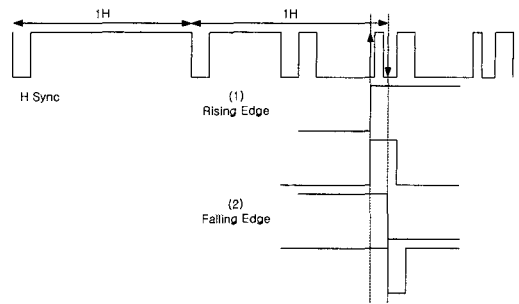


그림 9. Sync의 위치 변경
Fig. 9. Position change of synchronization pulse edge

생기(pattern generator)에서 H Sync와 V Sync를 따로 넣어 주었을 경우(VGA 단자로 입력하였음) 떨림이 없는 선명한 화질을 볼 수 있었다. 즉 지금까지의 방법으로 H Sync를 만들 때 문제가 된 점은 단안정 멀티바이브레이터를 이용하여 Sync의 폭을 일정하게 만들 때 이 IC가 저항과 콘덴서를 이용하여 그 폭의 값을 결정하게 된다는 것이다. 이것은 아날로그 소자이기 때문에 주위의 온도나 그 밖의 여러 가지 환경에 따라서 미세한 오차가 발생하여 오실로스코프 상에서는 보이지 않는 미세한 떨림이 발생할 수 있었다. 또한 ADC의 위상도기도 잘 안 되었다. VDP에서는 H Sync의 rising edge를 기준으로 동작하므로 이러한 미세한 떨림은 화면흔들림(jitter)으로 보인다. 반대로 rising edge를 기준으로 H Sync를 만들면 아래의 그림 9에서 보듯이 Sync의 위치가 바뀐다.

정확한 H의 주기는 falling edge일 때이다. 즉 위의 그림9에서 (2)의 경우처럼 falling edge를 기준으로 H Sync를 만들면 주기가 딱 맞는 H Sync를 만들 수 있다. 그러나 (1)의 경우처럼 rising edge를 기준으로 하면 주기가 약간 짧아지게 된다. 그래서 ADC의 위상동기가 안정적으로 고정되지 않았다. 이 한계를 극복하기 위하여 원래의 H Sync(아날로그 신호처리부에서 올라오는)를 최대한 보존해야 한다. 지금까지의 방법에서 실제로 MASK신호가 적용되는 구간은 VBI 구간 중에서 V Sync 구간과 그 주위이다. 이 구간만 단안정 멀티바이브레이터에서 만들어준 신호를 스위칭해야 가장 이상적인 H Sync가 만들어진다. 그러나 이 방식을 사용하기 위해서는 각 모드를 찾을 수 있는 mode detector와 신호들을 스위칭 하기 위한 제어 부분이 그림 10과 같이 추가되어야 한다.

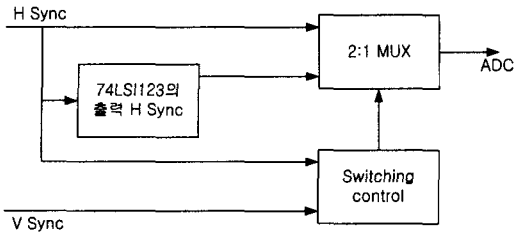


그림 10. VBI 구간만 만들어준 Sync를 교체하기 위한 구조
Fig. 10. Structure for switching horizontal synchronization pulse within VBI interval

- Mode detector & Switching control

VBI 구간에서 만들어준 H Sync 를 스위칭하기 위한 위치를 찾기 위해서는 그림 11과 같이 각 모드 별로 H Sync의 수를 카운트해야 한다.

각 모드를 찾기 위하여 EPLD 내부에 카운터를 만들어 H Sync의 수를 계수 한다. 이 값을 이용하여 480I, 480P, 1080I, 720P 각각의 모드를 찾는다. 이 때 모드 판별을 하기 위해 사용되는 카운트 값은 480P, 1080I, 720P 각각 514, 552, 740으로 설정하였다. (이 값은 실험적으로 측정하여 적절한 여유(margin)를 두어 정하였다.) 그리고 이 카운터를 이용하여 switching control 신호를 제어하는데 사용하였다.

또한 복사 방지(copy protect)용 신호가 들어간 480P에서는 V Sync가 끝나고 바로 H Sync에 복사 방지(protection) 신호가 들어가게 된다. 이것 또한 지금까지의 방법을 적용하여 제거할 수 있으나 H Sync의 교체 구간을 더 늘려 줘야 한다. 이를 위하여 중간에 설정 값이 더 들어간다. 480P에 들어가는 복사방지 신호는 V Sync다음에 발생하므로 그 쪽 쪽을 더 늘려주면(즉 switching 되는 구간을 늘

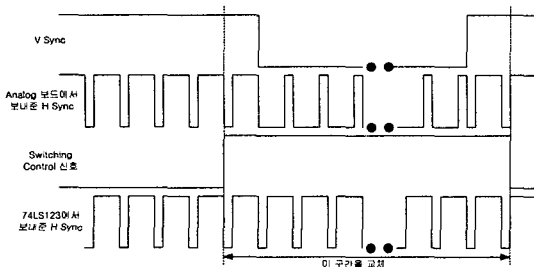


그림 11. 스위칭(switching)을 위한 구간
Fig. 11. Switching interval
려주면) 이 신호는 단안정 멀티바이브레이터에서 나오는 H Sync로 전환될 수 있다.

- H Sync의 폭 설정

위와 같은 방법으로 스위치를 이용하여 안정된 위상동기를 수행하였지만 모든 모드에 만족스럽지는 않았다. 이유는 그림 9에 나타나 있는 것과 같이 1080I와 720P는 Sync의 폭이 비슷하지만 480P는 상당히 큰 차이를 나타내기 때문이다. 그래서 두 개의 단안정 멀티바이브레이터를 사용하여 폭을 두 가지로 정하고, 각 모드에 따라 선택하여 사용할 수 있게 하였다.

- 입력 신호에 따른 선택

디지털 HD Monitor가 적용된 TV 입력은 Video1, Video2, Component1, Component2, VGA가 있다. 이중 480I, 480P, 1080I, 720P를 모두 입력으로 처리하는 단지는 Component1 과 Component2 입력이다. 즉 이 입력이 이외의 외부입력이나 VGA (RGB Mode)입력은 모두 H Sync에 대한 처리를 하지 않고 바로 통과시켜야 한다. 그래서 Component1과 Component2 입력이라는 것을 CPU에서 EPLD로 알려 준다. 이 입력과 내부의 mode detector의 신호를 가지고, 동기신호 최적화처리를 해야 하는 H Sync와 아닌 것을 구별하여 Sync의 경로를 제어해 주어야 한다.

3.2. 제안한 동기신호 최적화 제어 구조

그림 12는 지금까지의 모든 동기신호 최적화 과정을 나타내었다. H Sync가 들어오면 먼저 이 신호에서 불필요한 Sync들을 모두 제거하고 제거된 신호를 단안정 멀티바이브레이터로 보낸다. 동시에 mode detector는 입력된 신호의 모드를 찾고 또한

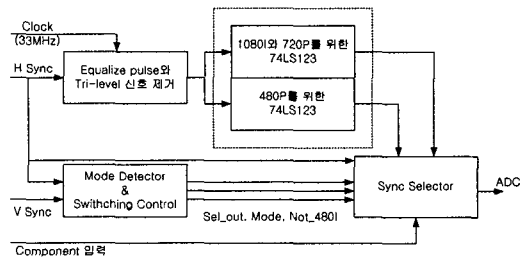


그림 12. EPLD에서 H Sync를 처리하는 과정
Fig. 12. Structure for processing horizontal synchronization signal in EPLD
switching control 신호를 동기신호 선택기(Sync Selector)에 보낸다. 최종적으로 동기신호 선택기는

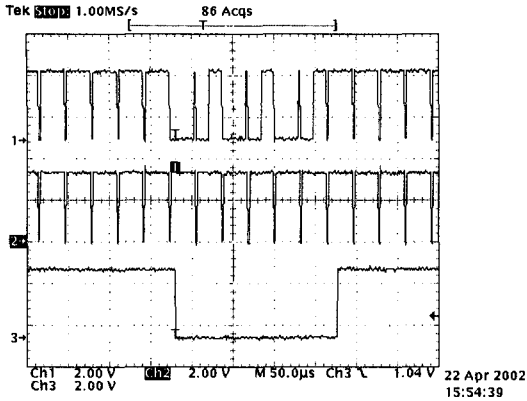


그림 13. 480P Mode에서의 Sync 신호파형
Fig. 13. Waveform of synchronization signals in 480P Mode

여러 가지 제어신호를 조합하여 최종 출력 신호를 만들게 된다. Component(DVD입력이라고도 함) 입력 신호가 low라면 이것은 component의 입력이 아니기 때문에 H Sync를 바로 출력한다. 그리고 480I 라면 이것 역시 통과시키게 된다. 이외의 경우에는 각 모드에 맞는 단안정 멀티비브레이터의 출력을 원래의 H Sync에 전환하여 최종 출력한다.

IV. 실험 및 결과

제한한 방법이 다양한 모드의 입력 신호들에 대

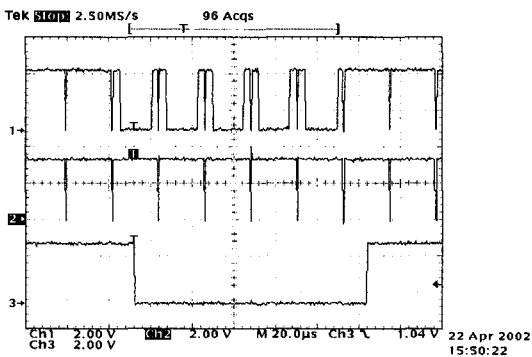


그림 14. 720P Mode에서의 Sync 신호파형
Fig. 14. Waveform of synchronization signals in 720P Mode

해 안정적으로 동기신호를 생성하는지 확인하기 위하여 본 논문에서는 신호발생기를 통하여 다양한 입력에 대한 실험을 하였다. 입력 신호로는 480P, 720P, 1080P신호를 사용하였으며, 정확한 동기신호

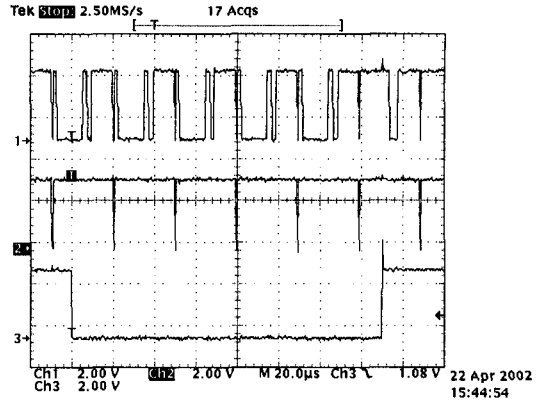


그림 15. 1080I Mode에서의 Sync 신호파형
Fig. 15. Waveform of synchronization signals in 1080I Mode

측정을 위해 이들 신호들에 대해 디지털 오실로스코프의 측정 결과를 영상으로 나타내었다.

그림 13~15에 나타난 파형에서 1번 파형은 동기신호 최적화회로를 거치기 전 수직동기구간에서의 H Sync를 나타내고, 2번 파형은 동기신호 최적화 회로를 거친 H Sync를 나타내며, 3번 파형은 아날로그 동기분리기에 처리된 V sync 구간을 나타낸다. 실제로 그림 13~15와 같이 수직 동기 구간(3번 파형 구간)에서 불안정한 H Sync(1번 파형)가 입력되더라도 본 동기신호 최적화 회로를 적용하였을 경우 안정된 Sync 신호(2번 파형)를 만들어 낼 수 있었으며, 이러한 안정된 Sync 신호를 바탕으로 여러 가지 입력 모드에서도 흔들림이 없는 깨끗한 화면을 얻을 수 있었다.

그림 16은 본 동기신호 최적화 회로를 적용한 고품위급 모니터의 디지털 신호처리 회로부를 적용한 Digital Board의 실제 구성을 나타내었다.

V. 결론

본 논문에서는 불안정한 여러 모드에서의 동기신호를 입력 신호들에 대한 공통요소분석을 통하여 안정된 H Sync로 만들기 위한 알고리즘을 제안하였다. 제안한 동기신호 최적화 기법은 여러 입력 신호의 수직 동기구간에서의 동기신호 차이를 각 모드별로 분석한 후, falling edge 신호의 타이밍이 일정하다는 성질을 이용하여 각 모드의 동기신호를 변형 시켰다. 고품위급 모니터의 디지털 신호처리 회로부에 제안한 동기신호 최적화 회로를 적용한 결과, 정확한 동기신호 변형으로 여러 입력 모드에 대해서 화면흔들림이 없는 화질을 얻을 수 있었다.

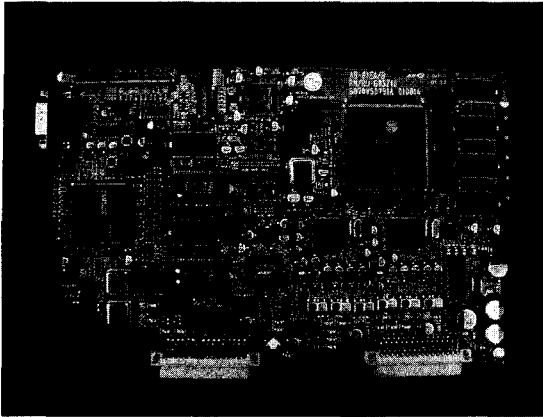


그림 16. 동기신호 최적화 회로를 적용한 고품위급 모니터의 디지털 신호처리 회로부의 실제 구성
Fig. 16. Actual configuration of digital signal processing part for HD monitor

참 고 문 헌

- [1] 김인철, "DTV 기술 개요", 대한전자공학회지, 제 28권, 11호, pp.1186-1192, 2001년
- [2] ATSC standard A/52, Digital Audio Compression Standard(AC-3), 1995.
- [3] ATSC standard A/53, ATSC Digital Television Standard, 1995.
- [4] Federal communications commission [Online]. Available:<http://ftp.fcc.gov/>
- [5] Dutta, S., "Architecture and design of NX-2700: a programmable single-chip HDTV all-format-decode-and-display processor," IEEE Transactions on Very Large Scale Integration(VLSI) Systems, Volume: 9 Issue: 2, pp. 313 -328, Apr. 2001.
- [6] D. Strassberg, "HDTV? The great picture isn't the whole picture," EDN Mag., Dec. 1998.
- [7] Texas Instruments Semiconductors -THS8083 [Online]. Available: <http://www.ti.com/sc/docs/products/index.htm>
- [8] SMPTE 274M-1998, Television 1920 x 1080 Scanning and Analog and Parallel Digital Interfaces for Multiple Picture Rates.
- [9] SMPTE 296M-2001, Television 1280 x

720 Progressive Image Sample Structure Analog and Digital Representation and Analog Interface.

- [10] SMPTE 293M-1996, Television 720 x 483 Active Line at 59.94-Hz Progressive Scan Production Digital Representation.
- [11] SMPTE 170M-1999, Television Composite Analog Video Signal NTSC for Studio Applications.

천 성 렬(Sung-Ryoul Cheon)

정회원



1987년 2월 : 서울대학교 전기공학과 졸업
1994년 2월 : 포항공과대학교 정보통신공학과 석사
2003년 8월: 경북대학교 전자공학과 박사
1987년 2월~2001년 12월: LG전

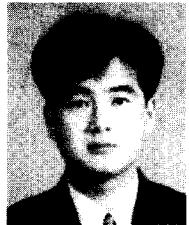
자 책임연구원(부장)

2002년 1월~현재 : 에이앤디 테크놀로지 기술이사

<주관심분야> 영상압축, 디지털신호처리, 디지털 TV 시스템, 임베디드 시스템

김 의 환(Ik-Hwan Kim)

정회원



1992년 2월 : 경북대학교 전자공학과 졸업
1994년 2월 : 경북대학교 전자공학과 석사
1994년 2월~현재 : LG전자 선임연구원(과장)

<주관심분야> 신호처리, 디지털 TV 시스템, 임베디드 소프트웨어

이 호 근(Ho-Keun Lee)

정회원

제 26 권 제 6B 호 참조

하 영 호(Yeong-Ho Ha)

정회원

제 25 권 제 8B 호 참조