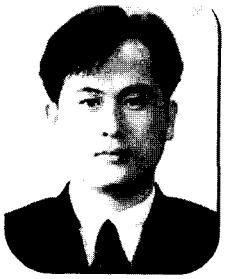
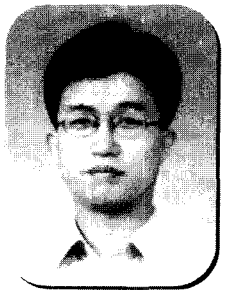
상변화 메모리의 연구 동향

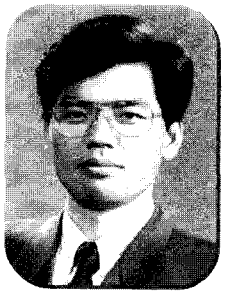


신웅철
한국전자통신연구원
선임연구원



조성목
한국전자통신연구원
선임연구원

류상욱
한국전자통신연구원
선임연구원



유병곤
한국전자통신연구원
책임연구원

1. 서 론

상변화 메모리(Phase change memory)란 재료의 결정상(crystalline phase)과 비정질상(amorphous phase)의 물리적인 특성 차이를 이용하여 정보를 저장하는 메모리를 말한다. 결정상과 비정질상의 광학적/전기적 특성 차이가 정보저장에 활용되어질 수 있다고 제안되어지고 있으며,[1-3] 광학적인 반사율의 차이는 현재 rewritable CD와 DVD(Digital Versatile Disc) RAM에 실제적으로 응용되어지고 있다.[4-7] Rewritable CD와 DVD RAM의 경우 정보는 결정상("1")과 비정질상("0")의 형태로 재료의 상(phase)을 통해 저장되며, 저장된 정보는 결정상과 비정질상의 레이저 반사율의 차이를 통해 인식된다. 지우기 동작(reset) 시에는 강한 power의 레이저 pulse를 이용하여 재료의 국부적인 부분을 순간적으로 용융/급냉 시킴으로써 비정질상(amorphous phase)을 유도하며, 쓰기 동작(set) 시에는 레이저를 이용하여 결정화 온도 이상에서 annealing을 행하여 재료의 결정화를 유도한다. 사용되는 레이저의 power와 pulse 폭(width)에 의해 이들 reset/set process가 결정되어진다. 저장된 정보의 읽기 동작(reading) 시에는 reset이나 set시에 사용된 레이저보다 훨씬 약한 power의 레이저를 조사하여 반사율을 측정하여 정보를 판독한다. 이들 광학 메모리(optical memory)의 경우 재료가 결정화되는 속도가 결국 메모리 소자의 동작속도를 결정짓게 되므로 되도록 짧은 시간에 결정화가 가능한 재료의 선정이 매우 중요하다. 그러므로 빨리 결정화되는 재료의 선정이 optical memory에 매우 중요하다. 현재는 대체로 ~수백 nsec 수준의 결정화 시간을 가지는 재료가 optical memory용 재료로 사용되어지고 있다. 현재 DVD RAM에는 Ge-Te-Sb계의 chalcogenide alloy들이 사용되고 있는데 chalcogenide 물질이라 하면 주기율표에서 VI족에 위치하는 원소들인 S, Se, Te등을 말하며, 적어도 이들 원소들 중 하나 이상을 가진 alloy를 chalcogenide alloy라 한다. 대체로 결정상은 금속과 유사한 특성을 지니며, 유리 상을 잘 형성하기 때문에 이들 계열의 유리(chalcogenide glass)에 대한 연구도 지금까지 많이 진행되어져 왔다. 이들 재료는 수십 nano seconds의 아주 짧은 시간에 결정화가 가능하며 결정상과 비정질상은 광학적인 반사율과 전기 저항에 있어서 큰 차이를 보인다. 결정상의 경우에는 높은 광학적 반사율과 낮은 전기저항을 가지나, 비정질상은 낮은 광학적 반사율과 높은 전기저항을 가진다.

한편, chalcogenide alloy의 결정/비정질 상의 전기

저항의 차이를 이용하여 정보를 인식하는 방법도 가능한데, 이를 활용하고자 하는 것이 상변화 메모리(Phase Change Memory)이다.[8] 상변화 메모리 소자의 개념은 읽기와 쓰기를 모두 전기적인 방법으로 대체할 수 있다는 아이디어에서 비롯하였다. 레이저 대신에 전기적인 가열의 방법을 통해서 쓰기 동작을 (결정/비정질상 변화) 할 경우, 레이저의 사용이 필요 없으므로 표준 CMOS 공정을 통한 메모리 소자 제조가 가능할 뿐만 아니라 기존의 광학 메모리들보다 훨씬 빠른 동작과 고집적화가 가능해질 수 있다.

상변화 메모리는 최초의 소자 개념을 제안했던 Ovshinsky의 이름을 따서 OUM(Ovonic Unified Memory)으로 명명되어졌으며, 현재 "Ovonyx"라는 회사에 의해 집중적으로 연구되어지고 있다. Ovonyx는 ECD(Energy Conversion Devices, Inc.)에 의해 설립된 회사이며, 최근 Intel이 이 회사에 투자를 하여 현재 공동 연구가 추진되고 있다. 상변화 메모리는 DRAM과 거의 유사한 속도가 가능하고 디바이스 구조에 있어서 DRAM과 큰 차이가 없으므로 향후 DRAM 수준 이상의 고집적화가 기대된다. 뿐만 아니라 DRAM과는 달리 비휘발성(nonvolatile) 이라는 점에서 커다란 매력이 있다. 그리고, 비휘발성 소자이면서도 현재 비휘발성 메모리의 주류인 NAND Flash에서는 불가능한 bit 단위의 random accessing이 상변화 메모리에서는 가능하다는 장점이 있다. 그리고 Ovonyx에서 발표한 초기결과에 따르면 10^{13} 이상의 쓰기/지우기 동작을 반복하여도 소자의 열화(degradation)가 없으며, 저장된 정보의 retention도 130°C의 고온에서 10년이상 가능하다.[9] 즉, 실용적인 수준에서는 거의 피로(fatigue) 현상이 없고 완전한 retention 특성을 보인다고 볼 수 있다. 표 1은 기존의 메모리들과 상변화 메모리의 성능을 비교하여 주고 있다. 이러한 여러 장점들 때문에 상변화 메모리은 현재 차세대 통합 메모리(unified memory) 로 가능성을 크게 주목받고 있다.

2. 소자 및 동작원리

상변화 메모리의 기본 개념은 쓰기와 읽기 동작을 모두 기존의 레이저를 이용한 광학적인 방법이 아닌 전기적인 방법을 통해 행한다는 점에 있다. 쓰기 동작을 위해서 상변화 재료(PCM(phase changing materials)이라 표기할 것임) 자체가 가지는 저항을 이용하여 저항가열을 행할 경우에 낮은 저항을 가지는 결정상은 쉽게 가열이 될 수 있으나, 높은 자체저항을 가지는 비정질상은 쉽게 가열이 되지 않는 문제(low current flow)가 발생할 수 있다. 하지만, chalcogenide alloy의 경우 충분히 높은 전계(~3×10^5V/cm)하에서는 Poole-Frenkel conduction이 일어나게 되고, 결과적으로 I-V curve가 문턱 전압(voltage

표 1. 메모리 소자들의 주요 성능값 비교[9].

	DRAM	SRAM (6T)	FLASH	OUM	MTJ-RAM	FERAM
Cell size (F^2)	6 - 12	50-80	7 - 11	5-8	???	Large
Volume @ .18uM (F^3)	17	80	1	0.028	???	Large
Volatile / Non-volatile	Volatile	Volatile	Non-volatile	Non-volatile	Non-volatile	Non-volatile
Endurance write/read	∞ / ∞	∞ / ∞	1E6 / ∞	>1E12 / ∞	> 1E12 / ∞	1E12 / 1E12
Read	Destructive	Partial-destructive	Non-destructive	Non-destructive	Non-destructive	Destructive
Direct Over-write	Yes	Yes	No	Yes	Yes	Yes
Bit/Byte Write/Erase	Yes	Yes	Block	Yes	Yes	Yes
Read dynamic range (margin)	100-200mV	100-200mV	Delta Current	10X - 100X R	20-40% R	100-200mV
Programming energy	Medium	Medium	High	Low	Medium	Medium
Write / Erase / Read time	50nS / 50ns / 50ns	8ns / 8 ns/ 8 ns	1uS / 1-100ms(block)/ 60 ns	10ns / 50ns / 20ns	30nS / 30ns / 30ns	80ns / 80ns / 80ns
Transistors	Low performance	High performance	High voltage	High performance	High performance	Low performance
CMOS Logic Compatibility	Bad	Good	OK, but Hi V req'd	Good	???	OK, but Hi V req'd
New Materials	Yes	No	No	Yes	Yes	Yes
Scalability Limits	Capacitor	6T	Tunnel Oxide /HV	Litho	Current Density	Polarizable Capacitor
Multi-bit storage	No	No	Yes	Yes	No	No
3D Potential	No	No	No	Yes	???	???
SER Susceptibility	Yes	Yes	No	No	No	Yes
Relative Cost per Bit	Low	High	Medium	Low	???	High

threshold)을 가지는 것으로 알려져 있다. 그림 1은 chalcogenide alloy의 current-voltage 특성을 보여주고 있다. 실선은 비정질상에 대한 것이고, 1사분면상의 점선은 결정상에 해당한다. 그림에서 볼 수 있듯이 V_{th}이상의 전계 하에서는 비정질상도 마치 결정상처럼 전도성을 띄게 되며, 이를 이용한 저항가열이 가능하다. 따라서, V_{th} 이상의 전계 하에서 current pulse를 재료에 가해줄 경우 재료의 상(결정/비정질)에 관계없이 재료를 가열할 수 있다. 그리고, 가해주는 current pulse의 높이(amplitude)를 이용해서 재료의 승온 온도를 제어할 수 있으며, 폭(width)를 이용하여 anneling 시간을 제어할 수 있다. 그림 2는 상변화 메모리 소자의 reset pulse와 set pulse를 보여주고 있다. 그림에서 t_1은 ~1nsec이며, t_2는 ~10nsec이다.

쓰기 동작과 지우기 동작이 current pulse를 이용한 가열을 통해서 이루어지므로 소자 구현에 있어서 전력소모(power consumption)에 관한 분석이 중요하다. 상변화 메모리가 새로운 메모리 소자로서의 매력을 지니기 위해서는 기존의 메모리 소자들과 충분히 경쟁 가능한 저전력 구동 능력을 가져야만 한다. 상변화 메모리 소자의 전력소모에 대한 개략적인 값은 간단하게 구형의 가열영역을 가정했을 때 쉽게 추정해 볼 수 있다. 그림 3는 Ovonyx에서 계산한 상변화 메모리 소자의 scaling에 따른 reset power의 변화 경향을 보여주고 있다. 구동에 필요한 power는 단위 cell에서 PCM(phase changing materials) 가열영역이 차지하는 부피와 열적 절연 상태들에 크게 영향을 받는다. 단위 cell당 차지하는 PCM 가열영역의 부피가 작을수록, 그리고 이 PCM 가열영역의 열적 절연 상태가 우수할수록 set(writing)과 reset(erasing)에 필

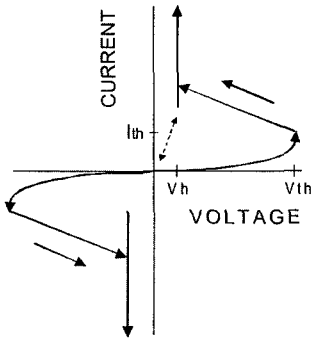


그림 1. Chalcogenide alloy의 current-volatage 특성

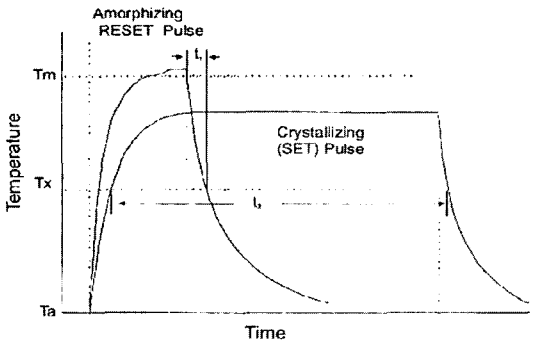


그림 2. 상변화 메모리 소자의 RESET pulse와 SET pulse.

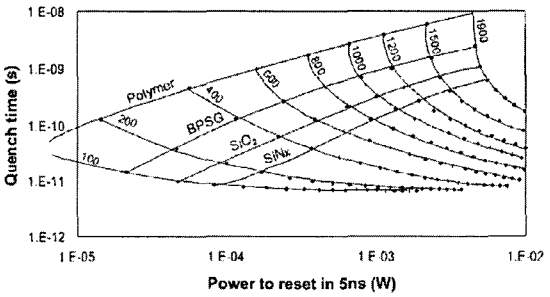


그림 3. PCM의 크기 및 주변 절연막의 변화에 따른 power 소모량의 변화[10].

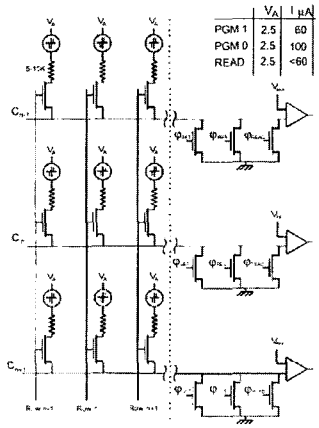


그림 4. 상변화 메모리 소자의 cell array[8].

요한 power는 감소한다. PCM의 열적 절연상태가 좋아지면 set/reset에 소모되는 power는 감소하지만 reset(비정질화)를 위한 충분한 급냉(quenching)이 이루어지지 못할 수도 있다. 따라서 소자는 PCM의 급냉을 위한 최소한의 열적 전도성을 가져야만 한다. 열적 전도는 thermal flux에 의해 결정되므로 PCM 영역의 표면적에 비례하게 되고, 소자가 scaling down 될수록 PCM의 부피에 대한 표면적의 비가 커지므로 quenching이 쉽게 가능할 것이다. 즉, 상변화 메모리 소자는 scaling down 될수록 power 측면에서 유리해진다.

그림 4은 상변화 메모리 소자의 cell array를 보여주고 있다. 개념적인 cell array의 모양은 DRAM과 거의 유사하며, 단지 차이점은 capacitor가 PCM으로 대체되었다는 점이다. Set과 reset을 위한 current는 bit line을 통해서 전달되며, MOS Tr.의 on/off는 word line을 통해 제어된다. 각각의 bit line에는 bit line을 통해 흐르는 current의 양을 제어하기 위한 control Tr.이 3개(set, reset, read Tr.) 연결되어 있다. Set 동작시에는 bit line에 연결된 set Tr.이 on되고(reset Tr.과 read Tr.은 off) word line에 의해 선택되어 open된 cell에 current pulse를 공급한다. 이때 current pulse의 amplitude는 set Tr.에 의해 제어된다. 같은 방법으로 reset 동작시에는 bit line에 연결된 reset Tr.이 open된다(set Tr.과 read Tr.은 off). 읽기 동작시에는 bit line에 연결된 read Tr.이 on 되어지고(reset Tr.과 set Tr.은 off), 매우 약한 current가 흐른다. 이때의 bit line의 전위를 기준 전위(V_{ref})와 비교하여 PCM의 저항 상태를 판단한다. 읽기 동작은 반드시 PCM의 문턱전압 이하의 (V_{th}) 매우 낮은 전압 하에서 이루어져야 한다. 따라서, set과 reset 동작에만 power가 소모되고 reading 동작시의 power 소모는 아주 미약하다.

상변화 메모리 소자의 동작 원리와 PCM의 상전이에 필요한 power를 동시에 고려할 때 부각될 수 있는 중요한 문제가 한가지 더 있다. Cell의 PCM에 흐르는 current를 on/off시키는 MOS FET의 용량 문제이다. MOS FET의 power 용량이 충분치 못하면 PCM의 전기적 특성을 바꾸기 위한 충분한 power를 공급하지 못하는 문제가 생길 수 있다. 이러한 문제는 소자가 scaling down 될수록 MOS FET의 power 용량이 감소하기 때문에 더욱 심각해 질 수 있다. 따라서, 이러한 문제를 해결하기 위해서는 PCM이 되도록 작게 디자인 되어져야 하며, 적어도 PCM에서 저항 변화가 일어나는 영역 만이라도 작은 부피로 디자인 되어야만 한다. 이러한 맥락에서 PCM과 전극간의 접촉면적을 최소화하려는 연구로써 edge contact에 의한 구조가 제안되기도 하였다.[11]

그림 5는 Ovonyx에 의해 초기에 연구되었던 planar offset device의 구조를 보여주고 있다. 상변화 재료는 $Ge_2Sb_2Te_5$를 사용하였고 전극 금속으로는 Ti-W 합금이 사용되었으며, 금속과 PCM 계면에 barrier 층으로 TiAlN이 사용되었다. Planar offset device는 2000년 이전에 test완료된 것으로 보이며 programming current-resistance, cycle life 등 초기의 주요한 결과들이 이 구조의 소자에서 얻어졌다.[8]

그림 6은 planar offset device의 programming curve를 보여주고 있다. 약 0.7mA 이상의 전류에서 PCM의 결정화가 일어나며, 1.5mA 이상의 전류에서는 완전한 melting이 이루어져 비정질화가 일어난다. 이러한 programming curve는 이 소자가 훌륭하게 메모리 소자로서 동작할 수 있음을 보여주고 있다.[8]

최근까지 Ovonyx사와 Intel에서는 소자 구조에 관한 많은 특허를 등록하였다. 또한 최근에 Micron Technology에서도 소자 구조와 관련된 다수의 특허를 등록하였다. PCM 상전이를 위해 충분한 전류 용량을 가지는 현실성 있는 디바이스의 구조 설계가 앞으로 상변화 메모리의 현실화에 중요한 관건이 될 것으로 생각된다

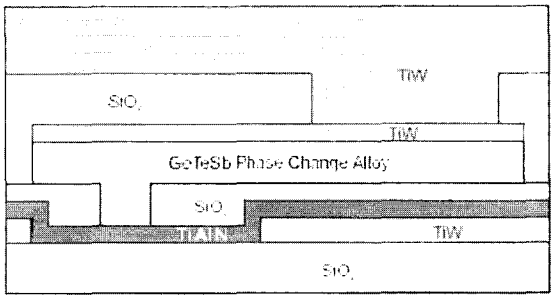


그림 5. Ovonyx의 초기 device 구조[8] (Planar offset device).

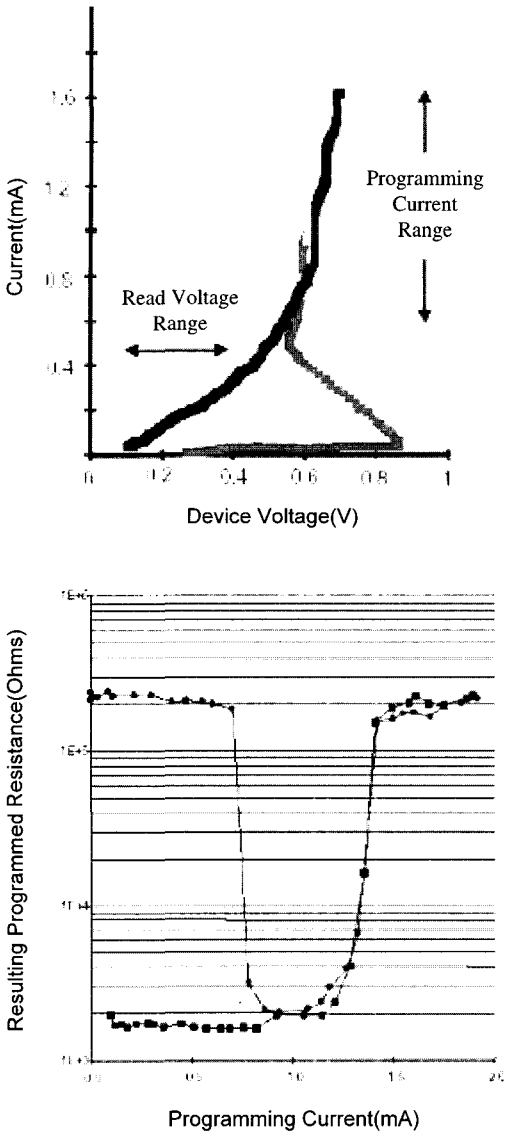


그림 6. Planar offset device의 programming curve 특성[8] (Ovonyx, 1999년)

3. 상변화 재료

상변화 메모리에 쓰이는 상변화 재료로 현재까지 연구된 재료는 Ge-Te-Sb 계열의 chalcogenide alloy이며, 대부분 GeTe-Sb_2Te_3 유사 2성분계 선(pseudo binary line)에 위치한 조성들이다. 이들 조성들은 모두 ECD에 의해 특허로 점유되어 있다. 그리고 ECD(Energy Conversion Device, Inc.)의 OUM관련 특허는 모든 license가 Ovonyx에 양도 되어져 있다. 그림 7는 Ge-Te-Sb 삼성분계의 상태도(phase diagram)와 Ge-Te-Sb계 chalcogenide alloy 들의 결정화에 필요한 레이져 펄스 조사 시간을 보여주고 있으며, 그림 8은 상태도에서 GeTe-Sb_2Te_3 유사 2성분계 선(pseudo binary line) 상에 위치한 중간 화합물(intermediate compound)들의 결정 구조를 보여주고 있다. 모두 hexagonal closed packing(HCP) 형태의 결정구조를 가

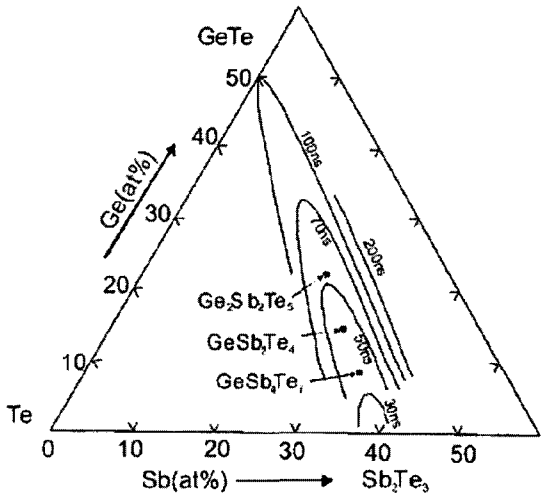


그림 7. Ge-Te-Sb 삼성분계 상태도[7] (Te-rich 영역).

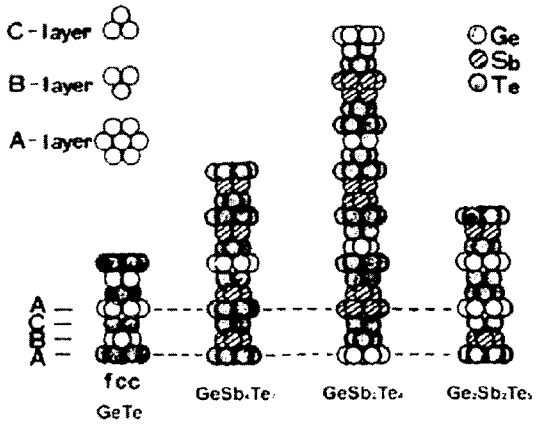


그림 8. GeTe-Sb_2Te_3계 compound들의 결정구조[7].

지며, 조성변화에 따라서는 단지 원자 층의 수와 종류에만 변화가 있다. 그리고, 비결정상에서 결정상으로 전이될 때 fcc 형태의 중간 상(metastable intermediate phase)을 거치는 것으로 보고되고 있다.[7] 상전이의 mechanism은 nucleation & growth 이며, 상전이의 동력학(kinetics)에 대한 깊이 있는 연구는 아직 이루어지지 않고 있다. 재료의 용융온도(T_m)는 대체로 600° C 이상이며, 유리 전이(glass transition) 온도(T_g)는 조성에 따라 많이 변화한다. 재료의 결정화는 T_g~T_m 사이의 온도에서 annealing을 행함으로 유도되어 질 수 있다. 화학양론적(stoichiometric) 조성의 물질일수록 결정화 속도가 빠르며, 화학양론 조성에서 벗어날수록 결정화는 느려지는 경향을 보인다. 그리고, GeTe에 가까운 화합물일수록 결정화 속도는 느려지며 Sb_2Te_3에 가까운 화합물일수록 결정화 속도는 빨라진다. Sb_2Te_3에 지나치게 가까운 조성은 결정화 온도가 너무 낮아서 실용화에 어려움이 있으며, 현재 가장 많이 연구되고 있는 조성은 $Ge_2Sb_2Te_5$이다.[12-13] $Ge_2Sb_2Te_5$ 조성을 근간으로 하여 이 조성에 transition metal이 소량 첨가된 조성도 많이 연구되고 있으며, Cr, Fe, Ni, Nb, Pb, Pt 등이 첨가된 조성이 Energy Conversion Device (ECD)의 특허에 명시되어 있다.[14] 그리고, 이 조성들에 소량의 Se가 첨가된 조성도 ECD에 의해 특허가 점유되어 있다.[15] 또한 그들의 특허 내용에 따르면 이들 재료의 적용시에 저항 값의 drift를 막기 위해서 "compositional modification"이 필요한 것으로 보인다.[16] Compositional modification을 위해 두께에 따라 조성의 변화를 주는 "compositional grading" 또는 층간으로 조성변화를 반복하는 "compositional layering"의 방법이 사용되어질 수 있다. 이러한 compositional modification에는 보통 $Ge_{14}Sb_{29}Te_{57}$과 $Ge_{22}Sb_{22}Te_{56}$을 근간으로 하는 조성들이 사용되어진다. Compositional grading의 경우에는 $Ge_{22}Sb_{22}Te_{56}$을 시작조성으로하여 두께가 두꺼워 질수록 $Ge_{14}Sb_{29}Te_{57}$의 조성에 가깝게 변화를 주게 되고, compositional layering의 경우에는$Ge_{22}Sb_{22}Te_{56}$ 층과 $Ge_{14}Sb_{29}Te_{57}$ 층을 반복적으로 적층한다. 그리고, 이들 두가지의 방법이 복합적으로 적용되어질 수도 있다고 명시되어 있다. 또한 이들 물질과 유전체를 섞어 만든 hetero 구조를 이용하여 multi-bit writing에 사용한 특허도 보인다.[17] 일부에서는 $Ge_2Sb_2Te_5$ 조성에 nitrogen이나 oxygen을 첨가함으로써 GST의 비저항을 조절하는 연구도 진행되고 있다.[18] 일본의 가나자와 대학의 Suzuki교수 연구팀에서는 상변화 재료의 융점을 낮추고자 하는 시도로 AsSbTe계 물질과 SeSbTe계 상변화 물질에 대한 연구를 수행하고 있다.[19-20]

chalcogenide alloy 재료의 열팽창계수는 ~23ppm 수준으로 silicon(2.33ppm) 보다는 매우 높으며, Al(23.6ppm) 등의 금속과 유사한 수준이다. 재료의 열 전도율은 0.003~0.018J/cm · K · sec으로 절연성이 대체로 우수한 편인데(e.g., SiO_2~0.014), 이러한 우수한 절연성은 이 재료 자체를 열적 절연막으로 활용할 수 있는 가능성을 보여준다. 결정상의 밀도는 ~6.2g/cm^3($Ge_2Sb_2Te_5$, fcc) 수준이다. 결정상과 비정질상의 전기전도도의 차이는 조성에 따라 변화하고, 크게는 10^6배까지 차이날 수 있으며, 소자 상태에서도 저항값은 PCM 물질의 상에 따라 적어도 40배 이상 차이난다(일반적으로 2order 이상).

상변화 재료의 박막증착은 일반적으로 sputtering deposition 공정이나 evaporation deposition 공정을 통해 진행되어질 수 있다. 이중 sputtering deposition 공정이 신뢰성 있는 소자의 제작에 적합할 것으로 여겨지며 증착은 조성조절이 된 단일 target을 이용하여 이루어질 수도 있으나, 재료 연구의 측면에서는 각각의 성분원소들로 구성되는 multi-target(3개 이상)을 이용하는 것이 효율적일 것이다.

4. 최근 연구동향

지금까지 상변화 메모리 관련 연구결과로 regular paper로 발표된 것은 거의 찾아보기 힘들며, 몇 편의 proceeding paper가 전부이다. 지금까지의 연구결과들은 대부분 patent 형태로 등록되어 있는 것으로 보인다. 따라서, 학교 또는 전문 연구소에서의 연구 진행상황은 쉽게 파악이 되지 않는다. US patent의 경우 대부분의 상변화 메모리 관련 초기 특허들은 ECD에 의해 점유되어 있고 이들 특허의 license는 모두 Ovonyx에 양도되어져 있는 상태이다. 최근에는 Micron Technology에서 등록한 상변화 메모리 관련

특허가 다소 보인다. 2000년 2월 Intel이 Ovonyx에 투자를 하고 공동연구를 진행한다고 발표하였으며 Ovonyx의 상변화 메모리 관련 기술이 Intel에 양도되었다. 실제 Ovonyx는 몇몇 공정들을 진행할 수 있는 장비들을 제외하면 자신들의 Fab.을 가지고 있지는 않고, 현재 상변화 메모리 개발 공정은 대부분 Intel에 의해 진행되어지고 있는 것으로 보인다. 그리고, 2000년 12월 ST Microelectronics도 Ovonyx와 상변화 메모리 관련 license 계약을 맺고 공동연구에 참여했다. 즉, 현재 Intel, Micron Tech., ST Microelectronics 등의 주요 반도체 업체들이 상변화 메모리 개발에 관심을 가지고 참여하고 있는 것으로 파악된다. 그외 Air Force Research Lab.과 Mission Research Corp.도 Ovonyx와 공동연구를 진행하고 있는 것으로 보인다. 최근들어 국내 반도체 소자업체에서도 차세대 메모리 개발의 일환으로 연구에 착수하여 많은 투자가 이루어지고 있는 것으로 여겨진다.

Intel의 경우 Ovonyx와 합작하여 180nm technology node을 적용한 4M test chip를 제조하여 소자의 동작 특성을 발표하였다.[9]

그림 9는 Intel에서 발표한 OUM 소자의 전류-전압 특성과 저항-전류특성을 나타낸다. I-V 특성에 의하면, 결정화한 set 상태에서는 저저항의 금속과 같은 거동을 보인다. 이에 비해, 비정질의 reset 상태에서는 저항이 높아진다. 두 상태 모두 문턱전압(V_{th}) 이상의 전압이 되면 특성이 반전한다. 즉, reset 상태로부터 전압을 높여 800mA가 흐르게 하도록하면 set 상태가 된다. 읽어내기는 0.4V보다 낮은 전압을 사용하여 변화가 일어나지 않도록 한다. R-I 특성을 보면, set 상태로부터 전류를 높여 가면, 일정 값을 넘은 시점에서 reset 상태가 된다는 것을 알 수 있다. 반대로 reset 상태로부터 전류를 높여 가면, 일단 set 상태가 되었다가 다시 reset 상태가 된다. 이러한 programming curve는 이 소자가 훌륭하게 메모리 소자로서 동작할 수 있음을 보여주고 있다.

바꾸어쓰기 특성은, 한 개의 셀에 대해 10^{10}~10^{12}회의 쓰기 동작을 반복하여 이력을 측정한 data를 그림 10에서 보여준다. 그림에서 보듯이 set 상태와 reset 상태 사이의 충분한 저항차가 확보되어 있다. 10^{10}~10^{12}회의 바꾸어쓰기 동작을 반복한 경우, set 상태는 10kΩ보다 저항이 낮고, reset 상태는 100kΩ 정도의 저항값을 나타내었다.

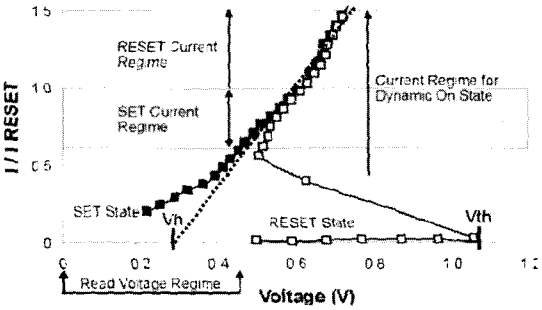


그림 9.1. Intel에서 발표한 OUM 소자의 전류-전압특성[9].

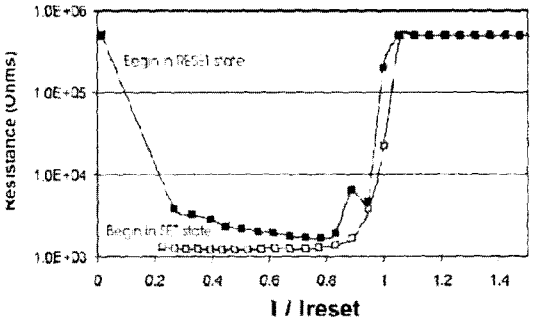


그림 9.2. Intel에서 발표한 OUM 소자의 저항-전류특성[9].

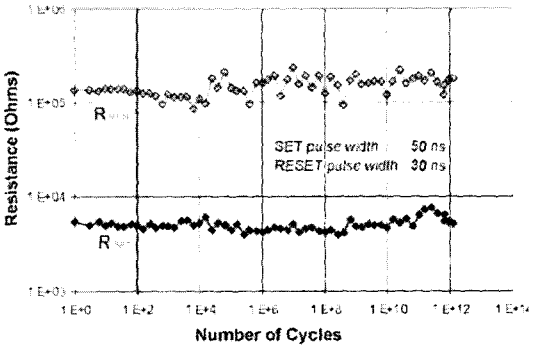


그림 10. Intel에서 발표한 OUM 소자의 R_{set}과 R_{reset}의 cycle 특성[9].

Samsung의 경우 2003년에 열린 VLSI Technology Symposium에서 0.24μm-CMOS Techlonogy를 기반으로한 상변화 메모리를 소개하였다.[21]

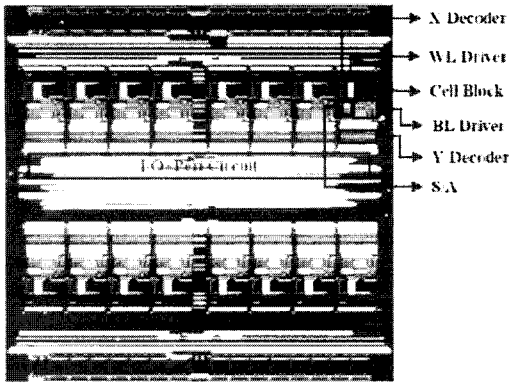


그림 11. Samsung에서 제조한 PRAM의 Chip 사진[21].

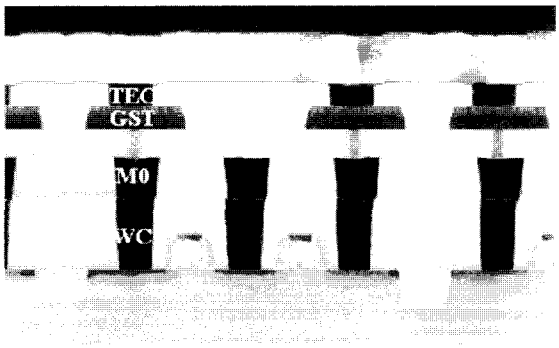


그림 12. PRAM셀 구조의 TEM 단면사진[21].

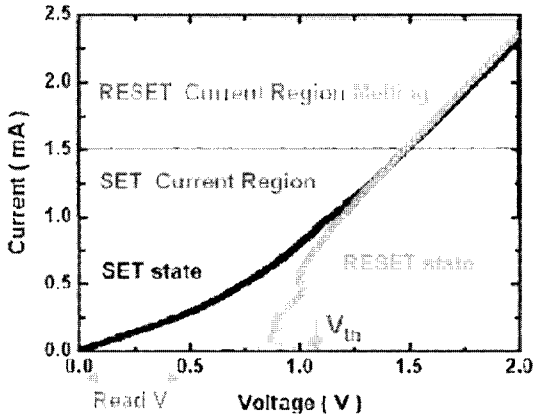


그림 13. GST 셀의 전류-전압 특성[21].

그림 11와 12에서 Samsung에서 제조한 PRAM (Phase-change Random Access Memory)의 chip 사진과 제조된 PRAM셀 구조의 TEM으로 관찰한 단면사진을 보여준다. 그림 13는 위 구조로 제조된 GST 셀의 결정질 상태와 비정질 상태에서의 전류-전압특성을 보여준다. 읽기 영역에서 set과 reset 저항차가 확연히 구분되며 약 1.1V의 V_{th} 값을 보였다. 또한 85°C의 고온 동작시에도 열화되지 않는 우수한 특성을 보였으며 ~10^9회의 바꾸어쓰기 동작을 반복한 경우에도 파괴가 일어나지 않는 우수한 특성을 보고하였다.

5. 결 론

현재 상변화 메모리 소자는 차세대 통합 메모리로서의 가능성을 크게 평가 받고 있으며, Intel, Ovonyx, Samsung 등에 의해 집중적으로 연구되어지고 있다. 상변화 메모리가 실제 제품화 된다면 초기의 침투 시장은 Flash 등의 비휘발성 메모리를 대체하는 정도가 될 것이다. 그러나, 향후 소자의 집적화와 저전력화가 성공적으로 이루어진다면 DRAM 등을 포함하는 통합메모리로서 시장을 장악할 가능성도 무시할 수는 없다.

현재까지 상변화 메모리에 관한 국내의 연구경험은 미흡한 실정이다. 상변화 메모리 소자의 경우 아직 시작 단계이기 때문에 parameter 값들에 대한 정보가 명확하게 알려져 있지 못하고 대체로 추정되는 수준이다. 특히 상변화 메모리의 실용화를 위한 핵심기술로써 상변화 재료에 대한 많은 연구가 필요하다. 아직은 잠재적인 수준이지만 상변화 메모리 소자가 가지는 폭 넓은 시장성과 반도체 업체들의 적극적인 연구 의지 등을 고려해 볼 때 상변화 메모리 소자에 관한 국내 연구진의 활발한 연구가 절실히 요구된다.

참고 문헌

[1] S.Ovshinsky, "Reversible Electrical Switching Phenomena in Disordered Structures", Phys. Rev. Lett.,Vol.21(20), p.1450, 1968.

[2] H.Fritzsche, "Electronic Phenomena in Amorphous Semiconductors", Annual Review of Materials Science, Vol.2, p.697, 1972.

[3] S.Ovshinsky, "Amorphous Materials-The key to New

Devices" IEEE Proc. of CAS, Vol.1, p.33, 1998.

[4] M.Chen, K.Rubin, R.Barton, "Compound Materials for Reversible Phase-Change Optical Data Storage", Appl. Phys. Lett., Vol.49(9), p.502, 1986.

[5] N.Akahira, N.Yamada, K.Kimura, M.Takao, "Recent Advances in Erasable Phase-Change Optical Disks", SPIE Vol.899 Optical Stroage Technology and Applications, p.188, 1988.

[6] J.Solis, C.Alfonso, S.Hyde, N.Barry, P.French, "Existence of Electronic Excitation Enhanced Crystallization in GeSb Amorphous Thin Films upon Ultrashort Laser Pulse Irradiation", Phys. Rev. Lett., Vol.76(14), p.2519, 1996.

[7] N.Yamada, E.Ohno, K.Nishiuchi, N.Akahira, M.Takao, "Rapid-Phase Transitions of GeTe-Sb2Te3 Pseudobinary Amorphous Thin Films for an Optical Disk Memory", J. Appl. Phys., Vol.69(5), p.2849, 1991.

[8] "Ovonic Unified Memory," http://www.Ovonyx.com 게시자료 (Non-Confidental, 1999년12월 발표).

[9] S.Lai, T.Lowrey, "OUM-A 180nm nonvolatile memory cell element technology for stand alone and embedded applications", IEEE IEDM Tech. Dig., p.803, 2001.

[10] S. Tyson, G.Wicker, T.Lowrey, S.Hudgens, K.Hunt, "Nonvolatile, High Density, High Performance Phase-Change Memory," IEEE Aerospace Conference Proceeding, Vol.5 p.385, 2000.

[11] Y.H.Ha, J.H.Yi, H.Horii, J.H.Park, S.H.Joo, S.O.Park, U.I.Chung, J.T.Moon, "An Edge Contact Type Cell for Phase Change RAM Featuring Very Low Power Consumption" IEEE Symposium on VLSI Tech. Dig., p.175, 2003.

[12] S. R. Ovshinsky, S.J.Hudgens, W.Czubatyj, D.A.Strand, G.C.Wicker "Electrically Erasable Phase Change Memory" US Patent No. 5, 166, 758, 1992.

[13] S. R. Ovshinsky, W.Czubatyj, Q.Ye, D.A.Strand, S.J.Hudgens, "Electrically Erasable Directly Overwritable, Multibit Single Cell Memory Elements and Arrays Fabricated Therefrom" US Patent No. 5,296,716, 1994.

[14] S. R. Ovshinsky, S.J.Hudgens, W.Czubatyj, D.A.Strand, G.C.Wicker "Electrically Erasable Memory Elements Having Reduced Switching Current Requirements and Increased Write/Erase Cycle Life" US Patent No. 5, 341, 328, 1994.

[15] S. R. Ovshinsky, "Electrically Erasable Memory Elements Characterized by Reduced Current and Improved Thermal Stability" US Patent No. 5, 359, 205, 1994.

[16] S. R. Ovshinsky, S.J.Hudgens, W.Czubatyj, D.A.Strand, G.C.Wicker "Electrically Erasable Memory Elements Having Improved Set Resistance Stability" US Patent No. 5, 414, 271, 1995.

[17] S. R. Ovshinsky, W.Czubatyj, D.A.Strand, P.J.Klersy, S.Kostylev, B.Pashmakov, "Memory Element With Memory Comprising Phase-Change Material and Dielectric Material" US Patent No. 6, 087, 674, 2000.

[18] H.Horii, J.H.Yi, J.H.Park, Y.H.Ha, I.G.Baek, S.O.Park, Y.N.Hwang, S.H.Lee, Y.T.Kim, K.H.Lee, U.I.Chung, J.T.Moon, "A Novel Cell Technology Using N-doped GeSbTe Films for Phase Change RAM" IEEE Symposium on VLSI Tech. Dig., p.177, 2003.

[19] K.Nakayama, T.Kitagawa, M.Ohmura, M.Suzuki, " Nonvolatile Memory Based on Phase Transition in Chalcogenide Thin Film" Jpn. J. Appl. Phys., Vol.32. p.564, 1993.

[20] K.Nakayama, K.Kojima, Y.Imai, T.Kasai, S.Fukushima, A.Kitagawa, M.Kumeda, Y.Kakimoto, M.Suzuki, " Nonvolatile Memory Based on Phase Change in Se-Sb-Te Glass" Jpn. J. Appl. Phys., Vol.42. p.404, 2003.

[21] Y.N.Hwang, J.S.Hong, S.H.Lee, S.J.Ahn, G.T.Jeong, G.H.Koh, J.H.Oh, H.J.Kim, W.C.Jeong, S.Y.Lee, J.H.Park, K.C.Ryoo, H.Horii, Y.H.Ha, J.H.Yi, W.Y.Cho, Y.T.Kim, K.H.Lee, S.H.Joo, S.O.Park, U.I.Chung, H.S.Jeong, K.Kim,

"Full Integration and Reliability Evaluation of Phase-Chang RAM Based on 0.24μm-CMOS Technologies", IEEE Symposium on VLSI Tech. Dig., p.173, 2003.

· 저 · 자 · 약 · 력 · · · · · · · · · · · · · · ·

성 명 : 신 웅 철

❖ 학 력
- 1996년 충남대 재료공학과 공학사
- 1998년 충남대 재료공학 공학석사
- 2002년 충남대 재료공학 공학박사

❖ 경 력
- 2002년-현재
  한국전자통신연구원 반도체원천기술연구소 선임연구원

성 명 : 조 성 목

❖ 학 력
- 1992년 포항공과대 신소재공학과 학사
- 1994년 포항공과대 신소재공학 공학석사
- 2001년 포항공과대 신소재공학 공학박사

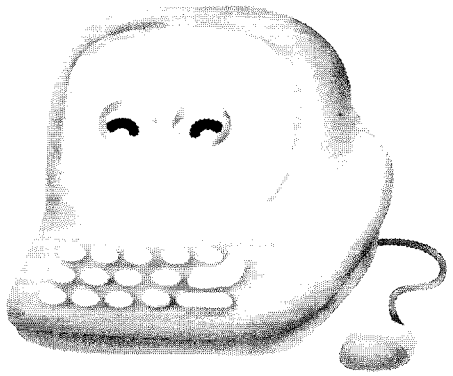
❖ 경 력
- 1994년 - 1996년
  삼성전자(주) 반도체연구소
- 2001년 - 현재
  한국전자통신연구원 반도체원천기술연구소 선임연구원

성 명 : 류 상 욱

❖ 학 력
- 1992년 경북대 무기재료공학과 공학사
- 1995년 University of Missouri-Rolla, School of Mines and Metallurgy 공학석사
- 1999년 Virginia Tech, Materials Engineering Science 공학박사

❖ 경 력
- 1999년 - 2000년
  Virginia Tech, Photonics Lab Post-doc.
- 2001년 - 현재
  한국전자통신연구원 반도체원천기술연구소 선임연구원

성 명 : 유 병 곤

❖ 학 력
- 1984년 경북대 물리학과 학사
- 1987년 동경공업대학 원자핵물리학 공학석사
- 1990년 동경공업대학 원자핵물리학 공학박사

❖ 경 력
- 1990년 - 1991년
  일본 히다찌 중앙연구소연구원
- 1991년 - 현재
  한국전자통신연구원 반도체원천기술연구소 책임연구원