

論文2003-40SD-12-12

# 확률분포 특성을 이용한 OFDM용 IFFT/FFT 프로세서 설계

## (Design of an IFFT/FFT processor with manipulated coefficients based on the statistics distribution for OFDM)

崔源喆\*, 李炫\*\*, 趙慶錄\*

(Won-Chul Choi, Hyun Lee, and Kyoung-Rok Cho)

### 요약

본 논문에서는 통계적 분석 방법으로 IEEE 802.11a WLAN의 OFDM 모델용 IFFT 및 FFT의 양자화 에러를 최소화하는 설계방법을 제안한다. 제안된 방법은 IFFT 및 FFT의 회전계수(twiddle coefficient)에 통계적으로 계산된 계수를 적용하여 회전계수를 수정하는 새로운 알고리즘을 사용한다. 본 논문에서는 알고리즘을 radix-2<sup>2</sup> SDF(single-path delay feedback) 구조에 적용하여 설계하였고 IFFT와 FFT의 대칭적 성질을 이용하여 회로블록을 공유하도록 하였다. 회로 레벨에서 설계된 입출력 10비트인 송신단의 IFFT와 수신단의 FFT가 자기루프 구조 가졌을 때 최대 양자화 오차는 0.0021이다. 기존의 선형확장 회전계수의 최대 양자화 오차가 0.0087로 측정되었기 때문에 제안된 프로세서가 3비트 효율이 좋다.

### Abstract

In this paper, we propose an IFFT/FFT design method to minimize quantization error in IEEE 802.11a WLAN. In the proposed algorithm, the twiddle coefficient of IFFT/FFT processor is manipulated by the statistics distribution of the input data at each stage. We apply this algorithm to radix-2<sup>2</sup> SDF architecture. Both IFFT and FFT processor shares the circuit blocks cause to the symmetric architecture. The maximum quantization error with the 10 bits length of the input and output data is 0.0021 in IFFT and FFT that has a self-loop structure with the proposed method. As a result, the proposed architecture saves 3bits for the data to keep the same resolution compared with the conventional method.

**Keyword** : FFT processor, IEEE 802.11a WLAN, OFDM

### I. 서론

IEEE 802.11a WLAN에 사용된 OFDM(Orthogonal

\* 正會員, 忠北大學校 情報通信工學科

(Dept. of Computer and Communication Engineering, Chungbuk National University)

\*\* 正會員, 韓國電子通信研究院

(Electronics and Telecommunications Research Institute)

接受日字:2003年3月3日, 수정완료일:2003年11月27日

Frequency Division Multiplexing) 전송방식은 채널의 스펙트럼 효율을 극대화하기 위해 직교성을 갖고 있는 부반송파를 이용하여 전송하는 방식을 취하고 있다. 이런 다수 반송파 전송의 형태를 취하고 있는 OFDM 시스템은 고속 전송률을 갖는 데이터열을 낮은 전송률을 갖는 많은 수의 데이터열로 나누고 이들을 다수의 부반송파를 사용하여 동시에 전송한다[1]. 또한 주파수 분할 다중화는 DFT 기반의 다수 반송파 기술을 사용하여 대역통과 필터가 아닌 기저대역 처리로 이를 수 있다. 주파수 분할 다중화에 필요한 부반송파 오실레이터

뱅크와 동기식 복조기를 제거하여 디지털 구현을 이룰 수 있다. 일반적으로 DFT는 연산량이 많아 하드웨어로 구현 시 비효율적이므로 연산량을 감소시키기 위하여 고속 푸리에 변환(FFT)을 사용한다[1]. <표 1>은 대표적인 FFT알고리즘의 하드웨어 요구사항을 나타낸다[2].

표 1. FFT알고리즘에 대한 하드웨어 요구사항  
Table 1. Hardware requirement for FFT algorithm.

Items Algorithm	# of multiplier	# of adder	memory size	control complexity
R2MDC	$2(\log_2 N-1)$	$4\log_2 N$	$3N/2-2$	simple
R2SDF	$2(\log_2 N-1)$	$4\log_2 N$	$N-1$	simple
R4SDF	$\log_2 N-1$	$8\log_2 N$	$N-1$	medium
R4MDC	$3(\log_2 N-1)$	$8\log_2 N$	$5N/2-4$	simple
R4SDC	$\log_2 N-1$	$3\log_2 N$	$2N-2$	complex
R2 <sup>2</sup> SDF	$\log_2 N-1$	$4\log_2 N$	$N-1$	simple

FFT시에 알고리즘의 선택은 하드웨어 크기를 결정하는 중요한 사항 중에 하나이다. 그러나 같은 알고리즘을 적용하여도 주어진 입력신호의 특성에 맞게 FFT 각 단의 비트 및 회전계수를 최적화한다면 IFFT 및 FFT 프로세서의 성능은 달라지게 된다. 본 논문에서는 IFFT 및 FFT 프로세서의 입력신호 특성을 분석하기 위해 <그림 1>과 같이 구성되는 IEEE 802.11a 통신시스템을 기반으로 한다.

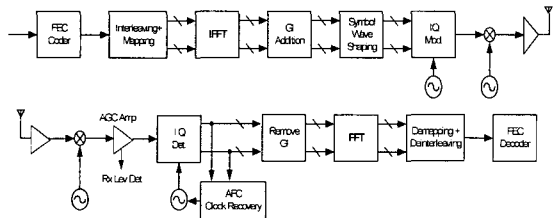


그림 1. IEEE 802.11a 통신시스템 블록도  
Fig. 1. Blockdiagram of IEEE 802.11a communication system.

<그림 1(a)>의 송신부는 MAC(Media Access Control)을 통해 전송된 데이터가 FEC 부호기의 스크램블러와 콘볼루션 부호기를 거치고 인터리버 및 맵퍼를 통하여 IFFT에 입력된다. 이런 과정을 통해 이진 데이터는 균일 랜덤 변수가 되고 IFFT 내의 버터플라이 연산을 통해 실수와 허수가 각각 중앙 극한 정리

(Central Limit Theorem)에 의해 가우시안 분포를 형성하게 된다. 본 논문에서는 IEEE 802.11a WLAN에서 IFFT 이전 블록을 균일 확률변수 발생기로 가정하고 IFFT를 수행하여 그 내부신호의 확률분포 특성을 이용하여 양자화 에러를 최소화하는 방법을 제안한다. 제안된 방법을 알고리즘 radix-2<sup>2</sup> 구조에 적용하여 프로세서를 설계하였다.

논문의 구성은 다음과 같다. II장에서는 FFT 프로세서의 사양 및 알고리즘을 제시하고 III장에서는 신호 분석을 통한 IFFT/FFT 프로세서 최적화 방안을 제시하였다. VI장에서는 양자화 잡음을 분석하고 V장에서는 시뮬레이션을 통해 성능을 평가하고 IV장에는 결론을 맺는다.

II. FFT 프로세서의 사양 및 알고리즘

1. IEEE 802.11a WLAN용 IFFT/FFT의 사양

IEEE 802.11a WLAN에서 요구되는 IFFT/FFT 사양은 BPSK, QPSK, 16-64QAM을 만족하는 데이터 정밀도가 요구되며 20MHz의 동작속도를 만족해야 한다. 일반적으로 부동소수점 방식의 연산회로는 동작 주파수 20MHz를 만족하기 어려우므로 FFT의 연산은 고정소수점 방식을 사용하며 동작 속도를 높이기 위해 파이프라인 구조를 채택하였다.

2. Radix - 2<sup>2</sup> SDF 알고리즘

N의 크기를 가진 DFT의 정의는 식 (1)과 같이 나타낼 수 있다.

$$X(k) = \sum_{n=0}^{N-1} x(n) \exp[-j \frac{2\pi nk}{N}] \quad 0 \leq k < N \quad (1)$$

$\exp[-j \frac{2\pi nk}{N}] = W_N^{nk}$  라 할 때 식 (2)와 같이 표시할 수 있다.

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk} \quad (2)$$

식 (2)에 식 (3)과 같은 3차원 선형 인덱스 사상을 적용하면 공통 요소 알고리즘의 형태를 가진 식 (4)와 같이 표현된다.

$$n = \lfloor \frac{N}{2} n_1 + \frac{N}{4} n_2 + n_3 \rfloor > N$$

$$k = \langle k_1 + 2k_2 + 4k_3 \rangle > N \tag{3}$$

$$\begin{aligned}
 & X(k_1 + 2k_2 + 4k_3) \\
 &= \sum_{n_1=0}^{\frac{N}{4}-1} \sum_{n_2=0}^{\frac{N}{4}-1} \sum_{n_3=0}^{\frac{N}{4}-1} x\left(\frac{N}{2}n_1 + \frac{N}{4}n_2 + n_3\right) W_N^{\left(\frac{N}{2}n_1 + \frac{N}{4}n_2 + n_3\right)(k_1 + 2k_2 + 4k_3)} \\
 &= \sum_{n_1=0}^{\frac{N}{4}-1} \sum_{n_2=0}^{\frac{N}{4}-1} \left\{ B_N^{k_1} \left(\frac{N}{4}n_2 + n_3\right) W_N^{\left(\frac{N}{4}n_2 + n_3\right)k_1} \right\} W_N^{\left(\frac{N}{4}n_2 + n_3\right)(2k_2 + 4k_3)} \tag{4}
 \end{aligned}$$

식 (4)의 버터플라이 구조는 다음과 같다.

$$B_N^{k_1} \left(\frac{N}{4}n_2 + n_3\right) = x\left(\frac{N}{4}n_2 + n_3\right) + (-1)^{k_1} x\left(\frac{N}{4}n_2 + n_3 + \frac{N}{2}\right)$$

Radix-2<sup>2</sup> SDF 알고리즘은 식 (4)에 포함된 DFT의 회전계수를 분해하는 방법이다. 회전계수 분해는 식 (5)와 같이 이루어진다.

$$\begin{aligned}
 & W_N^{\left(\frac{N}{4}n_2 + n_3\right)k_1} W_N^{\left(\frac{N}{4}n_2 + n_3\right)(2k_2 + 4k_3)} \\
 &= W_N^{\left(\frac{N}{4}n_2 + n_3\right)(k_1 + 2k_2 + 4k_3)} \\
 &= W_N^{n_2 k_1} W_N^{\frac{N}{4}n_2(k_1 + 2k_2)} W_N^{n_3(k_1 + 2k_2)} W_N^{4n_3 k_3} \\
 &= (-j)^{n_2(k_1 + 2k_2)} W_N^{n_3(k_1 + 2k_2)} W_N^{4n_3 k_3} \tag{5}
 \end{aligned}$$

식 (5)를 식 (4)에 대입하여 n<sub>2</sub>항의 합을 풀면 식 (6)과 같이 radix-2<sup>2</sup> SDF 알고리즘이 얻어진다.

$$\begin{aligned}
 & X(k_1 + 2k_2 + 4k_3) \\
 &= \sum_{n_1=0}^{\frac{N}{4}-1} \left\{ \left[ x(n_1) + (-1)^{k_1} x\left(n_1 + \frac{N}{2}\right) \right] + (-j)^{n_1} \left[ x\left(n_1 + \frac{N}{4}\right) + (-1)^{k_1} x\left(n_1 + \frac{3N}{4}\right) \right] \right\} W_N^{4n_1 k_3} \tag{6}
 \end{aligned}$$

<그림 2>는 식 (6)을 이용하여 16점 radix-2<sup>2</sup> SDF를 DIF(decimation-in-frequency)방법을 적용하여 플로

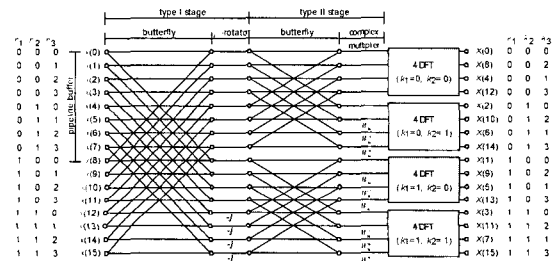


그림 2. Radix-2<sup>2</sup> DIF FFT 플로우그래프(N=16)  
Fig. 2. Radix-2<sup>2</sup> DIF FFT flow graph(N=16).

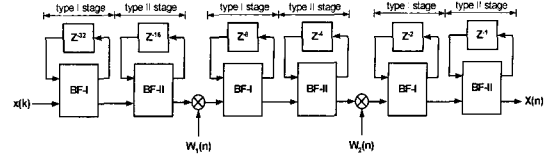


그림 3. Radix-2<sup>2</sup> SDF FFT구조(N=64)  
Fig. 3. Radix-2<sup>2</sup> SDF FFT structure(N=64).

우 그래프를 나타낸 것이다. I 단(type I stage)은 버터플라이 연산 이후 -j 곱의 여부에 의해 출력이 결정되고, -j 곱은 복소곱셈기가 간단한 스위치로 구현된다. II 단(type II stage)은 버터플라이 연산 이후 복소곱셈기가 사용된다. 또 출력값의 순서를 바꿔주는 비트반전블럭이 필요함을 알 수 있다.

<그림 3>은 <그림 2>의 플로우 그래프를 하드웨어로 표현한 구조이다.

### III. 신호 분석을 통한 IFFT/FFT 프로세서 최적화

IEEE 802.11a WLAN의 송신부에서는 주파수 영역으로 표시되는 부반송파를 IFFT를 이용하여 시간 영역의 OFDM 심볼로 변환해준다. IFFT의 입력은 FEC 부호기, 인터리빙 및 매퍼에 의해 생성된 48개의 데이터 및 4개의 파일롯을 포함하여 52개의 데이터와 12개의 null 값으로 구성된다.

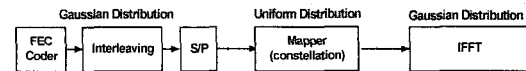


그림 4. 송신부의 확률 분포  
Fig. 4. Probability distribution in receive.

<그림 4>에서 FEC 부호기와 인터리빙은 신호를 섞어주는 역할을 하며, 랜덤 비트 발생기와 같이 동작한다. 이 랜덤 비트는 매퍼에 의해서 정상점으로 매핑이 된다. 즉, 랜덤 비트는 정해진 일정한 값으로 데이터가 변경되게 된다. 이 때 실수값과 허수값은 각각 일정한 값에서만 나오기 때문에, 균등 분포를 형성한다. 균등 분포의 입력은 IFFT 연산이 진행되면서 IFFT의 각 단계 버터플라이 구조에 의해 값이 수정된다. 이것은 IFFT의 각 단계를 지나면서 표본의 수가 커짐을 의미하고 확률표본들의 표본평균은 중심극한 정리에 의해 가우시안 분포를 형성한다<sup>[3]</sup>. <그림 5>는 N=64, IFFT

입출력 및 내부 신호에 대한 확률분포를 나타내고 있다. 각 단의 출력 크기 성분만을 고려하여 히스토그램을 그리면 레일리(rayleigh) 분포를 형성하고 있다. 즉, IFFT연산이 각 단을 진행 함에 따라 출력의 최대값과 평균이 점점 감소함을 보인다. 이것은 고정소수점 연산에서는 신호 표시에 필요한 비트 수요가 감소함을 의미한다.

본 논문에서는 각 단의 데이터의 최대 크기 신호를 일정하게 만드는 방법으로 비트 해상도를 높이는 알고리즘을 제안한다. 즉, 각 단의 크기 성분의 최대 값을 구한 후, 확장/감소계수를 적용하여 각 단의 출력 값에 곱해준다. 변조방식에 따라 얻어지는 출력 값이 다르기 때문에 입력 값이 만족스런 균일 확률분포가 아니라면 각 단에서 얻어지는 최대 값은 더 커질 것이며, 이미 적용된 확장계수에 의해 오버/언더플로우가 발생하게 된다. 따라서, 모든 부분송파 변조방식에 대하여 고려해야 하고 오버/언더플로우가 발생할 확률을 낮추기 위해 충분한 시뮬레이션을 통해 확장계수를 구해야 한다. 그리고 오버/언더플로우가 발생하더라도 그것에 의해 발생하는 오차를 최소화하는 알고리즘을 추가한다. 오버플로우 발생 시에는 유효숫자 중 최대 값을 출력하고, 언더플로우 발생 시에는 최소 값을 출력한다.

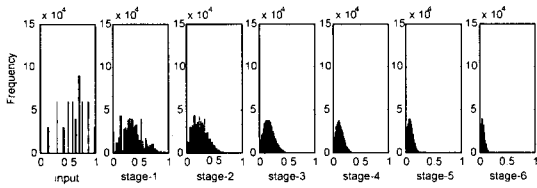


그림 5. IFFT 각 단별 출력 데이터 크기의 확률분포  
Fig. 5. Probability distribution of data amplitude at each IFFT stage.

비트 해상도를 높이기 위해 IFFT 내부 각 단별 신호의 크기 값을 도출한다. IFFT의 입력은 매핑에 의해 랜덤 데이터가 성상점으로 매핑되고 매핑된 데이터가 IFFT의 입력으로 들어간다. 즉, 실수 및 허수값은 성상점을 이루기 때문에 일정한 값에서 균등 분포의 특성을 갖게 된다. <표 2>에서 IFFT의 입력은 성상점으로 매핑된 데이터 중 가장 큰 값을 표시한 것이다. 각 단에서의 신호는 가우시안 분포를 갖으며, <표 2>에서 내부 신호값은 가우시안 분포값 중 99.999% 내에서 발생하는 신호값에서 가장 큰 값을 표시한 것이다. 시뮬

레이션은 IEEE 802.11a WLAN에서 지원하는 변조방식 BPSK, QPSK, 16QAM, 64QAM에 대하여 수행하였다. <표 2>는 변조방식에 따른 IFFT 각 단계별 내부신호의 최대 크기값을 나타낸다.

표 2. 변조방식에 따른 IFFT 각 단계별 신호의 크기값

Table 2. Signal amplitude value at each IFFT stage of modulation scheme.

Modulation	Coding rate	input	Stage-1	Stage-2	Stage-3	Stage-4	Stage-5	Output
BPSK	1/2	0.6547	0.6547	0.6547	0.5728	0.5728	0.4501	0.3069
	2/3	0.6547	0.6547	0.6547	0.5728	0.5728	0.4501	0.3273
QPSK	1/2	0.6547	0.6547	0.6547	0.5728	0.4859	0.3598	0.2837
	2/3	0.6547	0.6547	0.6547	0.5728	0.4904	0.3710	0.2811
16 QAM	1/2	0.8783	0.8783	0.8783	0.7329	0.4972	0.3864	0.2576
	2/3	0.8783	0.8783	0.8783	0.6962	0.4855	0.3504	0.2527
64 QAM	2/3	1.0000	1.0000	0.9313	0.6900	0.5539	0.3690	0.2798
	3/4	1.0000	1.0000	0.9313	0.7145	0.4981	0.4198	0.2676
Maximum value		1.0000	1.0000	0.9313	0.7329	0.5728	0.4501	0.3273

<표 2>를 이용하여 IFFT의  $i$  단계에서의 최대값과  $i-1$  단계의 최대값의 비율을 확장계수  $C_i$ 로 표현할 수 있다.

$$C_i = \frac{\text{max value of } (i-1)\text{-th stage}}{\text{max value of } i\text{-th stage}} \quad (8)$$

식 (8)은 최대값을 취하므로 모든 변조방식에 적용이 가능하다. 본 논문에서는 식 (8)의 확장계수와 회전계수의 곱으로 식 (9)와 같은 새로운 확장 회전계수를 도출한다.

$$\begin{aligned} W_1^{-1}(n) &= [W_1^{-1}(n) \cdot C_1 C_2] \\ W_2^{-1}(n) &= [W_2^{-1}(n) \cdot C_3 C_4] \end{aligned} \quad (9)$$

IFFT프로세서와 FFT프로세서의 대칭적 성질을 이용하여 확장계수의 역수를 취한 감소계수를 이용하여 FFT프로세서에 적용 가능한 감소 회전계수를 도출할 수 있다.

표 3. IFFT 프로세서 구조에 따른 확장계수  
Table 3. Extension coefficient by IFFT processor structure.

확장계수	$C_1$	$C_2$	$C_3$	$C_4$	$C_5$	$C_6$
구분	1	1.0738	1.3034	1.2474	1.2726	1.3752
확장계수 초기값	1.0738		1.6259		1.7501	
수정된 값	1.0738		1.4227		2.0000	

<표 3>은 radix-2<sup>2</sup> 기반의 IFFT 프로세서에 확장계

수를 나타낸 것이다. 파이프라인된 radix-2<sup>2</sup> 기반의 64 점 IFFT 프로세서는 2단마다 회전계수가 존재하기 때문에 1단, 2단의 확장계수가 곱이 된 확장계수를 적용하면 된다. 그리고 5단 및 6단은 곱셈연산을 하지 않기 때문에 회전계수 C<sub>5</sub>C<sub>6</sub>을 2로 수정하여 산술 쉬프트 연산으로 구현한다. 수정된 회전계수값 C<sub>5</sub>C<sub>6</sub>값은 C<sub>5</sub>C<sub>6</sub>의 값을 감소시켜 보안을 준다. 이러한 확장계수가 적용되면 신호의 크기는 증가되며 설정된 비트에 할당되지 않는 부분을 사용할 수 있게 된다. 확장계수의 총 곱은 C<sub>1</sub>C<sub>2</sub>C<sub>3</sub>C<sub>4</sub>C<sub>5</sub>C<sub>6</sub> = 3.0554 이며 확장계수가 적용되지 않은 프로세서 보다 3.0554배 이득을 보게 된다. 비트 효율 측면에서 log<sub>2</sub>(3.0554)=1.6113 의 비트가 이득을 보게 된다. IFFT와 FFT가 동시에 1.6113배의 비트 효율을 증가시킬 수 있기 때문에 IFFT 및 FFT에서 확장/감소계수를 적용하여 얻을 수 있는 총 비트 이득은 3.2227 비트이다.

IFFT 연산은 각 단의 입력 값에 1/2을 곱하는 과정이 포함하고 있다. 이것은 산술 쉬프트로 간단히 해결되지만 데이터 워드 크기를 그대로 사용한다면 1비트의 양자화 오차가 발생하게 된다. 이러한 오차를 고려하지 않는다면 각 단계마다 1비트씩 오차가 누적되어 최종 출력에서 양자화 오차가 나타날 확률은 |2<sup>-9</sup> + 2<sup>-8</sup> + 2<sup>-7</sup> + 2<sup>-6</sup> + 2<sup>-5</sup> + 2<sup>-4</sup>|와 같기 때문에 양자

화 오차의 범위는 10.1231가 된다. 따라서 내부 각 단의 수가 증가함에 따라 양자화 오차가 증가하는 것을 방지하기 위하여 데이터 워드 크기를 1비트씩 증가시킬 필요가 있다. 본 논문에서 도출한 <표 3>의 새로운 확장계수를 기존의 회전계수에 미리 곱하여 롬(ROM)에 저장하고 확장/감소계수가 적용된 회전계수의 비트수를 선형확장 하고, 내부 각 단의 입출력 비트를 선형확장 하였을 때 radix-2<sup>2</sup>기반의 파이프라인된 IFFT 프로세서는 <그림 6(a)>와 같이 구성할 수 있다. FFT 프로세서는 IFFT의 역함수이므로 대칭적으로 구성된다. IFFT와 FFT 프로세서의 관계는 데이터 워드 길이와 회전계수만 차이가 있을 뿐, 동일한 구조를 갖는다. 따라서 <그림 6(b)>과 같이 구성할 수 있다.

무선랜은 TDM방식을 사용하기 때문에 번복조를 동시에 하지 않으므로 IFFT와 FFT 프로세서는 <그림 6(c)>와 같이 연산회로와 메모리를 공유하는 형태의 IFFTUFFT 프로세서 구조로 하드웨어 크기를 1/2배 감소하는 효과를 얻을 수 있다.

#### IV. 양자화 잡음 분석

##### 1. 입력신호의 양자화

IFFT 입력의 정상점은 변조방식에 따라 달라지며, IFFT의 양자화 비트를 결정하기 위해서 최대 정밀도를 갖는 64QAM 변조방식에 근거를 두어야 한다. 입력 정상점은 IFFT 내부의 각 단에서 회전계수의 곱에 의해 발생하는 오버/언더플로우를 고려하여야 하므로 입력범위를 제한하여야 한다. 입력 정상점의 최대 크기인 정상점의 모서리 값이 반지름 1인 원 안에 오도록 한다. 이러한 정규화 과정으로 정상점을 결정하면 정상점간의 간격은 0.202로 감소한다. 따라서 입력 데이터 워드의 길이는 정상점간의 간격 0.202를 고려하여 결정해야 한다. IFFTUFFT 프로세서의 입력 데이터 워드의 길이는 양자화 오차가 정상점 간격의 0.01 이하가 되는 10비트로 결정하였다.

$$2^{-(10-1)} < 0.202 \cdot 10^{-2} \tag{9}$$

입력을 안전영역 내의 값으로 만들기 위해서는 식 (10)과 같은 입력 신호를 반지름이 1인 원안에 들어오게 하는 정규화 과정이 요구된다.

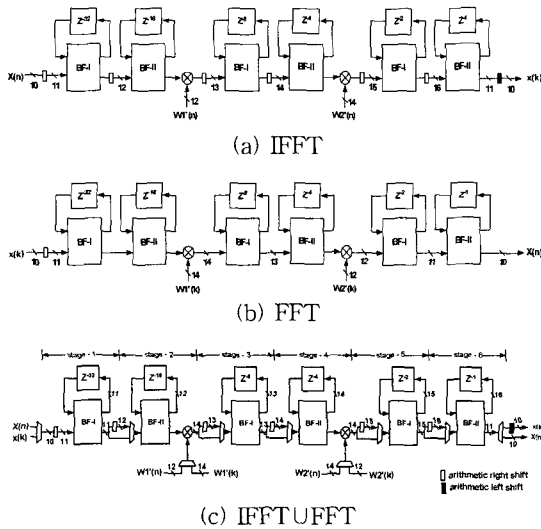


그림 6. 제안된 회전계수 및 데이터 워드길이가 결정된 파이프라인된 IFFTUFFT의 구조  
Fig. 6. Pipelined IFFTUFFT structure with proposed twiddle coefficient and data word length.

$$\left| \frac{X(k)}{\text{corner amplitude}} \right| \leq 1 \quad (10)$$

식 (10)에서 corner amplitude는 64QAM 정상도 상의 모서리 값으로 0.707이다.

2. 양자화 잡음에 의한 SNR

IFFT를 수행하는 과정에서 발생하는 양자화 잡음은 공통 오차성분(CQE: Common Quantization Error)과 다른 부반송파에 미치는 간섭성분(ICI: Inter Channel Interference)으로 나뉜다. 따라서, 양자화 잡음에 의한 신호대잡음비는 식 (11)과 같이 나타낼 수 있다.

$$SNR_{Quantization} = \frac{P_S}{P_{CQE} + P_{ICI}} \quad (11)$$

식 (11)에서  $P_S$ 는 원신호의 평균 전력이고,  $P_{CQE}$ 는 원신호에 대한 크기 감쇠와 위상 회전에 의해 발생하는 평균 전력이며,  $P_{ICI}$ 는 나머지 부반송파에 미치는 간섭 평균 전력이다. 공통오차성분을 도출하기 위해 IFFT와 FFT를 자기루프 구조를 갖도록 설정하고 64QAM으로 변조된 데이터를 IFFT의 입력으로 하여 FFT의 출력값과 IFFT의 입력값을 비교하였다. 이상적인 프로세서일 경우 IFFT의 입력값과 FFT의 출력값은 같지만 일반적인 프로세서는 같지 않으며, 이 값들의 차이가 공통 오차 성분이 된다. 다른 부반송파에 미치는 간섭성분을 도출하기 위해 IFFT의 입력데이터 64개중 1개만 넣고 FFT 출력값을 확인한다. 이상적인 프로세서일 경우 IFFT의 입력데이터 1개만 출력되고 나머지 63개의 데이터는 0이 되어야 하지만 일반적인 프로세서는 그렇게 되지 않으며, 다른 부반송파 구간에서 데이터가 출력된다. 이 값이 다른 부반송파에 미치는 간섭 오차이다.

<표 4>는 파이프라인 된 radix-2<sup>2</sup>구조의 64점 IFFT

표 4. IFFT/FFT 프로세서 성능비교(64QAM)  
Table 4. IFFT/FFT processor performance comparison(64 QAM).

FFT구조	항목	LSB 이하 비트 처리	각 단의 입력 출력 비트	확장/감소 계수 적용 여부	회전계수 비트수	$P_{CQE}$ (dB) (radix-2 <sup>2</sup> )	$P_{ICI}$ (dB) (radix-2 <sup>2</sup> )	SNR (dB)
Radix-2 <sup>2</sup>	버림	10비트 고정	10비트 고정	미 적용	10비트 고정	0.6085	1.5157	22.5478
	버림	10비트 고정	10비트 고정	적용	10비트 고정	0.3204	0.5591	31.3490
	버림	선형 확장	선형 확장	미 적용	선형 확장	0.4251	1.4775	23.7077
	버림	선형 확장	선형 확장	적용	선형 확장	0.1856	0.5655	33.1049
	반올림	선형 확장	선형 확장	적용	선형 확장	0.0077	0.3330	41.0685

와 FFT를 자기루프 구조를 가졌을 때 컴퓨터 시뮬레이션을 통한 SNR을 나타낸 것이다. 확장/감소 계수 적용 여부에 따른 SNR을 증가량을 측정하기 위해 2가지 구조에 대해 시뮬레이션을 하였다. 프로세서 내부 각 단의 입출력 비트와 회전계수 비트를 10비트로 고정된 구조와 프로세서 내부 각 단의 입출력 비트와 회전계수 비트를 선형확장한 구조를 시뮬레이션 하였다. 확장/감소계수를 회전계수에 적용하면 각각 8.8dB와 9.4dB 이득을 나타냈다. 또, 프로세서의 내부 모든 연산과정에서 LSB이하의 비트 처리를 반올림으로 하면 SNR은 41.0685dB가 되며, 이 값은 LSB이하의 비트 처리를 버림으로 했을 때 보다 7.96dB 이득을 나타낸다. 프로세서의 내부 각단의 입출력비트 및 회전계수비트를 선형 확장한 구조에 제안된 알고리즘을 적용하면 기존의 확장/감소 계수가 미 적용되고 LSB이하 비트를 버림 처리한 프로세서 보다 약 17dB 개선된다.

V. 시뮬레이션 결과

시스템에서 송신단 및 수신단에서 IFFT 및 FFT의 양자화 오차의 영향을 알아보면 다음과 같다. 송신단의 IFFT는 부 반송파간의 ICI를 발생시키며 이로 인해 직교성 열화를 일으킨다. 수신단의 FFT는 이상적인 채널을 통과한 신호를 백색잡음이 존재하는 신호처럼 출력한다. OFDM 시스템에서 양자화 오차는 정상점을 흩어지게 하며 이는 부반송파 주파수 오프셋이 발생한 것과 같은 효과를 나타낸다. 즉, 전체 부 반송파간의 직교성에 영향을 주고, 부 채널간의 ICI, 위상 회전, 크기 감소등의 왜곡이 발생하여 시스템 전체 성능을 저하시킨다. 제안된 알고리즘이 적용된 프로세서는 곱셈기가 있는 2단, 4단에서 수정된 회전계수로 인해 최대값과

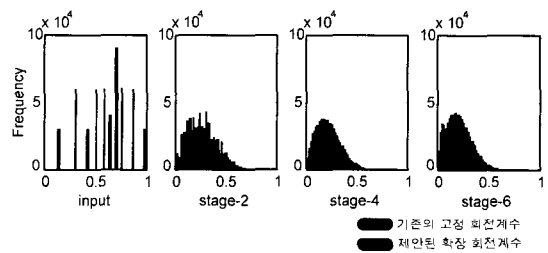


그림 7. 제안된 회전계수와 기존의 회전계수의 비교  
Fig. 7. Comparison of proposed twiddle coefficient and conventional twiddle coefficient.

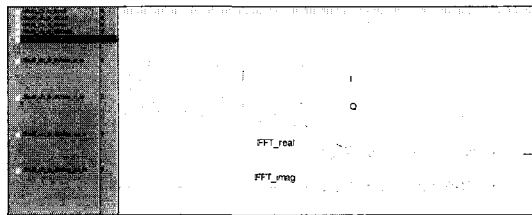
평균값이 일정하게 유지되고 있다. 이것은 주어진 비트에 할당된 신호를 최대화함을 의미한다. <그림 7>은 제안된 방법이 적용된 IFFT프로세서의 내부신호의 확률분포를 나타내고 있다.

제안된 알고리즘을 검증하기 위해 RTL 레벨에서 회로를 설계하였다. VHDL언어를 이용하여 회로를 설계하였고 설계된 파이프라인된 프로세서는 입출력 10비트이고 내부 각 단의 입출력 및 확장/감소계수가 적용된 회전계수 비트를 선형 증가한 구조이다. <그림 8>은 설계된 프로세서에 입력데이터로 64QAM으로 변조된 데이터를 넣고 IFFTUFFT가 자기루프 구조를 갖도록 테스트 벤치를 만들었을 때 VHDL 시뮬레이터의 결과 파형을 보여준다. <그림 8(a)>의 I 및 Q는 64QAM으로 변조된 데이터를 웨이브형식으로 표시한 신호이고 <그림 8(b)>의 FFT\_real, FFT\_imag 신호는 I, Q신호를 IFFT 및 FFT의 연산을 한 출력신호이다. 제안된 알고리즘이 적용된 RTL레벨의 프로세서는 SNR이 39.45dB가 측정되었다. 이 결과는 64QAM으로 변조된 정상점 간격이 0.202일 때 이상적인 정상점과의 표준편차가 0.0021이다. 같은 구조에 확장/감소계수를 적용하지 않으면 표준편차값은 0.0087이 되며 프로세서의 입출력 데이터 비트를 1비트 확장 시 표준편차가

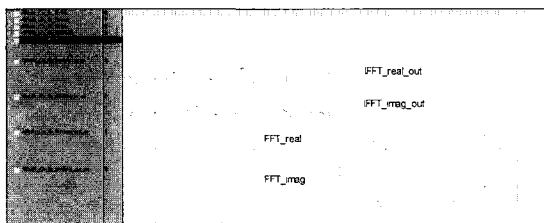
0.5배가되므로 RTL레벨에서 제안된 알고리즘이 적용된 프로세서는 3비트 효율이 좋은 결과를 얻을 수 있다. 이 결과값은 이론적으로 계산된 비트 효율 3.2227비트와 같은 결과를 나타낸다.

### VI. 결 론

본 논문에서는 IEEE 802.11a WLAN용 고정 소수점 파이프라인 IFFTUFFT 프로세서 에서 데이터값의 통계적 분포특성을 회전계수에 적용하여 부반송파의 해상도를 높이는 새 방법으로 기존에 존재하는 파이프라인 IFFT/FFT 프로세서 구조에 추가적인 하드웨어를 사용하지 않고 적용이 가능하다. 설계된 프로세서의 성능평가를 위해 RTL레벨로 IFFT와 FFT 프로세서를 설계하였다. IFFT와 FFT의 대칭적 성질을 이용하여 회로블록을 공유토록 하여 IFFTUFFT구조를 갖는다. 비트효율은 총 회전/감소계수의 곱 즉,  $C_1C_2C_3C_4C_5C_6 = 3.0554$  이므로 비트 효율은  $\log_2(3.0554) = 1.6113$ 이며 IFFT 와 FFT에서 동시에 1.6113비트 이득을 보기 때문에 이론적인 총 비트 이득은 3.2227비트 이득을 볼 수 있다. 제안된 알고리즘으로 설계된 IFFTUFFT를 자기루프 구조를 갖도록 설정하고 64QAM으로 매핑된 정상점을 입력으로 넣었을 때 SNR은 39.45dB가 측정되었으며 정상점 간격이 0.202일 때 표준편차값이 0.0021이다. 확장/감소 계수가 적용되지 않고, 각 단의 입출력 비트가 선형 확장되고 회전계수의 비트가 선형 확장 될 때 IFFTUFFT의 표준편차 값은 0.0087이 측정되었다. 프로세서의 입력비트를 1비트 확장 시 표준 편차 값이 0.5배가되기 때문에 3비트 추가 확장을 하여야 제안된 프로세서와 같은 해상도를 유지하게 된다. 본 논문에서 제안된 방법은 1024 점 또는 그 이상의 크기를 갖는 파이프라인된 프로세서는 각 단의 수가 많고 회전/감소계수의 곱이 증가하므로 효과적으로 비트 효율을 증가시킬 수 있다.



(a) IFFT 출력결과  
(a) IFFT output



(b) FFT 출력결과  
(b) FFT output

그림 8. IFFTUFFT 프로세서의 VHDL 시뮬레이션 결과(64QAM)

Fig. 8. VHDL simulation result of IFFTUFFT processor.

### 참 고 문 헌

[1] R.Van Nee and R. Prasad. OFDM for Wireless Multimedia Communication Artech House, pp. 33~50, 2000.  
[2] S. He and M. Torkelson, "Design and implementation of a 1024-point pipeline FFT

- processor”, in IEEE Proc. Custom Integrated Circuits Conference, pp. 131-134, May 1998.
- [3] S. M. Ross, Introduction to Probability and Statistics for Engineers and Scientists, Academic, pp. 191~201, 2000.
- [4] E. Cetin, I. Kale and R. C. S. Morling, “An extensible complex fast Fourier transform processor chip for real-time spectrum analysis and measurement”, IEEE Trans. Instrumentation and Measurement, vol. 47, no. 1, pp. 95~99, Feb. 1998.
- [5] M. G. Strintzis, “Floating point error analysis of two-dimensional, fast Fourier transform algorithms”, IEEE Trans. Circuits and Systems, vol. 35, no. 1, pp. 112~115, Jan. 1988.
- [6] S. Johansson, S. He and P. Nilsson, “Word length optimization of a pipelined FFT processor”, 42nd Midwest Symposium Circuits and Systems 1999, vol. 1, pp. 50~503, 1999.

## 저 자 소 개



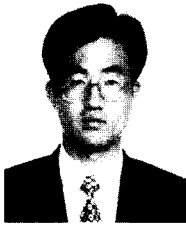
崔 源 喆(正會員)

2002년 2월 : 충북대학교 전자공학과 학사. 2002년 2월~현재 : 충북대학교 정보통신공학과 석사과정.  
<주관심분야 : 통신 시스템, VLSI 설계, 플랫폼기반 설계 등임.>



趙 慶 錄(正會員)

1977년 : 경북대학교 전자공학과 학사. 1989년 : 동경대학교 전자공학 석사. 1992년 : 동경대학교 전자공학 박사. 1979년~1986년 : 금성사 TV 연구소 선임연구원. 1992년~현재 : 충북대학교 공과대학 정보통신공학과 교수. <주관심분야 : VLSI 시스템 설계, 통신시스템용 LSI 개발 및 고속 마이크로프로세서 설계 등임.>



李 炫(正會員)

1986년 : 연세대학교 물리학과 학사. 2000년 : 충북대학교 정보통신공학과 석사. 2001년 3월~현재 : 충북대학교 정보통신공학과 박사과정. 1991년~1994년 : 대우통신 OA 개발단 주임연구원. 1994년~현재 : 한국전자통신연구원 이동통신연구소 텔레매틱스 연구팀 선임연구원. <주관심분야 : 디지털 이동통신, ITS 무선패킷통신, 텔레매틱스 통신 기술 등임.>