

論文2003-40SD-12-7

이동도 보상 회로를 이용한 OTA의 선형성 개선

(Design of an OTA Improving Linearity with a Mobility Compensation Technique)

金奎鎬*, 楊成玄**, 金容煥**, 趙慶錄**

(Kyu-Ho Kim, Sung-Hyun Yang, Yong-Hwan Kim, and Kyoung-Rok Cho)

요약

본 논문에서는, 트랜지스터의 게이트-소스 전압에 따른 소자의 이동도 감소 현상으로 생기는 OTA의 선형성 감소를 보상하기 위한 새로운 선형 OTA를 설계하고, 이것을 9차 베셀 필터에 응용한다. 제안된 OTA의 입력단은 선형(triode) 영역에서 동작하는 트랜지스터와 subthreshold 영역에서 동작하는 트랜지스터가 병렬로 연결된 구조를 가진다. 이 구조는 이동도 감소 현상에 의한 3차 고조파 성분을 상쇄시키므로, 보다 넓은 입력 범위를 가지면서 개선된 선형성을 유지할 수 있는 OTA 회로의 구현이 가능하다. 제안된 OTA는 $\pm 0.8V$ 의 입력 범위 내에서 $\pm 0.32\%$ 의 트랜스컨덕턴스(G_m) 변화율을 갖고 총고조파 왜곡(THD)은 $-60dB$ 이하이다. 제안된 OTA를 적용한 9차 베셀 필터는 공급전압 $3.3V$ 를 갖는 $0.35\mu m$ n-well CMOS 공정으로 구현되었으며, 필터의 차단주파수는 $8MHz$, 전력소비는 $65mW$ 로 동작하였다.

Abstract

This paper describes a new linear operational transconductance amplifier (OTA) and its application to the 9th-order Bessel filter. To improve the linearity of the OTA, we employ a mobility compensation technique. The combination of the triode and the subthreshold region transistors can compensate the mobility reduction effect and make the OTA with a good linearity. The proposed OTA shows $\pm 0.32\%$ G_m variation over the input range of $\pm 0.8-V$. The total harmonic distortion (THD) was lower than $-60-dB$. The 9th-order Bessel filter has been designed using a $0.35\mu m$ n-well CMOS process under $3.3-V$ supply voltage. It shows the cutoff frequency of $8-MHz$ and the power consumption of $65-mW$.

Keyword : OTA, mobility compensation technique, analog filters.

I. 서론

연속 시간 필터(continuous-time filter)를 구현하는

방법에는 active-RC 필터, MOSFET-C 필터, OTA-C 필터(Operational Transconductance Amplifier-Capacitor filter) 등 여러 가지가 있다. 이러한 방법들 중에서 OTA-C 필터는 OTA의 높은 값의 트랜스컨덕턴스(G_m)를 구현할 수 있고, 이에 대한 제어의 용이함 때문에 높은 주파수 대역에서 동작하는 필터 구현에 사용되어 왔다. 1990년 대 이후로 OTA-C 방법에 근거한 많은 필터들이 제안되었다^{1) 10)}. OTA는 차동입력 전압

* 正會員, 주식회사 에이엠티

(Advanced Media Technology Co., Ltd)

** 正會員, 忠北大學校 情報通信工學科

(Dept. of Computer and Communication Engineering, Chungbuk National University)

接受日字:2002年10月30日, 수정완료일:2003年11月18日

에 비례한 선형성을 갖는 전류를 출력하는 회로로 빠른 속도와 바이어스 전압에 의한 Gm 의 조정이 쉽기 때문에 연속 시간 필터와 같은 아날로그 회로 설계의 기본 블록으로 사용되고 있다.

OTA는 입력 전압과 출력 전류의 선형성, 대역폭, SNR, 그리고 출력 임피던스와 같은 제한된 특성을 가지고 있다. OTA의 선형성은 OTA-C 필터의 구현 시 입력 신호와 출력 신호의 왜곡 및 필터의 차단 주파수, 이득과 군지연(group delay)등을 결정하는 매우 중요한 요소이다. 따라서 필터 구현 시 OTA는 동작 입력범위 내에서 일정한 Gm 을 가져야 안정성이 높은 필터를 만들 수 있다.

최근 OTA의 선형성을 향상하기 위하여 많은 연구가 이루어지고 있다^[1-10]. 이들 연구에 따르면, OTA의 선형성에 가장 많은 영향을 미치는 요인은 이동도 감소 효과(mobility reduction effect) 때문이다^[8]. Coban/Allen은 [8]에서 선형 영역에서 동작하는 트랜지스터와 포화 영역에서 동작하는 트랜지스터를 병렬로 구성하여 이동도 감소 효과를 보상하는 기법을 제안하였다. 그러나 Coban/Allen의 회로는 선형성이 향상되는 대신 입력 범위가 감소되는 단점을 가지고 있다. 이것은 포화 영역에서 동작하는 트랜지스터가 높은 입력 전압에 대해서는 선형 영역으로 동작 영역이 바뀌므로 때문에 이동도 보상을 할 수 없기 때문이다.

본 논문에서는 넓은 입력 범위에서도 선형성이 유지될 수 있는 새로운 OTA 구조를 제안하고 이것을 9차 베셀 필터에 응용한다.

본 논문의 구성은 다음과 같다. II장에서는 기존의 OTA의 구조와 동작에 대해 알아보고 III장에서는 제안한 OTA의 구조와 동작, 그리고 선형성 개선 알고리즘을 설명한다. IV장에서는 제안된 OTA를 이용한 9차 베셀 필터 구현에 관하여 설명한다. V장에서는 구현한 9차 베셀 필터의 시뮬레이션 결과를 분석하여 성능평가를 하고 VI장에서는 결론을 내린다.

II. 기존 OTA들에 대한 고찰

1. 일반적인 enhanced OTA

<그림 1>은 캐스코드(cascode) 방식을 이용한 일반적인 enhanced OTA의 구조를 나타낸다^[6,9]. 선형영역에서 동작하는 NMOS 트랜지스터를 입력단으로 하고

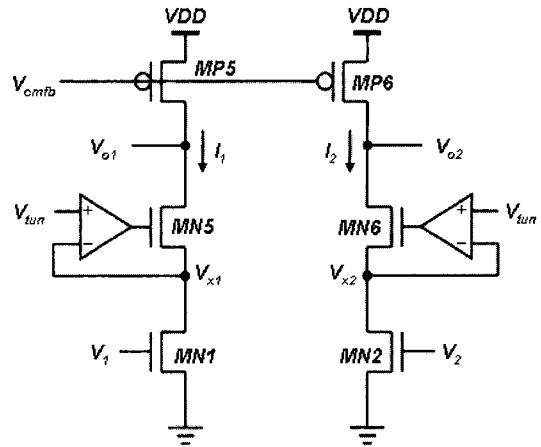


그림 1. 일반적인 enhanced OTA의 구조
Fig. 1. Structure of a conventional enhanced OTA.

MN5와 MN6의 게이트와 소스에 부캐환 회로를 연결하여 V_{x1} , V_{x2} 노드의 전압을 V_{tun} 전압으로 안정화시키는 구조로 되어 있다. <그림 1>에서 MN1과 MN2는 선형 영역(triode region)에서 동작하고 MN5와 MN6는 포화 영역에서 동작한다. I_1 과 I_2 는 각각 MN1과 MN2의 드레인 전류와 같고 다음과 같이 쓸 수 있다.

$$I_{MN1} = \beta_1 [(V_1 - V_{THN}) V_{tun} - \frac{1}{2} V_{tun}^2] \quad (1)$$

$$I_{MN2} = \beta_2 [(V_2 - V_{THN}) V_{tun} - \frac{1}{2} V_{tun}^2] \quad (2)$$

여기서, $\beta_1 = \beta_2 = \mu_n C_{ox} (W/L)_{1,2}$ 이고 V_{THN} 은 MN1과 MN2의 문턱 전압(threshold voltage)이다. <그림 1>의 OTA에 대한 트랜스컨덕턴스(Gm)는 식 (3)과 같이 구한다.

$$Gm = \frac{I_{out}}{V_{in}} = \beta_1 V_{tun} \quad (3)$$

여기서, 출력전류 $I_{out} = I_1 - I_2 = I_{MN1} - I_{MN2}$ 이고, V_{in} 은 차동 입력 $V_1 - V_2$ 를 나타내며, V_{tun} 은 부캐환 회로의 입력을 나타낸다. 식 (3)을 보면, V_{tun} 을 조정함으로써 Gm 값을 조절할 수 있고, 일정한 V_{tun} 전압을 인가하면 입력범위 내에서 일정한 Gm 을 얻을 수 있다. 그러나 MN1과 MN2 드레인 소스 전압을 일정하게 고정하여도 MN1과 MN2의 파라미터 β 에는 식 (4)와 같이 전자에 대한 이동도 감소 현상(mobility reduction effect)이 존재한다^[8, 10].

$$\mu_n = \frac{\mu_0}{1 + \theta(V_{GS} - V_{THN})} \quad (4)$$

여기서 μ_0 는 전압 강하가 없을 때의 캐리어(carrier) 이동도를 나타내고 θ 는 이동도 감소 계수(mobility reduction coefficient)를 나타낸다^[8]. 식 (4)를 보면, 일반적인 OTA는 입력 전압이 증가함에 따라 식 (3)의 μ_n 에 포함된 전자 이동도가 감소하게 되어 G_m 의 선형 특성이 나빠짐을 알 수 있다. 이러한 비선형 성분에 의한 왜곡은 식 (5)과 같이 Taylor 급수를 전개하여 구할 수 있다.

$$I_1 - I_2 = a_1 V_{in} + a_2 V_{in}^2 + a_3 V_{in}^3 + a_4 V_{in}^4 + \dots \quad (5)$$

완전 차동구조에서는 짝수 차수에 의한 비선형 성분이 효과적으로 사라지게 되므로 3차 고조파 성분이 비선형 왜곡을 결정하는 변수가 된다. 여기서 3차보다 큰 고조파 성분들은 크기가 작으므로 무시된다. 따라서 선형영역에서 동작하는 트랜지스터 입력단을 갖는 OTA의 비선형 성분($a_{3,tri}$)은 식 (6)과 같이 결정된다.

$$a_{3,tri} = \frac{1}{6} (I_{MN1}''(0) - I_{MN2}''(0)) \quad (6)$$

$$= \frac{1}{8} (2 + \theta V_{tun}) \cdot \frac{\theta^2 \beta_{tri} V_{tun}}{[1 + \theta(V_{CM} - V_{TH})]^4}$$

여기서 $\beta_{tri} = \mu_0 C_{ox}(W/L)_{tri}$ 이고, V_{tun} 은 MN1과 MN2의 드레인-소스간의 전압을 나타내며, V_{CM} 은 공통모드 전압(common-mode voltage)으로 $V_{DD}/2$ 와 같다.

2. Coban/Allen의 OTA

일반적인 OTA 구조에 포화영역에서 동작하는 트랜지스터 MS1, MS2를 추가하여 선형성을 향상시킨 Coban/Allen's의 OTA를 <그림 2>에 나타내었다^[8]. <그림 2>에서 차동 출력 전류는

$$I_1 - I_2 = (I_{MN1} - I_{MN2}) + (I_{MS1} - I_{MS2}) \quad (7)$$

와 같이 쓸 수 있다. 첫 번째 항은 선형영역에서 동작하는 회로의 차동 출력 전류를 나타내고, 두 번째 항은 포화영역(saturation region)에서 동작하는 회로의 차동 출력 전류를 나타낸다. 선형영역의 회로에 대한 비선형 성분은 식 (6)과 동일하다. MS1과 MS2에 의한 비선형

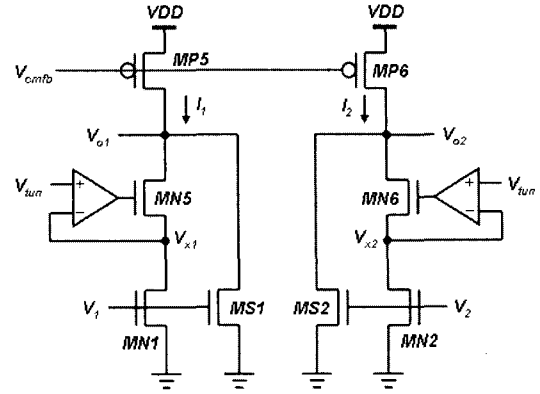


그림 2. Coban/Allen의 OTA 구조

Fig. 2. Coban/Allen's OTA.

성분을 얻기 위해 MS1과 MS2로 흐르는 전류에 대해 Taylor 급수를 전개하여 3차 항에 의한 고조파 성분을 구하면 식 (8)과 같다.

$$a_{3,sat} = I_{MS1}^2(0) - I_{MS2}^2(0) \quad (8)$$

$$= -\frac{\beta_0 \theta}{8[1 + \theta(V_{CM} - V_{TH})]^4}$$

여기서, $a_{3,sat}$ 이 음의 값을 갖는다는 것에 주목해야 한다. 선형영역에서 동작하는 회로(MN1, MN2)와 포화영역에서 동작하는 트랜지스터(MS1, MS2)의 3차 고조파 성분이 서로 다른 부호를 가지므로 두 회로를 병렬 연결하여 이 고조파 성분을 식 (9)과 같이 상쇄시킬 수 있다.

$$a_{3,tri} + a_{3,sat} = \frac{\theta}{[1 + \theta(V_{CM} - V_{TH})]^4} \cdot \left[\beta_{tri} \theta V_{tun} \left(1 + \frac{1}{2} \theta V_{tun} \right) - \frac{1}{2} \beta_{sat} \right] = 0 \quad (9)$$

여기서, $\frac{1}{2} \theta V_{tun} \ll 1$ 의 조건을 만족한다면, 식 (9)는 식 (10)과 같이 더욱 간단히 할 수 있다. 따라서 선형영역에서 동작하는 트랜지스터와 포화영역에서 동작하는 트랜지스터의 W/L 비율을 식 (10)에 따라 결정하면, 이동도 감소 효과로 인한 비선형 왜곡을 제거할 수 있다^[8].

$$\frac{(W/L)_{tri}}{(W/L)_{sat}} \approx \frac{1}{2\theta V_{tun}} \quad (10)$$

그러나 MS1과 MS2에 높은 전압이 인가되면 MS1과 MS2의 동작영역이 포화영역에서 선형영역으로 바뀌므로 이동도 감소에 의한 효과를 보상하는 능력을 잃게 된다. 이것은 Coban/Allen의 회로의 입력 동작 범위가 enhanced OTA보다 좁아진다는 것을 의미한다.

III. 제안된 OTA의 구조와 동작

본 논문에서 제안한 OTA가 <그림 3>에 나타나 있다. 제안된 OTA의 구조는 일반적인 enhanced OTA의 구조를 기본으로 하므로 식 (3)에 의해 Gm 이 결정되며, 전자의 이동도 감소 효과에 따른 Gm 의 변화율을 최소화하기 위해, subthreshold 영역에서 동작하는 트랜지스터들(MN3-MN4)이 추가되었다. Subthreshold 영역에서 동작하는 회로(MN3-MN4)의 비선형 성분은 선형영역에서 동작하는 회로의 비선형 성분과 반대의 극성을 갖기 때문에 서로 상쇄될 수 있다^[8]. 즉, 선형영역의 트랜지스터와 subthreshold 영역의 트랜지스터를 병렬로 연결하여 비선형 성분을 제거하고 선형성을 향상시킬 수 있다. MN7-MN10으로 이루어진 source follower는 MN3과 MN4를 subthreshold 영역에서 동작하도록 한다. <그림 3>에서 차동 출력 전류는

$$I_1 - I_2 = (I_{MN1} - I_{MN2}) + (I_{MN3} - I_{MN4}) \quad (11)$$

와 같이 쓸 수 있다. 첫 번째 항은 선형영역에서 동작하는 회로의 차동 출력 전류를 나타내고, 두 번째 항은 subthreshold 영역에서 동작하는 회로의 차동 출력 전류를 나타낸다. subthreshold 영역에서 동작하는 MN3와 MN4의 드레인 전류는 다음과 같이 구할 수 있다.

$$I_{MN3} = \beta_3 V_t^2 e^{1.8} \exp\left(\frac{V_{GS3} - V_{th}}{N_0 V_t}\right) (1 - e^{-V_{DS3}/V_t}) \quad (12)$$

$$I_{MN4} = \beta_4 V_t^2 e^{1.8} \exp\left(\frac{V_{GS4} - V_{th}}{N_0 V_t}\right) (1 - e^{-V_{DS4}/V_t}) \quad (13)$$

여기서 $\beta_{3,4} = \mu_0 C_{OX}(W/L)_{3,4}$ 이고 열 전압(thermal voltage) $V_t = kT/q$ 를 나타낸다. 또, N_0 는 weak inversion 게이트 구동 상수를 나타내며 $V_{on} = V_{TH} + \eta V_t$ ($1 < \eta < 3$)이다. Subthreshold 영역에서 동작하는 트랜지스터 MN3, MN4의 드레인 전류는 게이트-소스 전압(V_{GS})에 따라 지수 함수적으로 증가하며, MN3, MN4의 드레인-소스 전압(V_{DS})가 $3V_t$ 보다 크게 되면

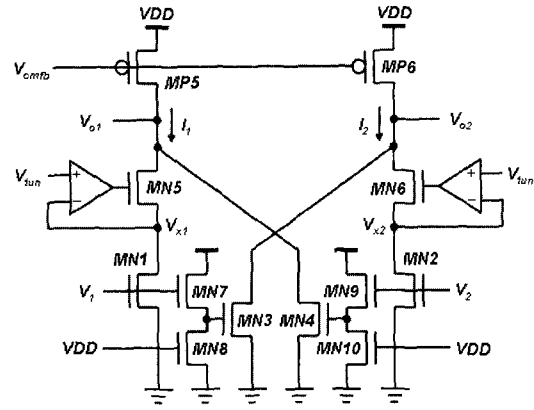


그림 3. 제안한 OTA 회로
Fig. 3. The proposed OTA circuit.

V_{DS} 가 드레인 전류 I_{MN3} (I_{MN4})에 미치는 영향을 무시할 수 있다^[11]. Subthreshold 영역에서 동작하는 MN3, MN4로 흐르는 차동 출력 전류(I_{MN3} - I_{MN4})에 대한 3차의 고조파 성분은 다음과 같이 구할 수 있다.

$$a_{3,sub} = -\frac{\beta_{sub} V_t^2 e^{1.8}}{24} \cdot \exp\left(\frac{V_{CM} - V_E - V_{th}}{N_0 V_t}\right) \left(\frac{A_{i,sf}}{N_0 V_t}\right)^3 \quad (14)$$

여기서 $\beta_{sub} = \mu_0 C_{OX}(W/L)_{sub}$ 이고 V_E 는 MN7과 MN9의 게이트-소스 간 전압을 나타내며 $A_{i,sf}$ 는 source follower의 전압이득을 나타낸다. 이동도 감소로 인한 3차 고조파 성분을 상쇄시키기 위해서는 식 (6)과 식 (14)를 더한 결과가 0이 되어야 한다. 즉,

$$\frac{2 + \theta V_{th}}{8} \cdot \frac{\theta^2 \beta_0 V_{th}}{[1 + \theta(V_{CM} - V_{THN})]^4} = \frac{\beta_{sub} V_t^2 e^{1.8}}{24} \cdot \exp\left(\frac{V_{CM} - V_E - V_{th}}{N_0 V_t}\right) \left(\frac{A_{i,sf}}{N_0 V_t}\right)^3 \quad (15)$$

이 성립하도록 설계변수들을 결정해야 한다. $0.35\mu\text{m}$ CMOS 공정의 전형적인 변수들로 $V_{THN} = 0.643\text{V}$, $V_{THP} = -0.85\text{V}$, $\mu_n C_{OX} = 165\mu\text{A}/\text{V}^2$, $\mu_p C_{OX} = 68\mu\text{A}/\text{V}^2$, $V_{th} = 0.15\text{V}$, $V_t = 25\text{mV}$, $V_{cm} = 0.7\text{V}$, $N_0 = 1.5$, $V_E = 1.2\text{V}$, $A_{i,sf} = 0.575\text{V}/\text{V}$ 를 식 (15)에 대입하여 계산하면, $(W/L)_{i,3} \approx 6 \times (W/L)_{sub}$ 의 결과를 얻을 수 있다. SPICE 시뮬레이션을 통해 이동도 보상이 잘 이루어질 때의 W/L 비를 구하면, $(W/L)_{i,3} \approx 4 \times (W/L)_{sub}$

가 된다.

차동 입력 전압에 따른 G_m 의 변화율 특성을 비교하기 위해, 일반적인 enhanced OTA, Coban/Allen의 OTA, 제안한 OTA에 대해 시뮬레이션이 수행되었다. <그림 4>에 이에 대한 시뮬레이션 결과가 나타나 있다. 각각의 OTA는 차동입력 $\pm 0.4V$ 이내에서는 거의 비슷한 G_m 변화율을 나타낸다. 그러나 입력신호 범위가 $\pm 0.4V$ 이상에서는 제안한 OTA가 가장 넓은 입력범위 내에서 좋은 선형성을 유지하는 것을 알 수 있다. Coban/Allen의 구조^[8]는 입력신호의 범위가 넓어짐에 따라 포화영역에서 동작하는 트랜지스터가 선형영역에서 동작하게 되어 선형성이 급격히 나빠진다. 입력 신호 범위가 $\pm 0.4V$ 이내에서 제안한 OTA와 Coban/Allen의 OTA의 G_m 은 $90\mu S$ 이고 변화율은 각각 $\pm 0.2\%$

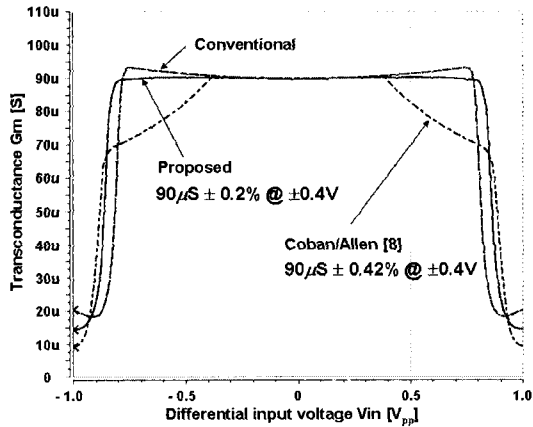


그림 4. 차동 입력 전압에 따른 G_m 의 변화 비교
Fig. 4. G_m Comparisons according to the differential input voltage.

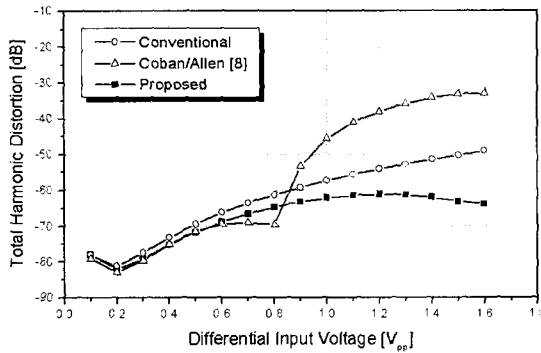


그림 5. 총고조파 왜곡 시뮬레이션 결과
Fig. 5. The simulated total harmonic distortions for three OTAs.

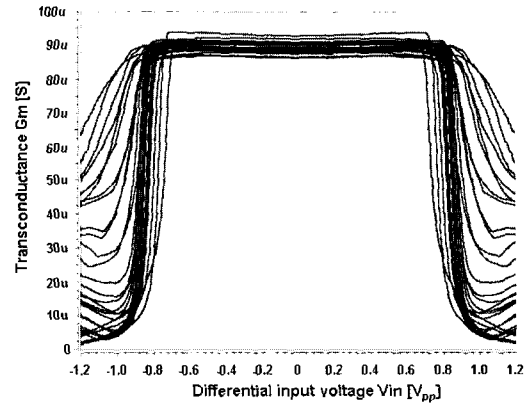


그림 6. Monte Carlo 시뮬레이션 결과
Fig. 6. Monte Carlo simulation result for the proposed OTA.

와 $\pm 0.418\%$ 로 나타났다. $\pm 0.8V$ 의 크기를 갖고 $100kHz$ 의 사인파를 OTA 입력으로 인가하였을 때의 총고조파 왜곡(total harmonic distortion; THD) 시뮬레이션 결과를 <그림 5>에 나타내었다. $1.6V$ 의 입력 범위 내에서 제안한 OTA의 총고조파 왜곡은 $-60dB$ 이하를 유지하고 있음을 알 수 있다. $0.8V$ 의 입력 범위에서는 Coban/Allen의 OTA가 가장 좋은 THD 특성을 나타내고 있다. <그림 6>은 제안된 OTA의 G_m 이 공정 변화에 대한 얼마나 영향을 받는지를 알아보기 위한 worst-case Monte Carlo 시뮬레이션 결과를 나타낸다. 트랜지스터의 W , L , V_{TH} 에 대해 Gaussian 분포에서 $3-\sigma$ 내에 있는 값들이 랜덤하게 선택되어 시뮬레이션 변수로 이용되었다. Monte Carlo 시뮬레이션 결과, G_m 값은 $86.3\mu S \sim 92.9\mu S$ 의 범위 내에 분포하고, 이때의 최대변화율은 $\pm 0.88\%$ 로 나타났다.

IV. 9차 베셀 필터의 구현

본 장에서는 III장에서 제안한 OTA를 사용하여 최대 평탄지연 특성을 갖는 9차 베셀 필터(Bessel filter)에 대해 기술한다. 베셀 필터는 저주파 대역 통과 특성과 일정한 군지연(Group delay) 특성 때문에 hard disk, CD, 그리고 DVD의 read channel 시스템에 사용된다^[3]. 9차 베셀 필터는 차단주파수(f_c) 이내에서 평탄한 군지연을 갖고 2% 이내의 대역에서 군지연의 변화율이 $\pm 3\%$ 이내이어야 한다^[9]. 군지연이란 각주파수에 대한 위상의 변동률을 말하고 통과대역의 신호가 회로를 지나는 데 걸리는 시간의 양을 나타낸다. 만약 필터의 통

과 대역에서의 군지연이 일정하지 않다면 필터를 통과한 신호의 정보는 수용할 수 없게 된다. 식 (16)은 규준화된 9차 베셀 필터의 전달함수를 나타낸다.

$$T(s) = \frac{40.5893}{s^2 + 12.2587s + 40.5893} \cdot \frac{43.6466}{s^2 + 11.2088s + 43.6466} \cdot \frac{49.7885}{s^2 + 9.2769s + 49.7885} \cdot \frac{62.0414}{s^2 + 5.9585s + 62.0414} \cdot \frac{6.2670}{s + 6.2670} \quad (16)$$

9차 베셀 필터의 구조를 <그림 7(a)>에 나타내었다. 9차 베셀 필터는 네 개의 바이쿼드(biquad)와 1개의 1차 LPF로 구성하였다. 네 개의 바이쿼드는 다이내믹 레인지를 고려하여 Quality factor가 낮은 바이쿼드부터 높은 바이쿼드의 순서로 배치하고 모든 입력과 출력은 공통모드 잡음을 억제하기 위하여 차동구조로 구현하였다. <그림 7(b)>의 바이쿼드 회로는 같은 값의 트랜스컨덕턴스를 갖는 4개의 OTA, 2개의 차동 증폭기, 4개의 CMFB 회로, 4개의 캐패시터와 게이트 입력이 V_z 인 4개의 트랜지스터로 구성된다. 바이쿼드 회로는 고유의 캐패시터 이외에 fringing 캐패시턴스, stray 캐패시턴스, overlap 캐패시턴스 등의 기생 캐패시턴스가 존재하는데, 이러한 기생 캐패시턴스는 캐패시터의 값을 변화시켜 필터의 성능을 저하시킨다. 높은 주파수 대역과 높은 이득을 갖는 차동 증폭기는 OTA의 출력을 가상 접지하여 기생 캐패시턴스에 의한 출력 전류의 영향을 제거하고 다이내믹 레인지를 증가시킨다^[3]. 캐패시터와 직렬로 연결된 트랜지스터들은 신호의 feedforward에 의하여 발생하는 복소평면의 1 사분면에 존재하는 영점(right-half zero)에 의한 초과 위상(excess phase)을 제거한다. CMFB 회로는 차동 증폭

기와 OTA의 출력 신호를 공통모드 전압으로 안정화한다. <그림 7(c)>는 1차 대역통과 필터를 나타낸다.

바이쿼드 회로와 1차 대역통과 필터의 회로의 전달함수는 다음과 같다.

$$T_{bq}(s) = \frac{w^2}{s^2 + s\frac{w}{Q} + w^2} = \frac{\frac{gm^2}{C_1 \cdot C_2}}{s^2 + s\frac{gm}{C_2} + \frac{gm^2}{C_1 + C_2}} \quad (17)$$

$$T_{lpf}(s) = \frac{w}{s + w} = \frac{\frac{gm}{C_2}}{s + \frac{gm}{C_2}} \quad (18)$$

식 (17)과 식 (18)에서 캐패시터 C_1 과 C_2 의 값은 구현하는 필터의 각주파수 ω , quality factor Q , 차단주파수 f_c , 그리고 OTA의 gm 을 식 (19)와 식 (20)에 대입함으로써 결정된다^[9]. 구현한 9차 베셀 필터($f_c = 8\text{MHz}$, $gm = 90\mu\text{S}$)의 각 스테이지별 캐패시터 값을 <표 1>에 나타내었다.

$$C_2 = \frac{gm \cdot Q}{w \cdot f_c} \quad (19)$$

$$C_1 = \frac{C_2}{Q^2} \quad (20)$$

표 1. 9차 베셀 필터의 stage별 캐패시턴스
Table 1. Capacitances of the 9th-order Bessel filter.

STAGE	ω (Rad/sec)	Q	C_1	C_2
Biquad1	6.3709	0.5197	3.40p	0.92p
Biquad2	6.6066	0.5894	2.88p	1.0p
Biquad3	7.0561	0.7606	2.09p	1.22p
Biquad4	7.8766	1.3219	1.08p	1.89p
1st LPF	6.2670	1	-	1.80p

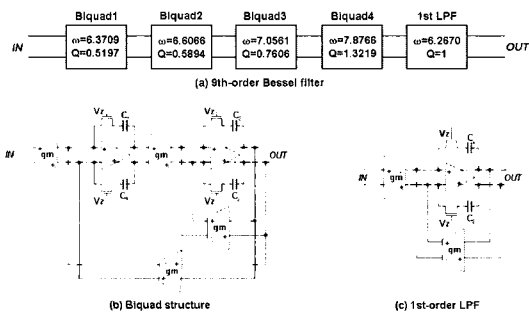


그림 7. 9차 베셀 필터의 구조
Fig. 7. The architecture of the 9th-order Bessel filter.

V. 시뮬레이션 및 실험 결과

9차 베셀 필터는 0.35 μm n-well CMOS 공정으로 설계하여 파라미터를 추출하였고 공급전원 3.3V에서 시뮬레이션 하였다. <그림 8>은 필터의 주파수 응답을 나타낸다. 실선은 전압 이득을 나타내고 점선은 군지연을 나타낸다. 필터의 차단 주파수(f_c)는 8MHz로 설정하였으며 저지대역 감쇠는 -75dB이다. 차단 주파수(f_c)까지의 군지연은 62nsec으로 일정하고 $0.5f_c$ 에서 $2f_c$ 까지의

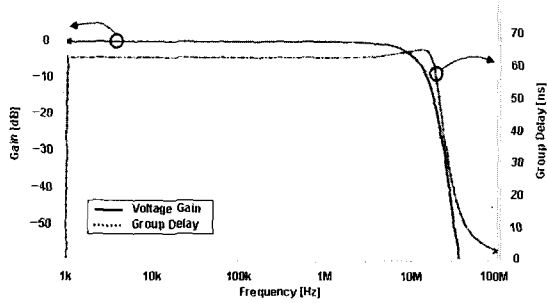


그림 8. 구현한 9차 베셀 필터의 주파수 응답과 군지연
Fig. 8. Frequency response of the filter(voltage gain and group delay).

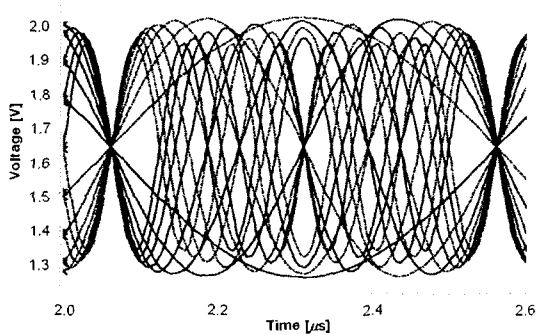


그림 9. 시간 영역에서의 군지연 시뮬레이션
Fig. 9. Group delay simulation in time domain.

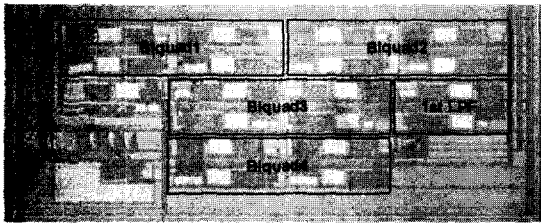


그림 10. 9차 베셀 필터에 대한 칩 사진
Fig. 10. Chip photo of the 9th order Bessel filter.

군지연은 $\pm 2.1\%$ 의 변화율을 갖는다.

<그림 9>는 시간축 상에서 군지연 특성을 알아보기 위해 1MHz부터 8MHz까지의 주파수를 갖는 $\pm 0.8V_{DD}$ 의 사인파 신호들을 9차 베셀 필터로 입력하고 필터의 출력에 나타나는 신호들을 관찰한 시뮬레이션 결과이다. <그림 9>에서 출력 신호는 주파수에 따라 정수배에 해당하는 신호들의 교차점이 일치하여 군지연이 일정함을 알 수 있다. 제안한 OTA를 이용하여 구현한 9차 베셀 필터의 칩 사진을 <그림 10>에 나타내었다. 제작한 칩은 $0.35\mu\text{m}$ nwell CMOS 공정으로 제작하였고 칩의 면적은 0.4mm^2 이다.

VI. 결론

본 논문에서는 전자의 이동도 감소로 인해 발생하는 G_m 의 비선형성 특성을 보상할 수 있는 새로운 OTA를 제안하였고, 응용회로로 9차 베셀 필터를 구현하였다. 제안된 OTA는 선형영역에서 동작하는 트랜지스터와 subthreshold 영역에서 동작하는 트랜지스터를 병렬로 구성하여 넓은 입력 범위에서 개선된 선형성을 유지할 수 있는 특성을 가진다. 제안된 OTA는 $\pm 0.8V_{pp}$ 의 입력 범위 내에서 $90\mu\text{S}$ 의 G_m 을 갖고 0.32%의 낮은 변화율을 나타내었다. 또한 OTA의 총고조파 왜곡은 동일 입력 범위 내에서 -60dB 이하로 나타났다. 9차 베셀 필터는 $0.35\mu\text{m}$ 의 n-well CMOS 공정으로 설계하였고 공급전원 3.3V에서 차단주파수는 8MHz이고 군지연은 62nsec를 나타내었으며 65mW의 전력을 소비하였다.

참고 문헌

- [1] F. Krummenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," *IEEE J. Solid-State Circuits*, vol. 23, no. 3, pp. 750-758, Jun. 1988.
- [2] S. L. Wong, "Novel drain-biased trans-conductance building blocks for continuous-time filter applications," *Electronics Letters*, vol. 25, no. 25, pp. 100-101, Jan. 1989.
- [3] C. A. Laber and P. R. Gray, "A 20-MHz sixth-order BiCMOS parasitic-insensitive continuous-time filter and second-order equalizer optimized for disk-drive read channels," *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 462-470, Apr. 1993.
- [4] F. Yang and C. C. Enz, "A low-distortion BiCMOS seventh-order Bessel filter operating at 2.5V supply," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 321-330, Mar. 1996.
- [5] K. -J. Lee, W. -C. Wang, and K. -S. Huang, "A current-mode testable design of operational transconductance amplifier-capacitor filters," *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 46, no. 4,

Apr. 1999.

[6] E. S. Sinencio and J. S. Martinez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial," in *Proc. IEE Circuits, Devices and Systems*, vol. 147, no. 1, pp. 3-12, Feb. 2000.

[7] Z. Wang and W. Guggenbühl, "A voltage-controllable linear MOS transistor using bias offset technique," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 315-317, Feb. 1990.

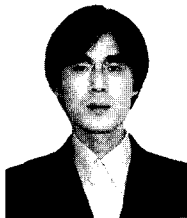
[8] A. L. Coban and P. E. Allen, "Low-voltage CMOS transconductance cell based on parallel operation of triode and saturation transconductors," *Electronics Letters*, vol. 30, no. 14, pp. 1124-1126, Jul. 1994.

[9] C. -S. Kim, G. -O. Cho, Y. -H. Kim, and B. -S. Song, "A CMOS 4x speed DVD read channel IC," *IEEE J. Solid-State Circuits*, vol. 33, no. 8, pp. 1168-1178, Aug. 1998.

[10] E. Ibaragi, S. Nishioka, A. Hyogo, and K. Sekine, "A CMOS OTA free from second order effects with a high input resistance Gm control terminal," *ISCAS*, pp. 300-303, 2001.

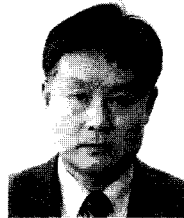
[11] N. Arora, *MOSFET Models for VLSI Circuit Simulation: Theory and Practice*, Springer-Verlag Wien, New York, 1993.

저 자 소 개



金 奎 鎬(正會員)

2001년 2월 : 충북대학교 정보통신공학과 학사. 2003년 2월 : 충북대학교 정보통신공학과 석사. 2003년~현재 : (주)에이엠티 재직 중. 주 관심 분야는 continuous time analog filter 등임.



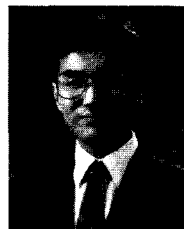
金 容 煥(正會員)

1977년 : 경북대학교 전자공학과 학사. 1987년 : 건국대학교 산업대학원 통신공학과 석사. 1979년 10월~1999년 12월 : (주)삼성전자 연구소 수석연구원. 2001년~현재 : 충북대학교 정보통신공학과 대학원 박사 과정 재학 중. 2003년~현재 : MIS 사장. <주관심 분야 : ASIC 설계, Multimedia Channel Solution 등임.>



楊 成 玄(正會員)

1999년 2월 : 충북대학교 전기전자공학부 학사. 2001년 2월 : 충북대학교 정보통신공학과 석사. 2001년~현재 : 동 대학원에서 박사과정 재학 중. <주관심분야 : CMOS image sensor, 저전력 A/D converter, continuous time analog filter 등임.>



趙 慶 錄(正會員)

1977년 : 경북대학교 전자공학과 학사. 1989년 : 동경대학교 전자공학 석사. 1992년 : 동경대학교 전자공학 박사. 1979년~1986년 : 금성사 TV 연구소 선임연구원. 1992년~현재 : 충북대학교 공과대학 정보통신공학과 교수. <주관심분야 : VLSI 시스템 설계, 통신시스템용 LSI 개발 및 고속 마이크로프로세서 설계 등임.>