

論文2003-40SD-12-5

# 버스트 모드 광 신호 수신을 위한 자동 이득제어 회로

## (An Automatic Gain Control Circuit for Burst-mode Optical Signal reception)

奇 鉉 哲 \*

(Hyeon Cheol Ki)

## 요 약

본 논문에서는 클리퍼(clipper)의 고속 동작 특성을 활용하여 자동 이득제어 회로의 정착시간(settling time)을 극히 짧게 구현할 수 있는 새로운 구조의 자동 이득제어 회로를 제안하였다. 제안한 자동 이득제어 회로에 대해서 해석적으로 동작특성을 분석했다. 아울러 상용 파운드리(foundry)를 이용하여 1.25Gbps EPON 시스템용 버스트 모드 전치증폭회로를 설계하여 그 특성을 해석 결과와 비교 검증했다. 설계된 회로의 특성은 해석 결과와 잘 일치했으며 1ns이하의 극히 짧은 정착시간(settling time)이 구현되고 있음을 확인할 수 있었다

## Abstract

In this paper, we proposed a new structural AGC(Automatic Gain Control) circuit with extremely short settling time using high speed operation characteristics of a clipper. We investigated its operation characteristics in analysis. We also designed a burst-mode preamplifier for 1.25Gbps EPON systems using commercial foundry and investigated its characteristics by comparing the results of the designed and those of the analyzed. The characteristics of the designed circuit are in good agreement with those of the analyzed. As a result, it is shown that it is possible to realize extremely short settling time of under 1ns.

**Keyword** : AGC Settling time, burst-mode, EPON

## I. 서 론

자동이득제어회로(Automatic Gain Control circuit)는 광범위한 입력 레벨 변화에도 불구하고 증폭기의 출력이 비교적 일정한 레벨을 유지하도록 하는 기능을 하는 회로로서 통신시스템, 의료장비, 디스크 드라이브(disk drive)등과 같이 넓은 다이내믹 영역(dynamic

range)의 신호를 수신하는 시스템에서 광범위하게 응용되고 있다<sup>1) 5)</sup>. 특히, 디지털 광통신 시스템에서의 자동 이득제어회로는 광범위한 입력 광 세기 변화에도 불구하고 수신기가 에러 없이 데이터를 복원하는 것을 가능하게 하는 핵심 기능 블록이다.

한편, 최근 들어 광 액세스 네트워크(optical access network)는 기존의 점 대 점 링크(point-to-point link)에서 PON(Passive Optical Network)기술을 이용한 광 다중접속(optical multiple access)으로 전환되고 있으며, PON 시스템에서 사용되는 버스트 모드(burst-mode) 광 신호에 대한 송수신 기술의 필요성 대두와 함께 이

\* 正會員, 暎園 大學校 電子工學科

(Dept. of Electronics Engineering Kyungwon University)

接受日字:2003年8月28日, 수정완료일:2003年11月24日

에 관한 활발한 연구가 진행되고있다. 버스트 모드 신호는 한 채널의 패킷(packet)에서 다른 채널의 패킷으로 전환될 때에 갑자기 매우 큰 폭으로 변화하는 광 신호 세기로 인해 수신회로 구현에 특별히 큰 어려움이 따르게 되며, 이 경우 자동 이득제어 회로의 성능에 의해 1차적으로 그 성능이 좌우되므로 자동 이득제어 회로 개선에 대한 연구가 필수적으로 선행되어야 한다. 기존의 연속모드(continuous-mode) 신호의 경우 일반적으로 신호크기의 변화는 데이터(data) 속도에 비해 매우 느리므로 자동이득제어회로는 긴 시간 동안의 신호의 평균 레벨을 구하여 증폭기의 이득제어 단자에 공급하여 줌으로써 증폭기의 이득을 제어하는 것이 용이하였다. 그러나 버스트 모드(burst-mode) 신호의 경우 한 패킷(packet)에서 다른 패킷으로 전환될 때 갑작스럽게 신호 레벨이 변화하고 이득제어도 순간적으로 이루어 져야 할 필요가 생긴다. 자동이득제어회로가 이득제어를 완료하는 데까지 소요되는 시간인 정착(settling) 시간 동안은 신호가 심하게 왜곡될 것이므로 올바른 데이터를 복구하기가 어려워져서 데이터가 유실될 수 있다. 실제의 경우 패킷의 맨 앞은 프리앰블(preamble)로 이루어져 있으므로 프리앰블 신호가 유실되게 된다. 따라서 정착(settling) 시간이 길어질 경우 긴 프리앰블이 요구되어 통신채널 대역폭의 효율을 떨어뜨리게 된다<sup>6)</sup>. 다시 말해서, 짧은 정착시간(settling time)은 버스트 모드 수신기의 반응 시간을 줄여줘서 채널 대역폭의 효율을 증가시키게 된다. 따라서 정착시간은 자동이득제어 회로의 버스트 모드 적용의 적합성을 평가하는 주요 성능 요소가 된다.

본 논문에서는 버스트 모드(burst-mode) 광 신호의 수신에 적합하도록 자동 이득제어 회로로서 정착시간이 극히 짧은 새로운 구조의 자동 이득제어 회로를 제시하고 그 특성을 분석하고자 한다.

## II. 버스트 모드 자동 이득제어 회로

### 1. 기존의 자동 이득제어 회로 구조

기존의 자동 이득제어 회로는 연속모드 동작과 버스트 모드 동작으로 구분 할 수 있다. <그림 1>은 연속모드 자동 이득제어 회로의 구조를 보여주고 있다. 가변이득증폭기(VGA) 출력 신호의 크기를 진폭 검출기(amplitude detector)가 항상 측정하고 이를 근거로 차

동 증폭기에서 생성된 이득제어전압(V<sub>C</sub>)은 루프필터를 거쳐 가변이득증폭기에 인가됨으로써 이득을 조절한다. 이 경우 루프필터의 시상수를 조절하여 이득제어전압의 반응속도를 수신되는 데이터 율(data rate)에 비해 충분히 낮게 조절해 줌으로써 효율적이고 안정적으로 이득제어 동작이 이루어 지도록 할 수 있다.

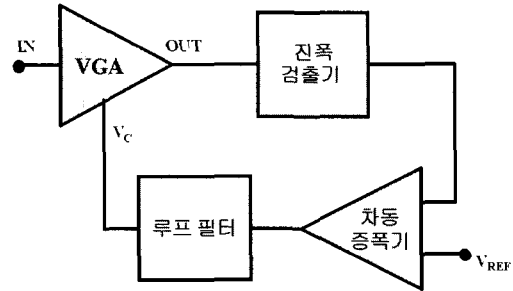


그림 1. 연속 모드 자동 이득제어 회로의 구조

Fig. 1. The structure of the conventional continuous-mode AGC circuit.

그러나 수신 신호가 버스트 모드인 경우 이득제어전압의 느린 반응속도는 패킷이 시작되는 전반부의 수많은 데이터를 유실 시키게 되어 매우 긴 구간의 프리앰블(preamble)이 요구되게 된다. 이는 통신채널 대역폭의 효율의 엄청난 저하를 의미하게 되므로 버스트 모드 동작에 적합한 구조의 버스트 모드 자동 이득제어 회로가 요구된다. <그림 2>은 기존의 버스트 모드 자동 이득제어 회로의 구조를 보여주고 있다. 연속모드 경우에 비해 달라진 점은 신호의 크기를 측정함에 있어 진폭 검출기 대신 첨두 검출기(peak detector)를 사용한다는 점이다. 일반적으로 긴 구간 신호의 평균을 구하는 진폭 검출기에 비해 첨두 검출기는 훨씬 더 짧은 구간에서 첨두치를 측정해 낼 수 있으므로 신호의 크기를 측정하는 시간을 대폭 단축할 수 있다. <그림 2>의 첨두 검출기, 차동증폭기 및 루프필터가 귀환루프(feedback loop)를 구성하고 첨두 검출기는 출력신호의 첨두진폭을 측정하여 첨두진폭이 기준전압(V<sub>REF</sub>)과 같아질 때까지 가변이득증폭기의 이득을 조절한다.

한편, 통신채널 대역폭의 효율을 높이기 위해서는 귀환루프를 통한 이득 제어동작이 완료되기까지 소요되는 시간인 정착시간(settling time)을 가능한 한 최소화 하여야 한다. 귀환루프에서 정착시간은 주로 루프필터 시상수에 의해서 결정되므로 루프필터 시상수를 최소

화 시킬 필요가 있다. 그러나, 귀환루프동작 시 루프필터의 전압은 침투진폭이 기준전압(VREF)과 같아진 후에도 루프필터를 제외한 귀환루프의 지연시간 동안 증가를 지속하여 오차를 야기하게 된다. 이 경우 루프필터를 제외한 귀환루프의 지연은 거의 침투 검출기에 의해 발생하므로 루프필터를 제외한 귀환루프의 지연 시간을 근사적으로 침투 검출기의 지연시간으로 간주하기로 하면, 일정한 허용오차 범위를 유지하기 위해 루프필터의 시상수는 침투 검출기의 지연시간의 일정 배율이상을 설정하여야 한다. 따라서 루프필터의 시상수를 줄여주기 위해서는 출력신호의 크기를 측정하는 침투 검출기의 지연시간을 줄여 주어야 한다는 것을 알 수 있다.

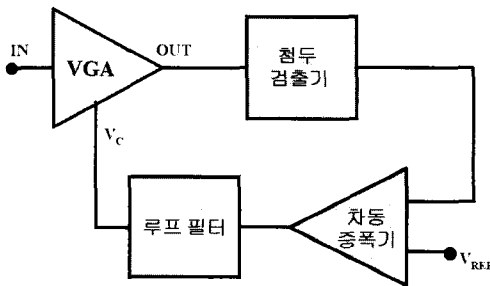


그림 2. 기존의 버스트 모드 자동 이득제어 회로의 구조  
Fig. 2. The structure of the conventional burst mode AGC circuit.

2. 제안된 자동 이득제어 회로 구조

본 논문에서는 정착시간(settling time)을 극단적으로 단축할 수 있는 새로운 구조의 버스트 모드(burst-mode) 자동 이득제어 회로를 제안하고자 한다. <그림 3>은 제안된 자동이득제어 구조로서 가변이득증폭기(VGA)는 실제 상황에 맞추어 고정 DC 전압레벨(VIX)로부터 음 전압의 출력(vOUT)을 낸다고 가정하면 출력신호는 VIX - vOUT이 되어 진폭이 커질수록 신호 침투의 DC 레벨은 낮아지게 된다. 커팅레벨(cutting level)을 VCT 라고 하면 클리퍼(clipper) 출력(VD)는 두 레벨의 차 전압이 되므로 다음과 같이 표현된다.

$$V_D = V_{CT} + v_{OUT} - V_{DC} \quad (1)$$

이 출력은 증폭기(amplifier)를 통해 증폭된 후 스위치(switch) 역할을 하는 다이오드를 거쳐 루프필터(loop filter)를 충전함으로써 제어 전압(Vc)을 조절하게 된다.

여기서, 클리퍼는 가변이득증폭기의 음 출력이 커져 침투 레벨이 커팅레벨(VCT)보다 낮아 질 경우 그 만큼을 잘라 내어 출력함으로써 이득제어 동작 시행여부와 그 양을 알려 주고 있어서 기존 구조에서의 침투 검출기와 차동 증폭기의 역할을 동시에 대신하고 있다. 이 경우 클리퍼는 회로 특성 상 침투 검출기에 비해 훨씬 빠르게 동작하므로 이득제어 동작 결정 소요시간을 극단적으로 줄여 주며 이는 루프필터를 제외한 귀환루프의 지연시간이 감소하는 것을 의미한다. 따라서 루프필터의 시상수를 보다 더 감소시켜 줄 수 있어 정착시간(settling time)이 매우 짧은 이득제어 동작을 가능하게 해준다.

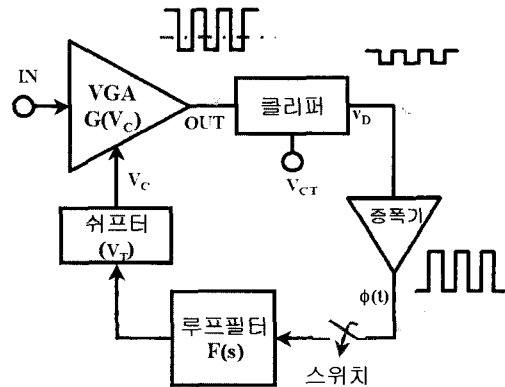


그림 3. 제안된 버스트 모드 자동 이득제어 회로의 구조  
Fig. 3. The structure of the proposed AGC circuit.

3. 제안된 자동이득제어 회로의 해석

제안한 버스트 모드 자동이득제어회로의 특성을 분석하기위해 <그림 4>에서와 같이 자동이득제어 회로를 모델화하였다. 가변이득증폭기는 입력이 광 검출기(photo detector)로부터 받은전류(iIN)가 되고 출력은 전압(vOUT)이 되므로 전달임피던스 형태의 증폭기가 되고 이득은 이득제어 신호(Vc)에 따라 변하므로 가변이득증폭기 이득을 G(Vc)라고 하면 출력전압은 다음과 같이 표현된다

$$v_{OUT} = G(V_C) i_{IN} \quad (2)$$

귀환루프는 진폭의 최대치에 대해 반응하므로 모델화를 할 때에 모든 신호를 대문자 'A'로 표시하여 진폭의 최대치를 의미하기로 하면, 입력 전류(iIN)의 침투치는 AIN, 출력 전압(vOUT)의 침투치는 AOUT이라 표

현 할 수 있으며 이 경우 위의 식 (2)는 다음의 식 (3)으로 표현된다.

$$A_{OUT} = G(V_C)A_{IN} \quad (3)$$

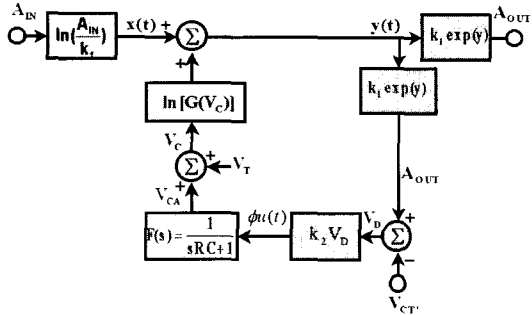


그림 4. 제안된 자동이득제어회로의 모델  
Fig. 4. The model of the proposed AGC circuit.

한편, 자동이득제어 루프를 선형 수식화 하기위해 식 (3)의 양변에 로그를 취하면 아래 수식으로 표현된다.

$$y(t) = x(t) + \ln[G(V_C)] \quad (4)$$

여기서,  $x(t) = \ln(A_{IN})$  및  $y(t) = \ln(A_{OUT})$  이다.

따라서 자동이득제어회로모델에서 가변이득증폭기는 덧셈기로 표현된다. 또한, 클리퍼 (clipper)와 레벨변환기(level shifter)도 덧셈기로 표현이 가능하므로 <그림 4>에 보인 바와 같은 자동이득제어 회로에 대한 모델을 구축하였다.

한편, <그림 5>는 실제로 설계된 가변이득증폭기의 회로를 간략화 하여 보여주고 있으며, 이득 $G(V_C)$ 은 귀환저항( $R_F$ )과 MOS트랜지스터(M)의 채널 저항( $R_{M_{on}}$ )과의 병렬합성 값이 되므로 아래 수식으로 표현된다.

$$G(V_C) = R_{M_{on}} // R_F = \frac{1}{\beta R_F (V_C - V_T) + 1/R_F} \quad (5)$$

여기서  $\beta$ 는 MOS트랜지스터의 전달컨덕턴스 이득이고  $V_T$ 는 문턱전압(threshold voltage)이다. <그림 6>는 식 (5)의 이득특성을 그래프로 보여주고 있으며 지수함수와 유사한 특성임을 볼 수 있다. 또한, 이득제어 동작은  $V_C > V_T$ 인 때에 이루어 지므로 이 구간에서 가변이득증폭기의 이득은 다음과 같이 지수함수로 근사될 수 있다.

$$G(V_C) \approx R_F e^{-\beta(V_C - V_T)} \quad (6)$$

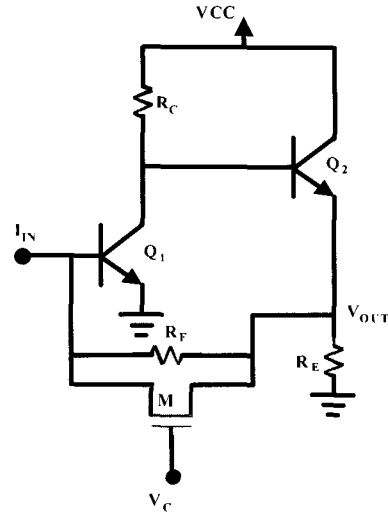


그림 5. 가변이득증폭기의 간략화 된 회로도  
Fig. 5. The simplified circuit of the VGA.

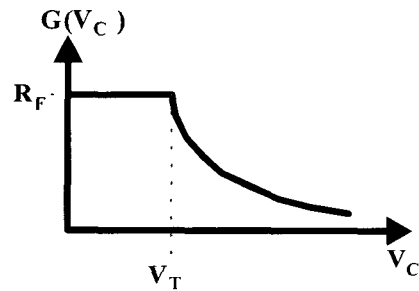


그림 6. 가변이득증폭기의 이득특성  
Fig. 6. Gain characteristics of the VGA.

여기서,  $V_C > V_T$  이다.

모델화된 자동이득제어루프의 특성을 수식으로 표현하기위해 식 (4)의 양변을 미분 함으로써 다음의 수식을 얻을 수 있다.

$$\frac{dy(t)}{dt} = \frac{dx(t)}{dt} + \frac{1}{G(V_C)} \frac{dG(V_C)}{dV_C} \frac{dV_C}{dt} \quad (7)$$

위에서 구한 가변이득증폭기의 이득식인 (6)로부터 다음의 관계식을 얻을 수 있다.

$$\frac{1}{G(V_C)} \frac{dG(V_C)}{dV_C} = -\beta \quad (8)$$

가변이득증폭기의 출력은 클리퍼와 증폭기를 거치게 되는데 <그림 7>은 클리핑과 증폭작용이 한 회로에서 동시에 이루어 지도록 고안된 회로이다. 트랜지스터  $Q_1$ 의 입력 다이오드가 클리퍼 역할을 함과 동시에 트랜지스터  $Q_2$ 와 부하  $R_C$ 에 의해 증폭작용이 일어난다. 한편, 식 (1)에서의 고정 DC 전압레벨( $V_{IX}$ )은 <그림 7>에서 트랜지스터  $Q_2$ 의 베이스와  $Q_1$ 의 베이스 사이의 고정된 바이어스전압이 됨을 알 수 있다. 따라서 고정 DC 전압레벨( $V_{IX}$ )을 같은 고정 상수인 커팅레벨( $V_{CT}$ )에 묶어  $V_{CT} = V_{bc} - V_{CT}$ 로 표현하면 <그림 4>의 클리퍼를 모델화한 덧셈기는  $V_{OUT} - V_{CT}$ 으로 간략히 될 수 있다.

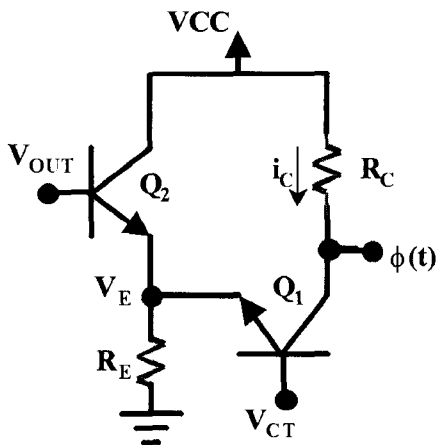


그림 7. 클리퍼 및 증폭기 회로의 간략도  
Fig. 7. The schematic of the clipper and amplifier circuit.

한편, 루프필터를 <그림 8>에 보인 회로로 가정하고 <그림 4>의 자동 이득제어 회로모델에서 루프필터를 제외한 귀환루프 지연시간을  $t_d$ 라고하면, 루프필터에서의 전압( $V_{CA}$ )은 다음과 같이 표현된다.

$$V_{CA}(t) = \frac{1}{C} \int_0^t \frac{\phi - V_{CA}(\tau - t_d)}{R} d\tau \quad (9)$$

$V_{CA}(t - t_d) \approx V_{CA}(t) - V'_{CA}(0) \cdot t_d$ 로 근사하여 전압 ( $V_{CA}$ )를 구하고  $V_C = V_{CA} + V_T$ 이므로  $V_C(t)$ 는 다음 수

식으로 표현된다.

$$V_C(t) = \{\phi - V'_{CA}(0) \cdot t_d\} (1 - e^{-\frac{t}{\tau}}) + V_T \quad (10)$$

여기서  $\tau = RC$ 이다.

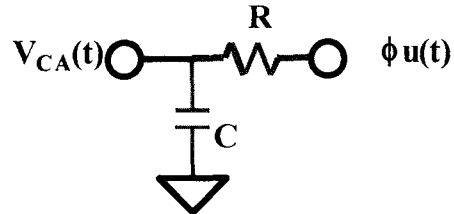


그림 8. 루프필터 회로도  
Fig. 8. Loop filter circuit.

Taylor 시리즈를 이용하여  $\phi \approx k_2(k_1 y - V_{CT} + k_1)$ 의 근사식으로 표현하면  $V_C(t)$ 의 시간에 대한 미분 식은 다음과 같이 얻어진다.

$$V'_C(t) = \left(\frac{k_2}{\tau}\right)(k_1 y - V_{CT} + k_1 - V'_C(0) \cdot t_d) e^{-\frac{t}{\tau}} \quad (11)$$

전압  $V_C(t)$ 의 시간에 따른 변화율을  $t=0$ 에서의 변화율로 근사화 하면  $V_C(t)$ 의 미분은 다음의 수식으로 간략하게 표현된다.

$$V'_C(t) \approx \left(\frac{k_2}{\tau}\right)(k_1 y - V_{CT} + k_1 - V'_C(0) \cdot t_d) \quad (12)$$

식 (8)과 식 (12)을 식 (7)에 대입하면 다음의  $y(t)$ 에 대한 미분 방정식을 얻을 수 있다.

$$\frac{dy(t)}{dt} = \frac{dx(t)}{dt} - \frac{\beta k_2}{\tau} [k_1 y - V_{CT} + k_1 - V'_C(0) \cdot t_d] \quad (13)$$

$x(t)$ 를  $u(t)$ 로 가정하여 위의 미분 방정식으로부터  $y(t)$ 를 구하면 다음과 같이 표현된다.

$$y(t) = a e^{-\frac{t}{\tau_s}} + \left(\frac{V_{CT}}{k_1} - 1 + \frac{V'_C(0) \cdot t_d}{k_1}\right) (1 - e^{-\frac{t}{\tau_s}}) \quad (14)$$

여기서, 시상수,  $\tau_s$ 는 다음 수식으로 표현된다.

$$\tau_s = \frac{\tau}{\beta k_2 k_1} \quad (15)$$

식 (14)와  $A_{OUT}(t) = k_I \exp[y(t)]$ 의 관계식으로 부터 다음의 관계식을 얻는다.

$$\frac{1}{A_{OUT}} \frac{dA_{OUT}}{dt} = \frac{dy(t)}{dt} = \left(\frac{1}{\tau_s}\right) \left[ \left(\frac{V_{CT}}{k_I} - 1 + \frac{V'_C(0) \cdot t_d}{k_I}\right) - \alpha \right] e^{-\frac{t}{\tau_s}} \quad (16)$$

따라서  $\tau_s$ 가 출력신호크기가 안정화 되기까지의 시간인 정착시간(settling time)으로 간주할 수 있다. 식 (15)로부터 정착시간은 루프필터의 시상수( $\tau$ )를 감소시키고 MOS의 전달컨덕턴스( $\beta$ )와 증폭기이득( $k_2$ )을 증가 시킴으로써 수식적으로는 줄여줄 수 있음을 알 수 있다.

한편, 정상상태( $t = \infty$ )에서의 출력전압크기( $A_{OUT}$ )는 다음 수식으로 표현된다.

$$A_{OUT}(\infty) = k_I \exp\left[\frac{V_{CT}}{k_I} - 1 + \frac{V'_C(0) \cdot t_d}{k_I}\right] \quad (17)$$

따라서 지연시간( $t_d$ )에 의한 출력전압크기의 오차( $A_{OUT\_ERROR}$ )는  $A_{OUT}(\infty)$ 에서  $A_{OUT}(\infty)|_{t_d=0}$ 을 빼줌으로써 다음 수식으로 구해진다.

$$A_{OUT\_ERROR} = k_I \exp\left(\frac{V_{CT}}{k_I} - 1\right) \left[ \exp\left(\frac{V'_C(0) \cdot t_d}{k_I}\right) - 1 \right] \quad (18)$$

식 (12)에서  $t_d=0$ 일 때를 가정하고,  $k_c = (k_1 \gamma - V_{CT} + k_1)$ 로 표시하면  $V'_C(0) = (k_c k_2) / \tau$ 의 근사식을 얻는다. 식 (18)에 대입하면 다음의 수식을 얻는다.

$$A_{OUT\_ERROR} = k_I \exp\left(\frac{V_{CT}}{k_I} - 1\right) \left[ \exp\left(\frac{k_c k_2 t_d}{k_I \tau}\right) - 1 \right] \quad (19)$$

식 (19)로부터 출력전압크기의 오차( $A_{OUT\_ERROR}$ )는  $(k_2 t_d) / \tau$ 에 대해 지수 함수적으로 증가하므로 오차를 줄여주기 위해서는  $\tau / k_2 \gg t_d$  조건을 만족시켜야 하므로 정착 시간을 임의로 줄여 줄 수 없게 된다. 기존 구조의 이득제어 회로의 경우, 이 지연시간( $t_d$ )의 대부분은 침투검출기에 의해 발생하였으나 제안한 구

조에서는 침투검출기를 고속동작이 가능한 클리퍼로 대체 함으로써 더욱 짧은 정착시간 구현을 가능하게 하여준다.

### III. 자동이득제어회로의 특성 검증

모델화를 통한 해석으로 제안한 자동 이득제어 회로에 대해 분석한 여러 특성들을 실제적 상황에서 검증 및 분석하기 위해 상용 파운드리(foundry)인 AMS사의 0.8um SiGe HBT BiCMOS 소자를 사용하여 1.25Gbps 버스트 모드 EPON(Ethernet Passive Optical Network) 시스템에 적용하기 위한 자동이득제어 기능을 갖는 버스트 모드 전치증폭회로를 설계하였다. 설계된 버스트 모드 전치증폭회로에 입력에 점멸율(extinction ratio)이 10dB인 1.25Gbps 전류 펄스를 인가하고 전류 크기를 80uAp-p로부터 900uAp-p까지 변화 시켜가며 자동 이득제어 성능을 조사하였다.

<그림 9>는 입력 전류 레벨에 따른 이득제어 전압( $V_C$ )의 변화 특성을 보여주고 있다. 이득제어 동작은 80uAp-p 이상의 입력에서 시작되고 있으며 그 후로 입력 전류의 세기에 따라 이득제어전압의 크기도 증가하는 정상적인 특성을 보여 주고 있다. 특별히 이득제어 전압이 안정화 되기까지의 시간인 정착시간(settling time)은 모든 입력 변화에 대해서 1ns이내로서 앞 장의 해석 결과로 예견한 대로 극히 짧은 정착시간이 실제로 그대로 구현되고 있음을 보여 주고 있다. <그림 10>은 같은 조건에서의 전치증폭기 출력 파형을 보여 주고있다. 출력 파형도 첫 비트 이내에서 이득제어 작용이 완료되어 두 번째 비트부터는 이득 제어된 정상적인 파형이 출력됨을 보여주고 있다.

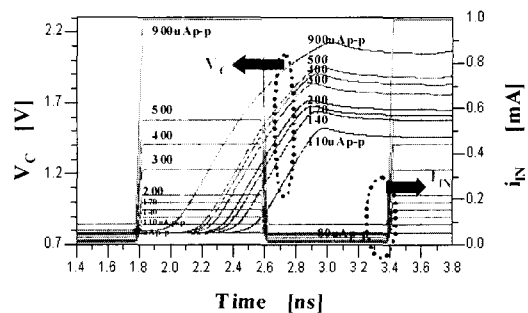


그림 9. 입력전류레벨에 따른 이득제어 전압 특성  
Fig. 9. Gain control voltage characteristics of the preamplifier depend on input current level.

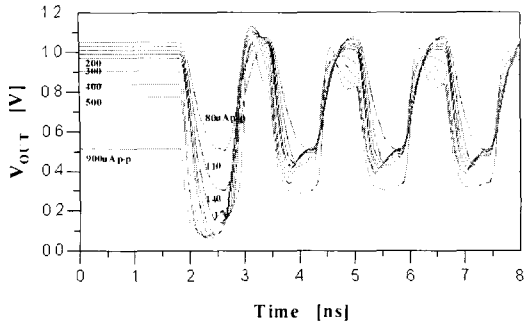


그림 10. 입력전류레벨에 따른 전치 증폭기의 출력전압 파형

Fig. 10. Output waveforms of the preamplifier depend on input current levels.

<그림 11>은 입력전류 크기의 변화에 따라 설계된 전치 증폭기가 전달임피던스(transimpedance)이득을 제어하는 특성을 분석하기 위해 그래프 상에서 심볼로 표시된 입력전류를 인가하고 시뮬레이션을 통해 이득을 구하여 그래프로 그렸다.

한편, <그림 11>의 이득제어 특성에 대한 수식을 해석적으로 구하기 위해 식 (6)의 지수함수를 Taylor 시리즈(series)로 근사화 하면 가변이득증폭기의 이득이  $V_C$ 의 1차 식으로 표현된다.

$$G(V_C) \approx R_F [1 - \beta R_F (V_C - V_T)] \quad (20)$$

식 (10)의  $V_C(t)$ 수식에서의 지수함수와  $\phi(t)$ 수식에서의 지수함수를 마찬가지로 Taylor 시리즈로 근사화 하면 다음과 같이 표현된다.

$$V_C(t) \approx \frac{t}{\tau} k_2 (V_{OUT} - V_{CT} - V_C'(0) \cdot t_d) + V_T \quad (21)$$

위의 식 (21)을 식 (20)에 대입함으로써 가변이득증폭기의 이득을 다음과 같이 시간함수로 표현할 수 있다.

$$G(t) \approx R_F - \beta R_F^2 \frac{t}{\tau} k_2 [V_{OUT} - V_{CT} - V_C'(0) \cdot t_d] \quad (22)$$

식 (22)에서  $V_{OUT} = G(t)I_{IN}$  관계식을 적용하여 정리함으로써 가변 이득증폭기의 이득  $G(t)$ 에 대한 아래의 수식이 구해진다.

$$G(t) = \frac{R_F + R_F^2 \beta \frac{t}{\tau} k_2 (V_{CT} + V_C'(0) \cdot t_d)}{1 + \beta R_F^2 \frac{t}{\tau} k_2 I_{IN}} \quad (23)$$

$V_C(t)$  수식에서의 지수함수를 Taylor 시리즈로 근사화 한 결과  $t=\tau$ 에서 정상상태에 도달하게 되므로 가변이득증폭기의 정상상태 이득은 다음과 같이 얻어진다.

$$G(\infty) = G(t) \Big|_{t=\tau} = \frac{R_F + R_F^2 \beta k_2 (V_{DC} - V_{CT} + V_C'(0) \cdot t_d)}{1 + \beta R_F^2 k_2 I_{IN}} \quad (24)$$

식 (24)는 입력전류( $I_{IN}$ )가 증가함에 따라 가변이득증폭기의 이득이 감소해야 함을 의미한다. <그림 11>의 특성을 보면 대략  $80 \mu A_{p-p}$ 에서부터 이득제어 동작이 이루어지기 시작하여 입력전류( $I_{IN}$ )가 증가함에 따라 이득이 감소하고 있어 해석적 수식과 잘 일치하고 있음을 알 수 있다. 또한, 식 (24)에 의하면  $(V_{DC} + V_C'(0) \cdot t_d) > V_{CT}$ 의 조건을 만족하는 시점에서 이득제어 동작이 시작되므로 커팅레벨( $V_{CT}$ )의 증가는 이득제어 동작 시작점을 낮춰줄음을 보여준다. 이에 대한 설계 특성은 <그림 11>에 잘 나타나있으며 커팅레벨이 1.0V에서 2.0V까지 변화함에 따라 이득제어 동작 시작점은 'c' 'b' 'a'로 낮아지고 있어 해석 결과와 매우 잘 일치하고 있음을 알 수 있다.

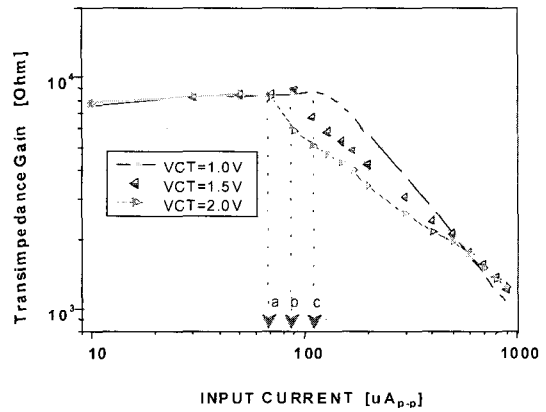


그림 11. 입력전류레벨에 따른 자동이득제어 증폭기의 전달임피던스 이득특성

Fig. 11. Transimpedance gain characteristics of the preamplifier depend on input current levels.

#### IV. 결 론

본 논문에서는 버스트 모드(burst-mode) 광통신의 광 신호 수신에서 문제가 될 수 있는 자동 이득제어 회로의 정착시간(settling time)을 극히 짧게 구현할 수 있는 새로운 구조의 자동 이득제어 회로를 제안하였다. 제안한 자동 이득제어 회로는 클리퍼의 고속 동작 특성을 활용하여 매우 짧은 시간 내에 이득제어판단이 가능하도록 함으로써 극히 짧은 정착시간을 실현 할 수 있었다.

제안한 자동 이득제어 회로에 대해서는 수식적 해석과 아울러 상용 파운드리(foundry) 소자를 이용하여 1.25Gbps EPON 시스템용 버스트 모드 전치증폭회로를 설계하고 그 특성을 검증했다. 설계된 회로의 특성은 수식적 해석과 잘 일치했으며 1ns이하의 극히 짧은 정착시간(settling time)이 구현되고 있음을 확인 할 수 있었다.

#### 참 고 문 헌

- [1] C. Y. Huang, Y. C. peng and C. K. Wang, "A BiCMOS Automatic Gain Control Amplifier for SONET OC-3", Proc. Of IEEE Custom Integrated Circuits Conference, pp.103-106, 1995.
- [2] G. S. Sahota and C. J. Persico, "High Dynamic Range Variable-Gain Amplifier for CDMA Wireless Applications", Proc. Of IEEE International Solid-State Circuits Conference, pp. 374-375, 1997.
- [3] P. Siniscalchi, A. Wyziyski and D. Choi, "High Precision Programmable 1-10 MHz Bandwidth, 0-20 dB Gain Communication Channel For Digital Video Applications", Proc. Of IEEE Custom Integrated Circuits Conference, pp. 85-88, 1996.
- [4] W. A. Serdijn, A. C. Van de Woerd, J. Davidse and A. H. M. van Roermund, "Low-Voltage Low-power Fully Integrated Automatic Gain Controls", Analog Integrated Circuits and Signal Processing, Vol.8, pp.131-143, 1995.
- [5] R. Harjani, "A Low-power CMOS VGA for 50Mb/s Disk Drive Read Channels", IEEE Transactions on Circuits and Systems, Vol.42, no. 6, pp. 370-376, June 1995.
- [6] J. M. khoury, "On the Design of Constant Settling Time AGC Circuits", IEEE Transactions on Circuits and Systems, Vol.45, no.3, pp. 283-294, March 1998.

#### 저 자 소 개



#### 奇鉉哲(正會員)

1984년 2월 : 한양대학교 전자공학과 졸업(공학사). 1986년 8월 : 한양대학교 대학원 전자공학과 졸업(공학석사). 1992년 2월 : 한양대학교 대학원 전자공학과 졸업(공학박사).  
1986년~1989년 : 한국 전자통신 연구원 연구원. 1996년~1997년 : 미국 조지아공대 post.doc  
1992년 3월~현재 : 경원대학교 전자공학과 부교수. <주 관심분야 : RF/MMIC설계, 광통신용IC설계, ASIC 설계>