

論文2003-40SD-12-4

버스트 광 신호 레벨 적응형 기준레벨 자동 발생회로

(An Automatic Threshold Control Circuit Adaptive to Burst Optical signal Levels)

奇鉉哲 *

(Hyeon Cheol Ki)

요약

본 논문에서는 첨두 검출기의 구조를 개선함으로써 정착시간(settling time)을 더욱 단축 시킬 수 있는 적응형 기준레벨자동 발생회로를 제안했다. 제안한 기준레벨 자동 발생회로에 대해 비슷한 정착시간을 설정 하였을 때에 오차전압비율이 기존 구조에 비해 절반 이하로 줄일 수 있어 정착시간을 상당량 개선할 수 있음을 해석을 통해 밝혔다. 아울러 상용 파운드리(foundry)를 이용하여 1.25G EPON 시스템용 버스트 모드 기준레벨 자동 발생회로를 설계한 결과 동적영역(dynamic range)이 40dB인 입력신호에 대해 6ns 라는 매우 짧은 시간 이내에 기준 레벨을 생성해 내는 결과를 얻을 수 있었다.

Abstract

In this paper, we proposed an adaptive ATC(Automatic Threshold Control) circuit with more decreased settling time by improving the structure of the peak detector. We showed that it could reduce a good deal of the settling time because it showed less than half the error voltage ratio that the ATC circuit with conventional structure showed in analysis. We also designed a burst-mode ATC circuit for the 1.25 Gbps EPON system using a commercial foundry. It produced the reference levels in very short time, 6ns in 40 dB input dynamic range.

Keyword : reference voltage, burst-mode, EPON

1. 서론

최근 광 액세스 네트워크(optical access network)에서는 기존의 점 대 점 링크(point-to-point link) 방식을 탈피하고 저렴한 비용의 PON(Passive Optical Network)기술을 이용하여 광 다중접속(optical multiple access)방식으로 전환하기 위한 연구가 활발히 진행되고 있다^{1) 6)}. 이 경우 OLT(Optical Network Units)에서

는 신호가 없는 구간이 존재하여 신호가 구간 별로 나타나는 버스트(burst) 형태 일 뿐 아니라 각 버스트 마다의 신호 크기도 매우 큰 폭으로 변할 수 있는 버스트 모드(burst-mode) 신호를 수신해야 한다.

전치증폭기(preamplifier)에 의해 전기 신호로 변환된 광 신호는 정상적인 디지털 파형을 갖추기 위해 포스트(post) 증폭기를 거치게 된다. 전치증폭기 출력 신호를 포스트 증폭기에 인가하는 과정에서 신호의 왜곡과 지터(jitter) 및 신호유실이 발생할 수 있으므로 이를 방지하기 위한 기준레벨 자동 발생회로(ATC: Automatic Threshold Control)가 반드시 필요하게 된다. 특별히

* 正會員, 暎園 大學校 電子工學科

(Dept. of Electronics Engineering Kyungwon University)

接受日字:2003年8月28日, 수정완료일:2003年11月24日

버스트 모드 신호를 수신할 경우 기준레벨 자동 발생 회로는 지터 특성에 큰 영향을 미치는 것 외에도 정상적인 기준레벨을 생성하는 데 소요되는 시간인 정착시간(settling time)에 의해 패킷(packet) 초기의 신호 유실 구간을 결정하게 된다. 패킷의 맨 앞은 프리앰블(preamble)로 이루어져 있으므로 신호 유실 구간이 길어지면 그 만큼 더 긴 프리앰블이 요구되어 통신 채널 대역폭의 효율을 떨어뜨리게 된다^[7]. 따라서 버스트 모드 수신에서는 기준레벨 자동 발생회로의 정착시간을 최대한 짧게 구현하기 위해 <그림 1>에 보인 바와 같은 순-먹임(feed-forward) 방식을 채택하고 있다. 순-먹임 방식의 기준레벨 자동 발생회로는 신호의 천정(top)과 바닥(bottom)의 첨두(peak) 레벨을 검출하여 그 중간 레벨을 기준레벨로 정함으로써 귀환(feed-back)방식보다 훨씬 짧은 시간에 기준레벨을 생성할 수 있다.

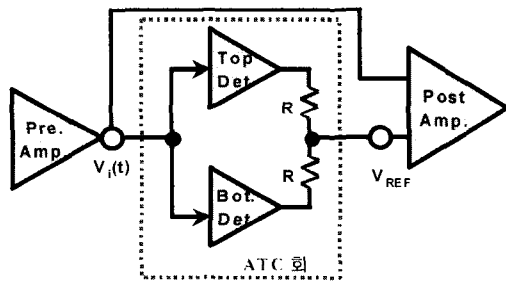


그림 1. 순-먹임(feed-forward)방식의 기준레벨 자동 발생회로
Fig. 1. A feed-forward ATC circuit.

한편, 데이터 율(data rate)이 높아짐에 따라 첨두 검출기(peak detector)의 첨두레벨 검출에 소요되는 시간인 첨두 검출기 정착시간(settling time)도 더욱 줄여 주어야 할 필요가 있다. 그러나 단순히 첨두 검출기의 시상수(time constant)를 줄여 줄 경우 작은 입력 신호에 대해서는 상대적으로 큰 오차로 인해 올바른 기준레벨을 생성할 수 없는 문제가 발생한다.

본 논문에서는 입력 신호레벨의 크기에 따라 첨두 검출기의 충전전류가 자동적으로 조절될 수 있도록 첨두 검출기의 구조를 개선함으로써 작은 입력 신호에서의 오차 문제를 극복하고자 한다. 또한 이를 이용하여 입력 신호레벨의 크기가 매우 작아질 때에 발생하는 첨두치 검출오차를 줄여줌으로써 정착시간을 더욱 단축시킬 수 있는 적응형 기준레벨 자동 발생회로를 제안하고자 한다.

II. 기준레벨 발생회로를 위한 첨두 검출기의 해석

1. 기존 첨두 검출기의 해석 및 기준레벨 발생회로 동작특성

순-먹임(feed-forward) 방식의 기준레벨 자동 발생회로에서 사용되는 기존 첨두 검출기는 <그림 2>와 같은 구조로 이루어져 있다. 입력신호[V_i(t)]의 첨두치와 첨두전압[V_p(t)] 크기의 차인 차전압[V_d(t)]은 이득이 A인 증폭기에 의해 증폭된 후 두 전압이 같아 질 때까지 용량기(C) 충전을 통해 첨두전압[V_p(t)]의 크기를 증가시켜 궁극적으로 두 전압 같도록 함으로써 입력신호[V_i(t)]의 첨두치를 검출해 낸다. 증폭기의 동작지연시간을 τ_d로 나타냈으며 첨두전압[V_p(t)]은 다음의 미분식으로 표현된다.

$$V_p(t) = \frac{1}{C} \int_0^t i(t) dt \tag{1}$$

증폭된 차전압[AV_d(t)]과 첨두전압[V_p(t)]의 차가 저항(R) 양단에 걸리고 이 때의 차전압은 기준전압과 증폭기의 동작지연시간(τ_d) 만큼의 시차가 있으므로 식 (1)은 다음과 같이 전개된다.

$$V_p(t) = \frac{1}{RC} \int_0^t A\{V_i(t - \tau_d) - V_p(t - \tau_d)\} - V_p(t) dt \tag{2}$$

지연시간(d) 동안의 첨두전압 변화량, δ(t) = V_p(t) - V_p(t - τ_d)로 정의하고 τ_d = RC 라고 하면 위 식은 다음과 같이 표현된다.

$$V_p(t) - \frac{A}{\tau_o} \int_0^t \delta(t) dt = \frac{1}{\tau_o} \int_0^t A\{V_i(t) - V_p(t)\} - V_p(t) dt \tag{3}$$

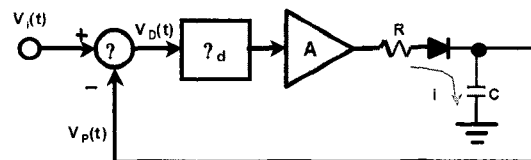


그림 2. 기존의 첨두 검출기의 구조
Fig. 2. The structure of conventional ATC.

τ_S 를 침두전압[$V_P(t)$] 미분치의 평균 값의 역수로 정의하면 침두전압[$V_P(t)$] 미분치의 평균 값은 $t=0$ 에서의 침두전압 미분치, $V_P'(0)$ 로 근사할 수 있으므로, $\delta(t) \approx V_P'(0) \cdot \tau_d \approx \tau_d / \tau_S$ 로 근사 된다. 따라서 위 식의 양변을 미분하여 다음의 미분방정식을 얻을 수 있다.

$$V_P'(t) - \frac{A \tau_d}{\tau_o \tau_S} \approx \frac{1}{\tau_o} [A\{V_i(t) - V_R(t)\} - V_R(t)] \quad (4)$$

입력신호, $V_i(t)=u(t)$ 의 계단함수로 가정하고 위 미분방정식을 풀면 다음과 같은 침두전압에 대한 과도응답을 얻을 수 있다.

$$V_P(t) \approx (\alpha + \frac{\tau_d}{\tau_S})(1 - e^{-\frac{t}{\tau_A}}) \quad (5)$$

여기서, $\tau_A = \tau_o / A$ 이다.

<그림 1>의 기준레벨 자동 발생회로의 구조를 보면 침두 검출기의 정착시간(settling time)이 그대로 기준레벨 자동 발생회로의 정착시간이 됨을 알 수 있다. 식 (5)로부터 침두 검출기의 정착시간은 A 이므로 기준레벨 자동 발생회로의 정착시간(τ_{atc})은 다음 수식으로 표현된다.

$$\tau_{atc} = \tau_A = \tau_o / A \quad (6)$$

식 (6)으로부터 기준레벨 자동 발생회로의 정착시간(τ_{atc})은 입력신호의 크기에 관계없이 일정하며, 침두 검출기 내 증폭기의 이득(τ_A)에 의해 기본 시상수(τ_o)보다 크게 감소되고 있음을 볼 수 있다. 실제 회로에서 이득(τ_A)은 매우 큰 값이 되고 작은 입력 신호에 대해서도 출력이 바이어스전압에 의해 제한을 받게 된다. 따라서 유효이득(effective gain : A_{eff})은 입력신호의 크기가 커짐에 따라 급격히 감소하게 되므로 다음 수식의 형태로 표현된다.

$$A_{eff} = \frac{A_o}{1 + \eta A_o \alpha} \quad (7)$$

여기서, A_o 는 최대이득 이고, η 는 피팅(fitting) 상수이다.

식 (6)에서의 이득(A)을 식 (7)의 유효이득으로 대체함으로써 다음 수식에서와 같은 보다 더 실제적인 정

착시간(τ_{atc}) 표현식을 얻을 수 있다.

$$\tau_{atc} = \frac{\tau_o(1 + \eta A_o \alpha)}{A_o} \quad (8)$$

식 (8)로 부터 실제에서는 입력신호 크기(α)가 증가함에 따라 기준레벨 자동 발생회로의 정착시간(τ_{atc})이 일정하지 않고 증가하게 됨을 알 수 있다.

한편, 정착시간이 충분히 지난 후에 입력신호[$V_i(t)$]의 침두치와 침두전압[$V_P(t)$] 크기의 차는 침두 검출기의 검출결과 오차전압(V_{error})이 되며 식 (5)로부터 다음의 수식으로 구해진다.

$$V_{error} = V_P(\infty) - V_i(\infty) = \frac{\tau_d}{\tau_S} = V_P'(0) \cdot \tau_d \quad (9)$$

침두전압 미분치[$V_P'(0)$]는 식 (5)로부터 다음과 같이 구해진다.

$$V_P'(0) = V_P'(t) \Big|_{t=0} = \frac{\alpha}{\tau_A} = \frac{\alpha A}{\tau_o} \quad (10)$$

따라서 오차전압(V_{error})은 다음 수식으로 표현된다.

$$V_{error} = V_P'(0) \cdot \tau_d = \frac{\alpha A}{\tau_o} \tau_d \quad (11)$$

이득(A)을 식 (7)의 유효이득으로 대체한 후, 오차전압(V_{error})을 입력 신호크기(α)로 정규화 하여 오차전압 비율($V_{error.N}$)를 정의하면 다음과 같이 표현된다.

$$V_{error.N} = \frac{V_{error}}{\alpha} = \frac{A_o \tau_d}{(1 + \eta A_o \alpha) \tau_o} \quad (12)$$

오차전압비율의 경우 입력 신호크기가 작을수록 커지는 특성을 보이며 그 값이 1을 넘게되면 생성하는 기준레벨이 입력신호 범위를 벗어나서 데이터가 유실되게 된다. 따라서 식 (8)로 부터 입력신호 크기(α)가 클 경우에 대해 지나치게 긴 정착시간(τ_{atc})을 단축하기 위해 이득(A_o)을 증가시키거나 기본 시상수(τ_o)를 감소시킬 경우 식 (12)에 의해 작은 입력 신호에서 데이터 유실이 발생하는 문제점이 발생함을 알 수 있다.

II. 제안된 첨두 검출기의 해석 및 기준레벨 발생회로 동작특성

<그림 3>은 제안된 첨두 검출기의 구조를 보여 주고 있다. 기존의 첨두 검출기와 다른 점은 입력신호[V_i(t)]의 진폭 크기를 패킷 초기에 검출하여 진폭 크기에 따라 용량기(c)에 유입 될 수 있는 최대 전류를 제어 하게 함으로써 입력신호 크기에 따라 충전 전류가 조절 되는 적응형으로 개선되었다는 점이다.

<그림 4>는 제안된 첨두 검출기를 수식으로 해석 하기 위해 모델화 한 것이다. MOS의 드레인 전류 [I_d(t)]와 BJT의 콜렉터 전류[I_b(t)]의 직렬연결 관계를 곱셈기로 표현하였다. MOS의 드레인 전류[I_d(t)]는 입력신호 크기에 따른 최대 전류를 설정하게 하여 아래 수식으로 표현한다.

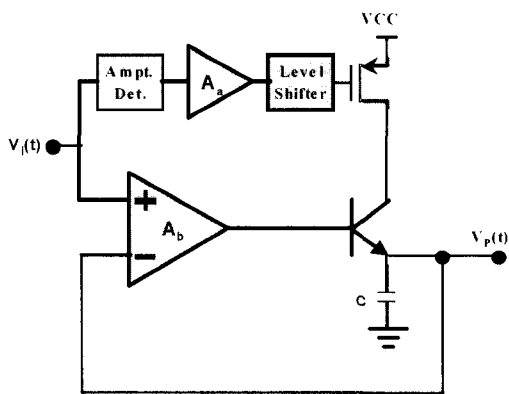


그림 3. 제안된 제안된 첨두 검출기의 구조
Fig. 3. The structure of the proposed ATC.

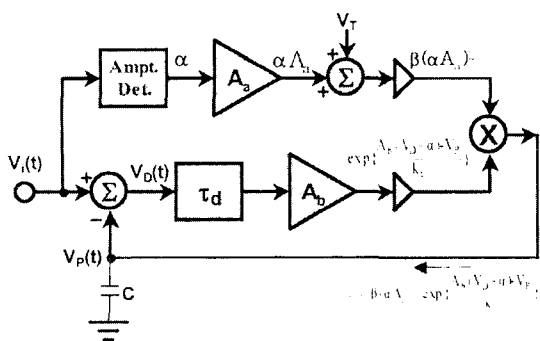


그림 4. 제안된 첨두 검출기의 모델
Fig. 4. The model of the proposed peak detector.

$$I_a(t) = \beta(V_{GS} - V_T)^2 \Big|_{V_{GS} = \alpha I_a + V_T} = \beta \alpha^2 A_a^2 \quad (13)$$

BJT의 콜렉터 전류[I_b(t)]는 0과 1사이의 값을 갖도록 설정하되, V_D(t)=일 때 I_b(t)=1이 되도록 하여 다음 수 식으로 표현한다.

$$I_b(t) = \exp\left[\frac{A_b \{V_D(t - \tau_d) - \alpha\} - V_p(t)}{k}\right] \quad (14)$$

위 식을 Taylor 시리즈로 근사하고 V_D(t)=0일때 I_b(t)=0되도록 함으로써 다음의 BJT의 콜렉터 전류 [I_b(t)] 수식을 얻는다.

$$I_b(t) = \frac{A_b V_D(t - \tau_d) - V_p(t)}{A_b \alpha} \quad (15)$$

용량기(c)에 유입되는 전류[i(t)]는 MOS의 드레인 전 류[I_d(t)]와 BJT의 콜렉터 전류[I_b(t)]의 곱이 되므로 다 음과 같이 표현된다.

$$i(t) = I_a(t) \cdot I_b(t) = \frac{\beta \alpha A_a^2}{A_b} [A_b V_D(t - \tau_d) - V_p(t)] \quad (16)$$

첨두전압[V_p(t)]은 용량기(c)의 전압이 되므로 다음과 같이 표현된다.

$$V_p(t) = \frac{1}{C} \int_0^t i(t) dt = \frac{\alpha^2 A_a^2}{\tau_o A_b} \int_0^t [A_b \{V_i(t) - V_p(t - \tau_d)\} - V_p(t)] dt \quad (17)$$

여기서, $\tau_o = C/\beta$ 이다.

식 (17)의 양변을 미분하여 첨두전압[V_p(t)]에 대한 미분방정식을 얻을 수 있다.

$$V_p'(t) - \frac{\alpha A_a^2 \tau_d}{\tau_o \tau_s} = \frac{\alpha A_a^2}{\tau_o A_b} [A_b \{V_i(t) - V_p(t)\} - V_p(t)] \quad (18)$$

여기서, $\tau_s \approx 1/V_p'(0)$ 이다. 입력신호, V_i(t)=au(t)의 계단함수로 가정하고, 위 미분방정식을 풀면 다음과 같 은 첨두전압의 과도응답을 얻을 수 있다.

$$V_p(t) = \left(\alpha + \frac{\tau_d}{\tau_s}\right) \left(1 - e^{-\frac{t}{\tau_s}}\right) \quad (19)$$

여기서, $\tau_d = \frac{\tau_{o'}}{\alpha A_a^2}$ 이다. 따라서 본 침두검출기로 구성된 기준레벨 자동 발생회로의 정착시간(atc)은 다음 수식으로 표현된다.

$$\tau_{atc} = \tau_{A'} = \tau_{o'} / (\alpha A_a^2) \quad (20)$$

또한, 유효이득, $A_{eff} = A_{a0} / (1 + \eta A_{a0} \alpha)$ 을 적용하면 정착시간(τ_{atc})은 다음 수식으로 표현된다.

$$\tau_{atc} = \frac{\tau_{o'}}{\alpha} \left(\frac{1 + \eta A_{a0} \alpha}{A_{a0}} \right)^2 \quad (21)$$

식 (21)을 기존 구조의 상응한 결과인 식 (8)과 비교할 때 분모 항에 가 있으므로 입력신호레벨이 클 때에 유효이득 감소로 정착시간이 증가하는 것을 완화하여 주고 있음을 볼 수 있다. 또한, 앞 절에서의 마찬가지로 방법으로 오차전압비율($V_{error,N}$)을 구하면 다음과 같다.

$$V_{error,N} = \frac{\alpha \tau_d}{\tau_{o'}} A_a^2 = \frac{\alpha \tau_d}{\tau_{o'}} \left(\frac{A_{a0}}{1 + \eta A_{a0} \alpha} \right)^2 \quad (22)$$

마찬가지로 기존 구조의 상응한 결과인 식 (12)와 비교하면 분자 항에 가 추가됨에 따라 입력신호레벨이 작을 때에 오차전압비율이 급격히 증가하는 것을 상당 부분 완화 시켜주고 있음을 볼 수 있다. 따라서 정착시간 (τ_{atc})을 단축하기위해 이득(A_{a0})을 증가시키거나 기본 시상수($\tau_{o'}$)를 감소 시킬 경우에도 오차전압비율이 증가하는 것을 완화시켜 데이터 유실을 억제할 수 있으므로 기준레벨 자동 발생회로의 정착시간(τ_{atc})을 그만큼 더 감소시킬 수 있어 보다 짧은 정착시간의 기준레벨 발생회로 구현을 가능하게 한다.

III. 기준레벨 발생회로의 특성 검증

제안한 새로운 구조의 침두 검출기를 이용하여 버스트 모드 1.25Gbps EPON(Ethernet Passive Optical Network) 시스템에 적용하기 위한 기준레벨 자동 발생회로를 설계했다. 설계에 사용된 소자는 상용 파운드리(foundry)인 AMS사의 0.8um SiGe HBT BiCMOS로서 모델의 정확성과 안정성이 검증된 기술이다.

앞 장에서의 식 (8)과 식 (21) 및 식 (12)과 식 (22)는 각각 기존의 구조와 제안한 구조의 기준레벨 발생회로에 대해 정착시간 특성과 오차전압 비율 특성을

수식적으로 유도하여 비교하였다. 이제는 설계된 기준레벨 발생회로 내의 증폭기에서 이득 특성을 추출하여 위의 수식들에 적용함으로써 실제적 상황에서 구조에 따른 특성 차이를 분석하고자 한다.

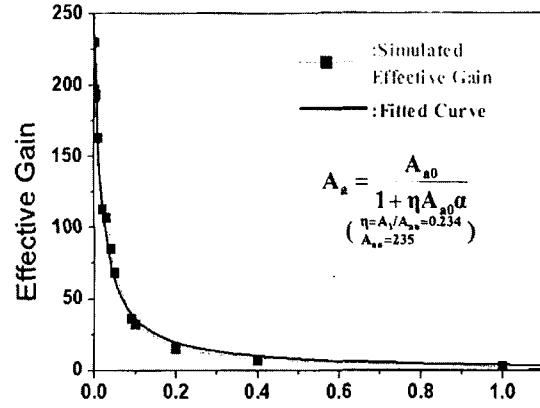


그림 5. 설계된 기준레벨 발생회로에서 추출된 유효이득특성

Fig. 5. The effective gain characteristics of the designed ATC circuit.

<그림 5>는 설계된 기준레벨 발생회로에서 입력신호 크기 변화에 따라 추출된 유효 이득특성을 보여주고 있다. 시각형으로 표시된 점들은 시뮬레이션(simulation)을 통해 구해진 측정 값이고 실선은 식 (7)에서 제시한 유효이득 함수로써 피팅(fitting)한 결과이다. 이때 구해진 기본이득(A_{a0})은 235이고 상수는 0.234이다.

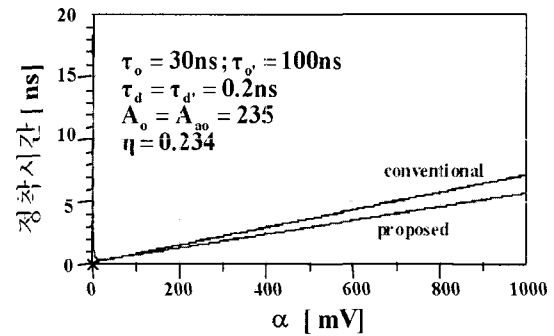


그림 6. 기준레벨 발생회로 구조에 따른 정착시간 특성
Fig. 6. The characteristics of settling time depend on the structures of ATC circuit.

<그림 6>은 앞서 구한 유효이득함수를 식 (8)과 식 (21)에 넣어 구한 입력신호 크기(α)변화에 따른 정착시간의 변화 특성으로 회로 구조에 따라 상당한 차이를

보여준다. 정착시간을 비슷하게 맞춰주기 위해 제안한 구조에서 기본 시상수를 100ns로 설정한 반면 기존 구조에 대해서는 30ns로 짧게 설정했음에도 기존 구조가

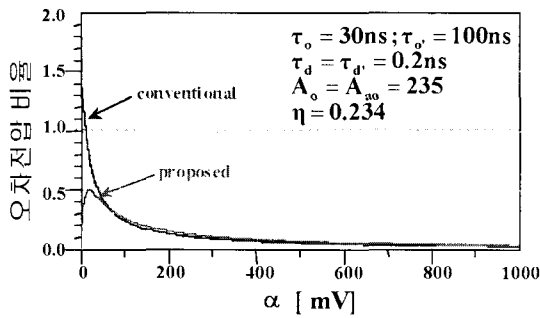


그림 7. 기준레벨 발생회로 구조에 따른 오차전압비율 특성
Fig. 7. The characteristics of error voltage ratio depend on the structures of ATC circuit.

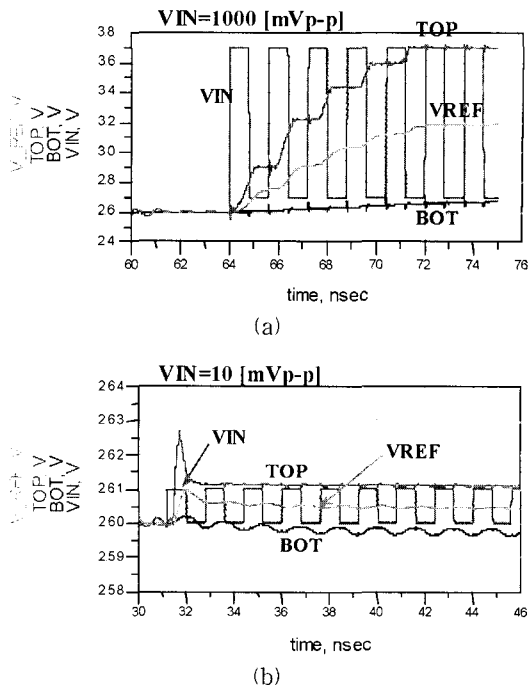


그림 8. 제안된 구조로 설계된 기준레벨 발생회로의 과도특성 (a)VIN=1000 [mVp-p]이고 점멸율=10[dB]일 때 (b) VIN=1000 [mVp-p] 이고 점멸율=10[dB] 일 때
Fig. 8. The transient characteristics of the ATC designed with the proposed structure. (a)When VIN=1000 [mVp-p] and extinction ratio=10[dB]. (b) When VIN=1000 [mVp-p] and extinction ratio=10[dB]

더 긴 정착시간 특성을 보여주고 있음을 알 수 있다.

<그림 7>은 같은 상황에서 오차전압비율을 구한 결과로서 입력신호의 크기가 작을 경우에 두 구조는 극명한 특성차이를 보여주고 있다. 기존 구조의 경우 입력신호의 크기가 작아 질수록 오차전압비율이 급격히 증가하여 입력신호의 크기가 10mV이하일 때에 오차전압비율이 1을 넘어 데이터가 유실됨을 알 수 있다. 반면에 제안한 구조의 경우 입력신호의 크기가 작아 짐에 따라 0.5를 침두로 다시 감소하여 작은 입력 신호에 대해서도 매우 안정한 특성을 보여주고 있음을 알 수 있다.

<그림 8>은 제안된 구조로 설계된 기준레벨 발생회로의 과도특성을 보여준다. <그림 8(a)>는 입력신호(VIN) 점멸율(extinction ratio)이 10 dB이고 크기가 1000 mVp-p인 매우 큰 입력의 경우로서 대략 3ns의 정착시간(settling time)이 소요됨을 알 수 있다. <그림 8(b)>는 입력신호(VIN) 점멸율(extinction ratio)이 10 dB이고 크기가 10 mVp-p인 매우 작은 입력의 경우로서 대략 1ns의 정착시간이 소요됨을 보여준다. 이는 40dB인 광범위한 동적영역(dynamic range)의 입력신호에 대해 6ns 라는 매우 짧은 시간 이내에 기준 레벨을 생성해 낼 수 있음을 보여주는 결과이다.

IV. 결 론

본 논문에서는 입력 신호레벨의 크기에 따라 침두 검출기의 충전전류가 자동적으로 조절될 수 있도록 침두 검출기의 구조를 개선하여 입력 신호레벨의 크기가 매우 작아질 때에 발생하는 침두치 검출오차를 줄여줌으로써 정착시간을 더욱 단축 시킬 수 있는 적응형 기준레벨 자동 발생회로를 제안한다

제안한 기준레벨 자동 발생회로에 대해수식적 해석을 하여 특성을 분석한 결과 비슷한 정착시간을 설정하였을 때에 오차전압비율 기존 구조에 비해 절반 이하로 줄일 수 있어 정착시간을 상당량 개선할 수 있음을 밝혔다. 아울러 상용 파운드리(foundry) 소자를 이용하여 1.25G EPON 시스템용 버스트 모드 기준레벨 자동 발생회로를 설계한 결과 동적영역(dynamic range)이 40dB인 광범위한 입력신호에 대해 6ns 라는 매우 짧은 시간 이내에 기준 레벨을 생성해 내는 결과를 얻을 수 있었다.

참고 문헌

- [1] C. Su, L. Chen and K. Cheung, "Theory of Burst-Mode Receiver and Its Applications in Optical Multiaccess Networks", IEEE Journal of Lightwave Technology, Vol.15, no.4, pp. 590-606, April 1997.
- [2] R. G. Swartz and Y.Ota, "Integrated Adaptive Threshold Burst Mode Receiver for Optical Data Links-An Anaysis", International Journal of High Speed Electronics and Systems, Vol.6, no.2, pp. 375-394, 1995.
- [3] M. Nakamura, N. Ishihara, Y. Akazawa and H. Kimura, "An Instantaneous Response of CMOS Optical Receiver IC with Wide Dynamic Range and Extrimely High Sensitivity Using Feed-Forward Auto-Bias Adjustment", IEEE Journal of Solis-State Circuits, Vol.30, no.9, pp. 991-997, September 1995.
- [4] M. Nakamura, N. Ishihara and Y. Akazawa, "A 156-Mb/s CMOS Optical Receiver for Burst-Mode Transmission", IEEE Journal of Solis-State Circuits, Vol.33, no.8, pp.1179-1187, August 1998.
- [5] T. Kurosaki, et. al., "1.3/1.55-um Full-Duplex WDM Optical Transceiver Modules for ATM-PON(PDS) Systems Using PLC-Hybrid-Integration and CMOS-IC Technologies", IEICE Transactions on Communications, Vol.E82-B, no.8, pp. 1199-1208, August 1999.
- [6] J. Park, Y. C. Chung and C Lee, "Burst-mode Optical Receiver with Two Preamplifiers having different bandwidths", Electronics Letters Vol. 34, no.22, pp. 2146-2148, April 1998.
- [7] J. M. khoury, "On the Design of Constant Settling Time AGC Circuits", IEEE Transactions on Circuits and Systems, Vol.45, no.3, pp. 283-294, March 1998.

저자 소개



奇鉉哲(正會員)

1984년 2월 : 한양대학교 전자공학과 졸업(공학사). 1986년 8월 : 한양대학교 대학원 전자공학과 졸업(공학석사). 1992년 2월 : 한양대학교 대학원 전자공학과 졸업(공학박사). 1986년~1989년 : 한국 전자통신 연

구원 연구원. 1996년~1997년 : 미국 조지아공대 post.doc 1992년 3월~현재 : 경원대학교 전자공학과 부교수. <주 관심분야 : RF/MMIC설계, 광통신용IC설계, ASIC 설계>