

論文2003-40SD-11-6

내부 승압 전원 발생기와 기판 인가 전원 발생기의 펌핑 수단을 공유한 전원 전압 발생기

(A Unified Voltage Generator Which Merges the Pumping Capacitor of Boosted Voltage Generator and Substrate Voltage Generator)

申東學*, 張星珍*, 全永鉉*, 李七基*

(Dong Hak Shin, Seong Jin Jang, Young Hyun Jun, and Chil Gee Lee)

요약

DRAM에서 사용되는 내부 승압 전원 전압과 기판인가 전원 전압 발생기를 공유함으로써 단일 Charge Pump에서 승압 전원과 기판 전원을 동시에 발생시키는 회로를 설계하였다. 이 회로는 0.14um의 DRAM 공정을 사용하여 기존 보다 전력 소모를 30%, 전체 면적을 40% 그리고 Pumping capacitor 면적을 29.6% 각각 감소하였으며 또한 전류 공급 효율을 13.2% 향상 시켰다. Charge Recycling 기법을 적용하여 Pumping capacitor의 Precharge 구간 동안 소모 되는 전류를 75% 감소 하였다.

Abstract

This paper describes a Unified Voltage Generator that merges the pumping capacitors of boosted voltage generator (VPP) and substrate voltage generator (VBB) for DRAM. This unified voltage generator simultaneously supplies VPP and VBB voltages by using one pumping capacitor and one oscillator. The proposed generator is realized by 0.14um DRAM process. The generator reduces the power consumption to 30%, the area of total generator to 40% and the area of pumping capacitor to 29.6%, and improves the pumping efficiency to 13.2% at 2.0V supply voltage. In addition, the generator adopts the charge recycling technique for precharging the pumping capacitor during the period of precharge, that can reduce the precharge current to 75%.

Keyword : DRAM, Voltage Generator, Unified Pumping Capacitor

I. 서론

DRAM(Dynamic Random Access Memory)에 있어

* 正會員, 三星電子 DRAM 設計室
(Samsung Electronic)

** 正會員, 成均館大學校 電氣電子 및 컴퓨터工學科
(School of Electronics and Computer Engineering
Sungkyukwan University)

接受日字:2003年2月10日, 수정완료일:2003年10月31日

서 동작 전원은 외부로부터 인가되는 전원과 외부에서 인가되는 전원을 이용하여 기능 및 용도에 따라 만들어 지는 다수의 내부전원이 있다. 내부 전원을 별도로 만들어 사용하는 가장 큰 목적은 DRAM 동작의 안정성과 동작 특성의 향상을 위해서 이다^[1]. 외부로부터 인가되는 전원에는 DRAM 주위의 System등 외부의 환경에서 발생하는 Noise와 같은 DRAM 동작 특성을 저해하는 요인이 포함될 수 있기 때문에 외부에서 인

가되는 전원을 직접 사용하는 경우, DRAM Cell Data를 Write 또는 Read 동작 특성에 심각한 영향을 줄 수 있다. 이러한 이유로 DRAM Cell 및 Cell Data를 Write 또는 Read하는 주변회로 전압은 외부의 Noise한 환경으로부터 영향을 받지 않는 내부 전원 전압이 인가 되어야 한다^[4].

본 논문에서는 DRAM 내부에서 만들어지고 DRAM Cell에 인가되는 다수의 내부 전원 전압 중에서 내부 승압 전원 전압(이하 VPP)과 기판(Substrate)에 인가되는 내부 전원 전압(이하 VBB)에 관한 것이다.

VPP는 DRAM Cell Data를 Read 하는 과정에서, Bit Line Sensing동작을 하는 경우, Cell Data에 인가되는 전압으로서 Cell Data가 V_T 손실 없이 Bit Line에 전달되고 반대로 Write하는 경우에는 Bit Line으로부터 Cell에 저장되는 동안에도 Cell Data의 Level Down을 방지하는 기능을 한다. VBB는 DRAM Cell의 기판에 인가되어 Cell Transistor의 Leakage 전류와 Latch-up을 방지하여 DRAM 동작 안정성을 위해 사용 된다^[2].

최근 DRAM의 고집적화, 고용량화가 가속화됨에 따라 내부 전원 전압의 발생기 면적이 증가 되는 추세이다. 특히 DRAM 용량이 커짐에 따라 내부 전원 전압에서 Charge를 발생시키는 Pumping Capacitor의 면적도 같이 증가하는 추세이다. 일반적인 DRAM의 경우, Charge Pumping용 Capacitor의 크기가 VPP 및 VBB 발생기 레이아웃 면적의 대부분(약 80~90%)을 차지하고 있기 때문에 내부 전원 전압 발생기의 면적 및 동작 전류 소모가 DRAM의 고집적화에 따라 증가하는 문제점이 있다^[1].

본 논문에서는 VPP 및 VBB 발생기에서 대부분의 면적을 차지하는 Charge Pumping Capacitor를 공유함으로써 전류 공급 효율을 높이면서 내부 전원 전압 발생기의 레이아웃 면적을 효과적으로 줄일 수 있는 Unified Voltage Generator를 소개한다.

본 논문은 이 장을 포함하여 전체 5장으로 구성되어 있다. 제 I장은 본 장으로 연구 배경과 동기 그리고 논문의 구성을 밝히며 제 II장에서는 일반적인 DRAM의 내부 전원 전압 발생기에 대해 기술 하였다. 제 III장에서는 제안하는 Unified Voltage Generator에 대해 기술하며 제 IV장에서는 Simulation 결과에 대해 기술하고 제 V장에서는 간단히 결론을 기술함으로써 끝을 맺는다.

II. DRAM에 있어서 내부 전원 전압

<그림 1>은 DRAM Cell 구조이다. VPP는 Word Line에 인가되어 Word Line을 충분히 높게 유지하여 Cell Data의 전압이 Bit Line으로 출력되거나 혹은 반대로 Bit Line으로부터 Cell에 저장할 경우, NMOS를 사용하는 Cell Transistor에 V_T 만큼 Level이 Down 되는 것을 방지하며, VBB는 Cell의 Substrate에 인가되어 Cell V_T 를 DRAM 주변회로 Transistor의 V_T 보다 높게 하여 DRAM Cell의 Leakage Current를 최소화하고 Latch-up 현상을 방지하여 DRAM의 안정성을 향상 시키는 역할을 한다.

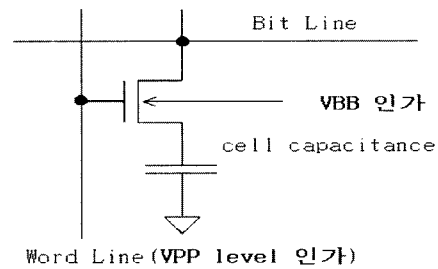


그림 1. DRAM Cell 구조
Fig. 1. The Structure of Memory Cell.

1. VPP 발생기

DRAM에 있어서 Write 또는 Read 동작 중 Cell Data의 Cell Transistor V_T 에 의한 손실을 막기 위해 " $V_{CC}+V_T(\text{Cell})+a$ "가 되도록 VPP를 일정하게 유지한다. 일반적으로 Cell Leakage 전류 방지를 위해 "Cell V_T "는 약 1.4~1.5V 정도로 DRAM 주변회로 NMOS Transistor의 V_T 보다 높으며 "a"는 공정 등의 요인으로 인한 Margin으로서 0~0.1V이다. VPP 발생기는 외부 입력 전원이 2.0V라 가정하면 VPP Level이 3.4~3.5V 범위가 되도록 동작을 수행한다. VPP는 외부 입력 전원인 VCC보다 높은 전압이므로 Charge Pumping 방법으로 발생되며 DRAM에 Row Strobe 신호(RAS)가 인가되어 Word Line이 Enable되는 시점에 맞춰 Pumping 용 Capacitor의 반복적인 충전 동작에 의해 발생된다.

<그림 2>은 일반적인 VPP 발생기 Block Diagram이다. VPP가 Level Detector로 feedback 되어 VPP의 Level 변동에 따라서 Level Detector 및 Oscillator를 동작시키고 Oscillator는 다시 VPP Pumping 회로를 동

작시켜 VPP에 Charge를 공급하고 VPP의 Level를 올린다. 다시 VPP의 Level이 Level Detector로 입력되면 VPP의 Level이 높아졌으므로 Level Detector Oscillator의 동작을 멈추게 한다.

<그림 3>은 대표적인 Charge Pump회로이다. DRAM가 동작하는 동안 VPP에서 순간적으로 Charge가 빠져 나갈 때만 VPP Charge Pump를 동작시켜 VPP를 발생시키는 위와 같은 회로를 일반적으로 "Active Kicker"라 부른다^[6]. Charge Pump의 구성은 일정한 Delay를 보장하는 Delay Chain, Precharge Control, Pumping Control, Gate Control, NMOS의 Charge Transfer Transistor 및 Main Pumping Capacitor로 구성되어 있다. VPP Charge Pump는 외부에서 인가되는 전압보다 높은 전압을 만들어 내야 하기 때문에 자체적으로 승압 하는 장치가 필요 하다. 일

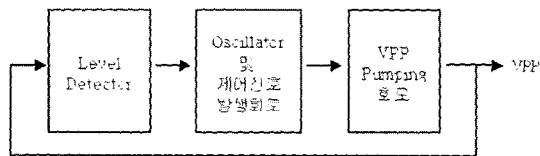


그림 2. 일반적인 VPP 발생기 Block Diagram
Fig. 2. Conventional VPP Generator Block Diagram.

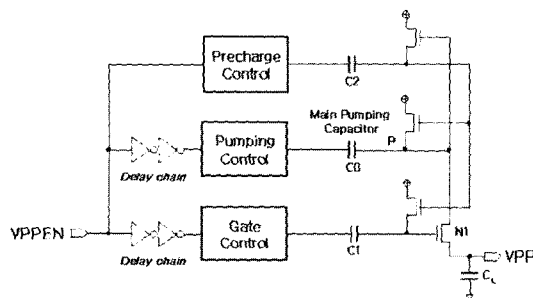


그림 3. 일반적인 VPP Charge Pump
Fig. 3. Conventional VPP Charge Pump.

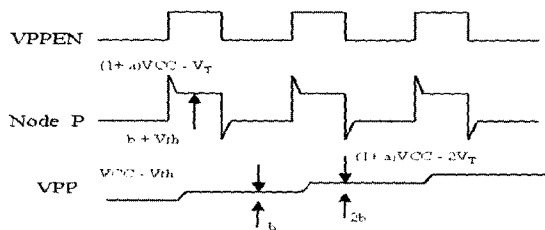


그림 4. VPP Charge Pump의 동작 파형
Fig. 4. The Operation of VPP Charge Pump.

반적으로 Capacitor의 전하 보존 현상을 이용하여 승압 전압을 만들어 낸다.

<그림 4>는 VPP Charge Pump의 동작 파형이다. VPP 생성을 위한 입력인 "VPPEN"이 인가되지 않은 상태에서 Node"P"와 출력 "VPP"는 Main Pumping Capacitor에 의해 " $VCC-V_T$ "으로 충전 되어 있다. "VPPEN"이 "High"로 입력되면 Node"P"는 $a \cdot VCC$ (a : 승압비)만큼 승압 되어 $VCC-V_T+a \cdot VCC$ 로 되고 N1이 ON되어서 VPP Node의 Load Capacitor C_L 을 충전 시킨다. 일반적으로 부하 용량 C_L 이 Pumping Capacitor C_0 보다 커서 VPP의 충전 전압 "b"는 작다. VPP의 전압이 상승하여 Node "P"와 VPP의 전압차이가 V_{TN} 이 되면 N1이 OFF 되어 충전을 멈춘다. 입력 Pulse가 "Low"가 되면 P가 " $VCC-V_T$ "이하로 떨어지지만 P1에 의해 곧 재충전되어 " $VCC-V_T$ "으로 회복된다. 이후 반복적으로 Pulse가 가해짐에 따라 VPP는 충전되어 " $(1+a)VCC-2V_T$ " 에 이른다. " C_L "에 저장된 전하 손실이 발생하면 VPP Level이 떨어지고 다시 "N1"이 ON 되어 전하 주입되므로 VPP Level이 곧 회복된다^[6]. 내부 회로의 VPP가 안정적인 전압에 도달 될 때까지의 시간은 C_0 과 C_L 의 크기 비와 Pulse의 주파수에 의해 결정된다. DRAM가 고집적화 됨에 따라 C_L 이 커지므로 Charge Pump의 고속동작과 Pulse의 주파수와 일정한 Pumping 효율을 유지하기 위해서는 Pumping Capacitor인 C_0 을 키워야 하는데 Pulse의 주파수는 C_0 에 의해 제한 되므로 C_0 를 무한정 키울 수는 없다. 실제 DRAM에서 Main Pumping Capacitor가 VPP Generator의 전체 layout 면적의 80~90%을 차지하기 때문에 Chip Size를 작게 하려는 측면에서 단점으로 작용 한다. 또한 Pumping Capacitor용량이 증가하게 되면 VPP 동작전류도 증가하므로 DRAM 전체의 동작전류의 증가 요인이 된다. 따라서 C_0 을 작게 하면서 Pumping 효율을 높여야 한다.

2. VBB 발생기

기판 인가 전원 전압인(Substrate Bias) VBB는 NMOS를 둘러싸고 있는 P-Well에 인가되며 (일반적으로 DRAM에서 사용되는 P형 실리콘 기판에도 인가 되므로 기판 Bias라 부른다.), $VCC=3V$ 에서 $-1V \sim -2V$ 사이의 전압을 발생 하는 Substrate Bias 회로에서 생성 된다. DRAM에서 내부 Substrate 전원 전압인 VBB가 쓰이는 목적은 다음과 같다. 첫째, V_T 를 높여서

Leakage Current 발생을 방지하고 둘째, DRAM Array 내의 PN Junction이 부분적으로 Forward Bias가 되는 것을 방지하여 Cell Data 손실이나 Latch-up 현상을 막는다. 셋째, Body Effect에 따른 MOS의 V_T 전압의 변화를 줄임으로써 DRAM 동작의 안정성을 향상 시킨다. 넷째, VBB를 인가하면 NMOS의 N'영역(Drain과 Source)과 P-Well과의 사이에 형성된 PN 접합용량이 줄어들므로 회로가 고속화 된다.

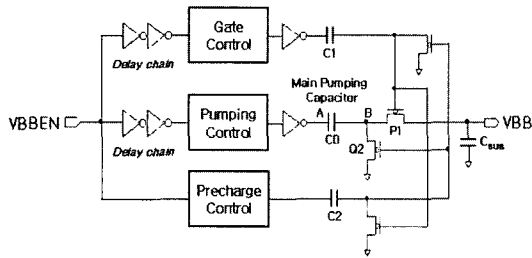


그림 5. VBB Charge Pump
Fig. 5. Conventional VBB Charge Pump.

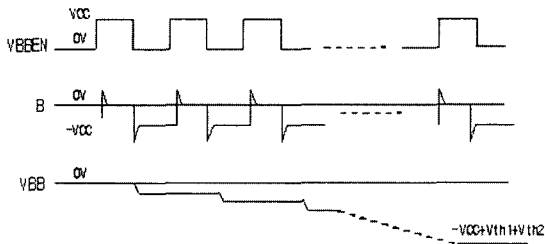


그림 6. VBB Pumping 동작 파형
Fig. 6. The Operation of VBB Pumping.

<그림 5>는 일반적인 VBB Charge Pump 회로이며 <그림 6>은 그것의 동작을 보이고 있다^[6]. VBB Charge Pump는 각종 Control 회로와 Charge Pumping Capacitor로 이루어져 있다. Precharge State 일때 (VBBEN=0V) Node "A"에 VCC가 인가되면 Node "B"는 "0V"가 인가되어 Capacitor C0에는 -VCC가 저장된다. 이후 VBBEN이 "VCC"가 되고 Node "B"를 Floating 상태로 만든 후 Node "A"에 0V가 인가되면 Node "B"는 순간적으로 VCC Level이 된다. 이후 P1이 ON 되어 P1의 V_{T1} 까지 방전되다가 V_{T1} Level에서 P1이 OFF된다. 이때 Q2는 Gate와 Source가 연결되어 있기 때문에 OFF로 남아 있다. A가 0V로 떨어진 후 서정수를 가지고 Node B는 " $VCC + V_{T1}$ "까지 회복되어 P1은 OFF로 되고 Q2는 ON이 되며 다시 Node B가

V_{T2} 로 상승되면 드디어 OFF된다. 이때 Node B의 전압을 상승시키는 충전 전하는 Substrate로부터 흘러 들어오는 Current에 의한 것이므로 Csub가 충분히 크다면 VBB는 약간의 "-"값을 갖게 된다^[3].

이러한 Charge Pumping 동작이 반복적으로 일어나서 Substrate 전압이 " $-VCC + V_{T1} + V_{T2}$ "에 도달하면 Pumping 동작은 멈추게 되고 VBB는 일정하게 유지된다.

VBB 발생기 또한 VPP와 마찬가지로 DRAM의 고집적화 또는 DRAM Size가 커질수록 Csub가 커지고 Pumping 효율을 일정하게 유지하기 위해서는 Main Charge Pumping 용 Capacitor를 크게 해야 하는 Layout적인 단점이 발생한다.

III. 제안하는 Unified Voltage Generator

본 논문에서 소개하고자 하는 Unified Voltage Generator는 VPP 및 VBB를 생성하는데 필요한 Pumping Capacitor를 공유함으로써 Layout 면적을 감소하고 전류 공급 능력을 높이는 측면에서 효과적인 방법을 제시한다.

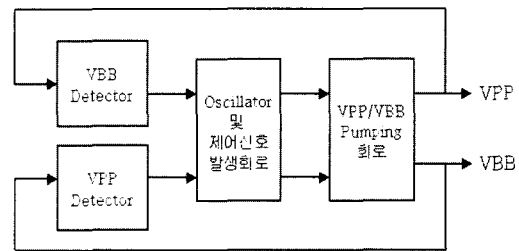


그림 7. Unified Voltage Generator Block Diagram
Fig. 7. Proposed Unified Voltage Generator Block Diagram.

<그림 7>은 제안하는 Unified voltage Generator의 간단한 Block Diagram이다. VPP는 DRAM의 Activation 동작에 맞춰 Pumping 동작이 이루어지고 VBB는 VPP와 무관하게 동작이 일어나기 때문에 실제 DRAM가 동작하는 동안 VPP와 VBB의 동작상 상관관계가 없다. 또한 VPP 및 VBB는 Level은 다르지만 동일한 Pumping 방식으로 발생 되기 때문에 이러한 생성 방식의 유사성을 응용하였다. 즉, VPP 및 VBB Level을 생성하는데 있어서 모두 동일한 Pumping

Capacitor를 사용하는 Pumping Type의 Charge Pump 를 사용한다는 점을 착안하여 Unified Voltage Generator는 Pumping Capacitor를 공유하여 Capacitor의 양단으로부터 서로 반대의 위상을 갖는 Charge를 공급함으로써 VPP 및 VBB를 단일 회로에서 발생할 수 있도록 구현 되었다.

1. Oscillator

VPP 및 VBB 각각에서 출력된 Level Detector의 출력은 Oscillator에 입력되어 Oscillator를 동작 시킨다. Oscillator는 본 논문에서 제안 하는 Unified Voltage Generator 동작 특성상 VPP 및 VBB Charge Pumping 동작이 서로 연관되어 있기 때문에 공유하였다. Oscillator를 통해 출력된 VPP 및 VBB의 Enable 신호

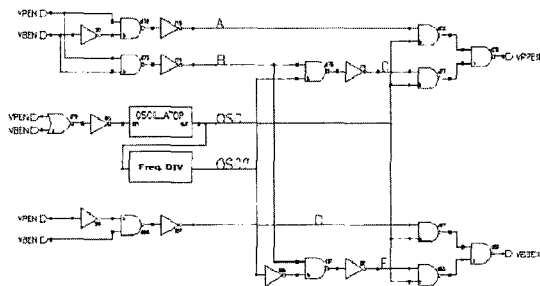


그림 8. Oscillator를 포함한 제어회로
Fig. 8. The Control Circuit including Oscillator.

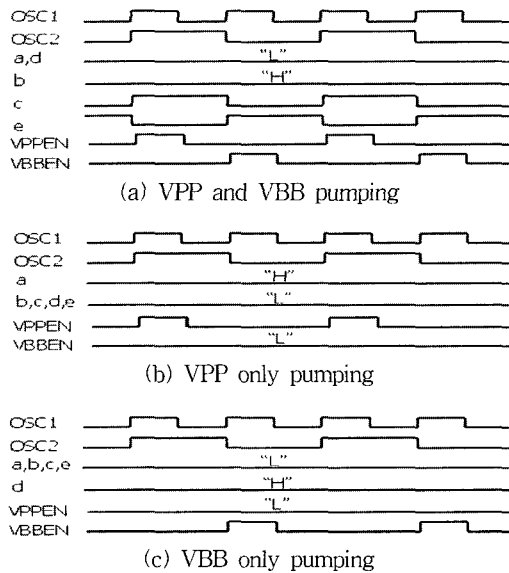


그림 9. Oscillator의 동작 파형
Fig. 9. The Operation of Oscillator.

는 1Cycle안에서 Interleaving 방법으로 발생되도록 구현 되었고 각각 Pumping수단이 공유된 VPP 및 VBB Charge Pumping회로로 입력된다.

<그림 8>은 Oscillator가 포함된 Charge Pump 제어 회로 이다.

VPP 및 VBB의 Detector의 출력 신호인 “VPEN” 및 “VBEN” 중 어느 한 신호라도 “VCC” Level이 되면 “OSC1”과 “OSC1”의 두 배의 주기를 갖는 “OSC2”을 생성하여 Charge Pump 제어 신호인 “VPPEN”과 “VBEN”을 출력한다. “OSC2”가 “High”인 동안에는 “VPEN”이 “High”일 경우 “VPPEN”이 “OSC1”과 같은 주기의 Pulse로 발생되며 반대로 “OSC2”가 “Low”인 동안에는 “VBEN”이 “High”일 경우 “OSC1”이 “VBEN”으로 출력된다.

<그림 9>는 VPP 및 VBB가 번갈아 가며 동작하는 경우, VPP만 동작하는 경우 및 VBB만 동작하는 경우의 제어 회로동작 파형이다. VPP와 VBB의 Detector의 출력인 “VPEN”과 “VBEN”이 “High”로 제어 회로에 인가될 경우 Unified Voltage Generator의 “Charge Pumping” 동작은

“Precharge(VPPEN & VBEN “L”) VPP Pumping (VPPEN “H”) Precharge VBB Pumping (VBEN “L”) Precharge”

가 반복적으로 수행됨으로써 VPP 및 VBB를 Interleaving 방식으로 발생 시킨다.

2. Charge Pump

Charge Pumping 회로는 Oscillator에서 만들어 지고 제어회로를 통해 출력된 VPP 및 VBB Enable 신호에 의해 모든 동작이 이루어 진다.

본 논문에서 제안하는 Unified Charge Pump 회로는 <그림 10>에 주어져 있으며, Main Pump, VPP/ VBB 출력부, Level Shifter 및 Control 회로로 구성 되어 있으며 Oscillator의 출력인 VPPEN과 VBEN이 인가 되어 VPP 및 VBB가 발생된다. Unified Charge Pumping 동작은 Node “C”와 Node “E”의 양단에 VCC의 전압을 Charging시킨 후 VPP Pumping시에는 Node “C”을 VCC로 만들어 Node “E”을 2VCC로 승압 하여 VPP Node로 전달하고 VBB Pump시에는 반대로 Node “E”을 VSS로 만들어 Node “C”을 VCC로 감압하여 VBB Node에 전달한다. 따라서 본 논문에서 제안하는 Pumping 방법에서는 VPP 및 VBB Pumping사이에는

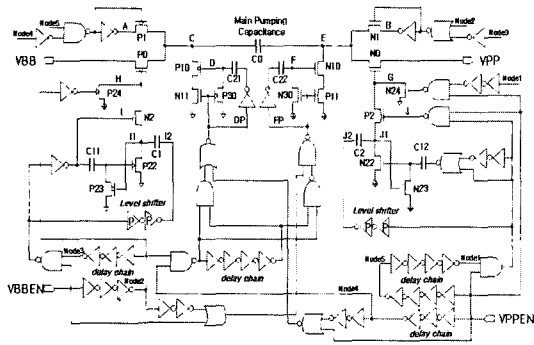


그림 10. Unified Voltage Generator의 Charge Pump
Fig. 10. The Charge Pump of Proposed Unified Voltage Generator.

Precharge State가 반드시 포함되어야 한다.

Precharge시 (VPPEN 및 VBBEN = 0V) Node “C”와 “E”의 양단에는 VSS와 VCC의 전압이 충전된다. 이때 VBB 및 VPP 출력부의 Transfer Transistor는 OFF (Node “H” VCC, Node “G” VSS)되어 있다. Node “I”와 “I2”는 VSS와 VPP로 Precharge하고 마찬가지로 Node “J1”과 “J2”는 VPP와 VSS로 Precharge 된다. 왜냐하면 VPP 및 VBB Pumping시 Node “C”와 “E” 양단에 대전된 Charge가 V_T Drop없이 VPP 또는 VBB Level로 전달 되기 위해서 Level Shifter를 통해 생성된 $VPP(+2VCC - V_T)$ 의 높은 전압과 VBB ($2VCC + V_T$)의 낮은 전압을 VPP 및 VBB 각각의 Transfer Transistor Gate에 입력시키기 위해서 이다.

VPPEN “VCC”가 되고 VBBEN “0V”로 되면 Node “C”는 VCC Level 이되고 Node “H”를 VCC로 만들어 Node “C”의 전하가 VBB로 역류하는 것을 방지한다. Node “FP”는 VCC가 되고 Node “E”에 VCC Path를 차단하여 Node “E”를 Floating 상태가 되게 한다. 따라서 전하량 보존 법칙에 의해 Precharge시 VCC로 충전된 Node “E”는 $2VCC$ Level이 된다. 또한 Level Shifter의 출력 Node “J2”는 VPP가 되므로 Node “G”는 “VPP+VCC”가 되어 Node “E”의 Charge가 VPP로 V_T Drop없이 전달된다.

VBBEN “VCC”가 되고 “VPPEN” “0V”가 되면 Node “E”는 VSS Level로 되며 Node “G”는 VSS로 되므로 VPP가 Node “E”로 역류하는 것을 방지한다. Node “DP”는 VSS가 되어 Node “C”를 Floating 상태로 만드는 동시에 Precharge시 VSS를 유지했던 Node “C”는 VCC가 된다. 또한 Precharge시 C1양단 VSS와 VPP

Level이 충전되어 있었기 때문에 Node “I2”가 VSS로 되면 Node “I1”은 VPP Level이 되어 N2가 Turn ON 되면 Node “H”로 VPP Level이 전달된다. 따라서 V_T Drop 없이 Node “C”의 VCC Level을 PMOS를 통해 VBB Node에 전달한다.

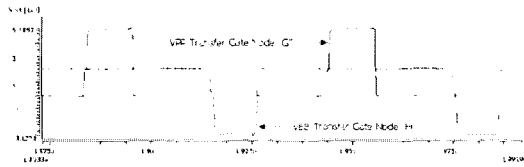
3. Charge Recycling

본 논문에서 제안 하는 Charge Pumping 동작에는 동작 전류를 줄이기 위해 Pumping 동작 후 Pumping Node에 남아있는 Charge를 Precharge를 위해 다시 사용하는 “Charge Recycling” 개념을 도입하였다^[8]. VBB Pumping후 Node “C”는 VBB Level이고 Node “E”에는 VSS Level이 인가 되어 있다. 이 Level 차이를 DVBB라 가정 한다면 이 DVBB에 해당하는 Charge를 Precharge시 Node “C”와 Node “E”에 각각 VSS와 VCC를 인가하는 데 사용할 수 있다. 즉, Pumping이 끝난 후 Node “E”에 곧바로 VCC를 인가하지 않고 일정 시간 동안 Node “E”를 Floating 상태로 만들고 VBB Level인 Node “C”에 VSS를 인가한다면, Coupling 효과에 의해 Node “E”에는 DVBB만큼의 Positive Charge가 쌓이게 되어 DVBB 만큼 Level이 올라간다. 이후 Node “E”에 VCC를 인가 한다면 $(VCC - DVBB) \cdot C_0$ 의 Charge가 소모 되므로 $DVBB \cdot C_0$ 의 Charge에 해당하는 Precharge 전류를 절약할 수 있다. 마찬가지로 VPP Pumping후 Node “C”에 VSS를 곧바로 인가하지 않고 일정 시간 동안 Floating 상태로 두고 VPP Level이 되어 있는 Node “E”를 VCC로 감압한다면 Node “C”는 이것의 Coupling을 받아 $-DVPP$ 의 Negative Charge가 충전 된다. 따라서 Node “C”를 VSS로 Precharge하는데 $(VCC - DVPP) \cdot C_0$ 의 Charge만이 소요 되므로 $DVPP \cdot C_0$ 의 Charge에 해당하는 Precharge 전류를 절약된다. 일반적으로 $VCC = 2V$ 이고 $VPP = 3.5V$, $VBB = -1.5V$ 이라 가정하면, $DVBB = DVPP = 1.5V$ 이고 $DVBB / VCC = 0.75$ 이므로 이론적으로 Precharge동안 소모되는 전류 중 75%를 절약할 수 있다.

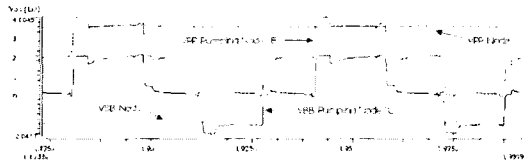
IV. Simulation 결과 및 분석

본 논문에서 제안하는 Unified Voltage Generator를 검증하기 위하여 0.14um 256M DRAM Process를 사용 하였고 Simulation 조건은 $VCC = 2V$, 온도는 $25^\circ C$

이며 VPPEN 과 VBBEN의 Pulse 주기는 60 ns이고 Precharge Time은 10 ns이며 매Cycle 마다 VPP 및 VBB가 Pumping 됨을 가정하였고 Target Voltage는 VPP 및 VBB 각각 3.4V, -1.5V이다. 실제DRAM에서 VPP와 VBB의 Pumping Capacitance, Loading Capacitance 및 소비 전류의 크기는 다르지만 본 논문에서 제안 하는 Unified Voltage Generator에서 Main Pumping Capacitance를 공유한다는 대칭적인 특징을 검증하기 위해서 모두 동일함을 가정하였다. Pumping 구간의 Pulse Width는 60 ns Cycle당 25 ns이며, 입력 Precharge시간은 5 ns이지만 내부적으로 5 ns정도 Margin을 두어 총10 ns를 만족한다. 소모 전류의 입력 파형은 실제 DRAM 동작과 유사 하도록 가정 하였다.



(a) Transfer Transistor의 Gate Node



(b) Pumping Capacitor Node

그림 11. Unified Voltage Generator의 주요 Node Simulation 결과

Fig. 11. The simulation result of main Node in Unified Voltage Generator.

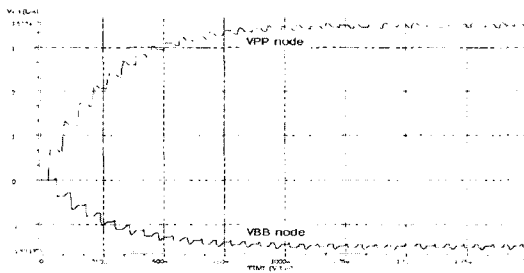


그림 12. VPP 및 VBB 출력 파형
Fig. 12. The output of VPP and VB.

<그림 11>은 제안 하는 Unified Voltage Generator의 Charge Pump에서 VPP 및 VBB의 Transfer Gate Node와 Main Pumping Capacitor의 양단 Node를 보인

Simulation결과이다. VPP Pumping 및 VBB Pumping 시점에서 Transfer Gate Node “G”는 “VPP+VCC”까지 승압 되어 Pumping Capacitor의 Node “E”에 충전된 “2VCC” Level이 V_T Drop없이 VPP Node에 Charge를 전달함을 볼 수 있다. 마찬가지로 Transfer Gate “H”는 VBB Pumping시점에서 “-VPP”까지 감압 되어 Pumping Capacitor의 Node “C”의 “-VCC” Level을 VBB Node에 완전히 전달한다

<그림 12>는 본 논문에서 제안 하는 Unified Voltage Generator의 VPP 및 VBB의 출력 파형이다. VPP 및 VBB의 Load Capacitance에 충전이 되지 않은 초기에는 Pumping순간에 VPP 및 VBB Level이 승압되거나 감압 되는 변화폭이 0.5 V이상으로 매우 크다. 그러나 Pumping동작이 계속 되어 Target Level에 가까워 짐에 따라 Level 변화폭은 작 0.1 V이내로 작아지며, 약 1 us 후에는 Target Level인 VPP = 3.4 V, VBB = -1.5 V에 도달함을 볼 수 있다.

표 1. 기존과 Unified Voltage Generator의 비교

Table 1. The comparison between conventional and proposed voltage generator.

		Total Area(μm^2)	I_{VCC} (mA)	Supply Current (mA)	Efficiency of generator (%)	Supply current per cap. area (mA)
Conv.	VPP	34,817 (30,000)*	1.98	0.485 (I_{PP})	24.6% (0.485/1.98)	0.485 / 30000 = 16.17E-6
	VBB	46,422 (40,000)*	2.12	0.489 (I_{BB})	23.1% (0.489/2.12)	0.489 / 40000 = 12.22E-6
	Total	81,239 (70,000)*	4.10	0.974 (I_{CC})	23.6% (0.974/4.10)	0.974 / 70000 = 13.92E-6
Prop.	VPP Only*		2.01	0.480 (I_{PP})	23.9% (0.480/2.01)	0.480 / 40000 = 12.00E-6
	VBB Only*	57,150 (40,000)*	1.99	0.472 (I_{BB})	23.7% (0.472/1.99)	0.472 / 40000 = 11.80E-6
	VPP & VBB		2.85	0.399+0.386 ($I_{PP} + I_{BB}$)	36.3% ((0.399+0.386)/2.85)	(0.399+0.386) / 40000 = 19.62E-6

주 a: Main Pumping capacitor의 면적
주 b: VPP 또는 VBB만이 동작하는 경우

<표 1>은 기존 VPP 및 VBB Voltage Generator 와 Unified Voltage Generator Layout 면적, 소비 전류 (I_{VCC}), 공급 전류 (I_{PP} 및 I_{BB}) 및 Pumping효율 등을 비교한 것이다.

본 논문에서 제안 하는 Pumping Capacitor 면적 및 Generator 전체 면적은 Conventional 대비 각각 40 % 와 29.65 % 가 감소 하였고, 소비 전류는 30.5 % 감소 하였다. 또한 VPP 또는 VBB만 동작할 경우 Conventional과 유사한 효율을 보이고 있어 현실적인 경우, DRAM가 동작하는동안 VBB Level이 Target에서 벗어나지 않아 VBB는 동작하지 않고 VPP의

Pumping 동작만이 수행되거나 그 반대의 VBB만 동작할 경우에도 효율이 전혀 나빠지지 않음을 알 수 있다. VPP와 VBB가 모두 동작할 경우에는 각각의 절대 전류 공급능력은 기존 대비 작지만 Pumping Capacitor를 공유하기 때문에 Cycle당 전류 공급 능력은 I_{PP} 와 I_{BB} 의 합이 된다. 따라서 Conventional 대비 약 13.2%가 개선된 효과가 있으며 아울러 Pumping Capacitor 면적 당 전류 공급 능력도 약 29.1%가 개선 되었다.

V. 결 론

본 논문에서 제안 하는 Unified Voltage Generator는 서로 다른 특성을 갖는 DRAM 내부 전원 전압인 VPP 및 VBB의 Oscillator와 Main Pumping Capacitor를 공유하여 단일 회로에서 VPP 및 VBB 전원을 동시에 공급할 수 있는 방법을 제시 하였고, VPP와 VBB의 Main Pumping Capacitor를 공유함으로써 소비 전류 30.5%, Generator 전체 면적 40%, Main Pumping Capacitor 면적 29.6% 을 각각 감소함과 동시에 전류 공급 효율을 13.2% 향상 시킬 수 있었다. 또한 Charge Pump의 Precharge구간에 Charge Recycling기법을 도입하여 Precharge에서 필요한 전류를 75% 감소 시켰다.

참 고 문 헌

[1] Y.Nakagome, "An Experimental 1.5V 64Mb DRAM", J.Solid-State Circuits, IEEE Journal of, Vol.26, PP. 465-472, Apr. 1991.
 [2] Adkisson.T, "Charge Pumping for DRAM

retention diagnostic", Integrated Reliability Workshop Final Report, IEEE International, PP. 97-102, 1997.
 [3] Seung-Wuk Kwack, Seung-Hoon Lee, "A novel Substrate-Bias Generator for Low-power and High-speed" Proceedings of the IEEE Region 10 Conference, Vol2, PP.864-867, Dec. 1999.
 [4] T.Yamagata, "Low Voltage Circuit Design Techniques for BatteryOperated and/or Giga-Scale DRAM's", J.Solid-State Circuits, IEEE Journal of, Vol. 30, PP. 1183-1188, Nov. 1995.
 [5] Liran.T, "Optimization of a back Bias Generator for NMOS VLSI", IEEE International Symposium on, Vol.2, PP. 1601-1606, Jun. 1998.
 [6] Palumbo.G, Pappalardo.D, "Charge-Pump Circuits : Power-Consumption Optimization" IEEE Transactions on, Vol.49, PP. 1535 1542, Nov. 2002.
 [7] Jung-ho Lee, "Split-Level Precharge Diff. Logic :A New Type of High Speed Charge-Recycling Diff. Logic", IEEE Journal of, Vol.36, PP. 1276-1280, Aug. 2001.
 [8] Takeshi HAMAOTO, "An Efficient Charge Recycling and Transfer Pump Circuit for Low Operation Voltage" 1996 VLSI Symposium on, PP. 110-111, Jun. 1996.
 [9] P. Favrat, P.Deval and M.J.Declercq, "A High-Efficiency CMOS Voltage Doubler", Proceedings of the IEEE 1997, PP. 259-262, May. 1997

저 자 소 개



申東學(正會員)
 1996년 : 이주대학교 전자공학과 졸업. 2003년 : 성균관대학교 전기 전자 및 컴퓨터 공학과(석사). 1996년~현재 : 삼성전자 Memory 사업부 선임 연구원. <주관심분야 : High Speed Memory 연구>



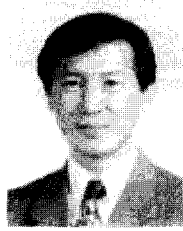
張星珍(正會員)
 1987년 2월 : 경북대학교 공과대학 전자공학과 졸업. 1990년 2월 KAIST 전기 및 전자공학과 졸업(석사). 1990년 1월~1999년 8월 : LG 반도체 연구원. 2000년 9월~현재 : 삼성전자 수석 연구원. <주관심분야 : High Speed DRAM>



全 永 鉉(正會員)

1984년 : 한양 대학교 전자공학과 (공학사). 1986년 : 한국 과학 기술 원 전기 및 전자공학과(석사). 1989년 : 한국 과학 기술원 전기 및 전자공학과(박사). 1991년 : 미국 Coordinated Science Lab 연구원. 현

재 : 삼성전자 memory 사업부 상무 및 성균관 대학교 겸임 교수. <주관심분야 : High Speed memory 설계 및 고속 I/O Interface 연구 등>



李 七 基(正會員)

1980년 : 성균관대학교 전자공학과 졸업. 1979년~1983년 : 한국방송공사 근무. 1985년 : Arizona State University 전기 및 컴퓨터 공학과 석사. 1990년 : University of Arizona 전기 및 컴퓨터 공학과

박사. 1990년~1995년 : 삼성전자 정보통신 수석연구원. 1995년~현재 : 성균관대학교 정보통신공학부 교수. <주관심분야 : 컴퓨터 시뮬레이션, 시스템 설계 최적화, 전문가 시스템>