論文2003-40SD-11-5

다수 입력용 전류모드 Max 회로에서 다이오드결선 트랜지스터의 트랜스컨덕턴스 조정에 의한 고주파 왜곡 억제

(Suppression of the High Frequency Distortion by Adjustment of Transconductance of the Diode-Connected Transistor in the Current Mode Max Circuit for Multiple Inputs)

李 準 洙 *, 孫 弘 樂 *, 金 炯 奭 *

(Jun-Su Lee, Hong-Rak Son, and Hyong-Suk Kim)

요 약

다수의 입력을 필요로 하는 전류모드 Max 회로에서 고주파 왜곡을 효과적으로 억제할 수 있는 trans-conductance 조정 방법을 제안하였다. Max 회로에 인가되는 입력 신호의 개수가 증가하면, 기생 커패시턴스는 입력 단의 개수에 비례하여 누적되게 된다. 본 연구에서는 Max 회로의 왜곡 신호의 크기가 누적된 기생 커패시턴스와 출력신호의 변화율에 비례하며, 공통 다이오드결선 트랜지스터의 transconductance 값에 반비례하게 됨을 밝혔다. 왜곡 억제를 위한 효과적인 방안으로 공통 다이오드결선 트랜지스터의 transconductance 값을 최소화하는 방안을 제시하였다. 이 방법의 효용성은 다양한 수의 입력 신호를 갖는 전류모드 Max 회로에 대해서 HSPICE 시뮬레이션을 통해 입증하였다.

Abstract

A distortion suppression technology for employing multiple inputs in 3n+1 type current mode Max circuit is proposed using the adjustment of transconductance. If the number of input blocks of the current mode Max circuit increases, the high frequency distortion in the output signal grows. In this paper, it has been disclosed that the distortion in the multiple input Max circuit is proportional to such accumulated parasitic capacitance, to the derivative of the output signal and also to the inverse of transconductance of the common diode-connected transistor. The proposed idea is by employing as larger transconductance of the common diode-connected transistor as possible. The effectiveness of the proposed idea has been proved through the HSPICE simulation for the current mode Max circuits with various numbers of input signals.

Keyword : Max circuit, multiple input, transconductance, diode-connected transistor, high frequency distortion

I. 서 론

Multiple-input 신호 중에서 최대값을 출력하는 Max 회로는 Fuzzy 시스템, 인공신경회로망과 같은 여러 분야의 진보된 계산시스템에 사용되는 중요하고 기본적

* 正會員, 全北大學校 制御計測工學科
(Dept. of Control & Instrunentation Engineering ChonBuk National University.)

接受日字:2003年5月7日, 수정완료일:2003年10月31日

인 회로이다. 이와 같은 중요성 때문에 회로의 구현이 간결함에도 불구하고 많이 연구되어 왔다[1-4]. 특히 회로 구현에 있어서 중요한 설계 요소인 분해능, 속도, 면적 그리고 전력 소모를 중심으로 연구되었는데, 이 회로는 크게 전압을 이용하는 방법(Voltage-mode)과 전류를 이용하는 방법(Current-mode)의 둘로 대변된다.

전압모드 Max(Winner-Take-All) 회로는 입력 신호로 전압을 인가하여 최대값을 검출하는 회로로서 differential amplifier[2]나 Lazzaro의 회로[3]를 기반으로 설계되었다[4, 5]. Lazzaro의 회로를 이용한 Max 회로는 1995년 Wilson[4]이 피드백을 이용하여 성능을 개선하였고, 이후 1999년에는 Kalim과 Wilson[5]이 회로를 더욱 개선하여 발표한 바 있다.

전류모드 Max 회로는 입력 신호로 전류를 인가하여 최대값을 검출하는 회로로서 current-mirror를 이용하며 n개의 입력 신호에 대해서 회로에 사용되는 트랜지스터의 수가 다양하다. 즉 트랜지스터의 수가 5(n-1), n^2+n, 5n+1, 3n+1, 2n+1 개인 회로들이 제안되었다[6-10]. Yamakawa가 제안한 전류모드 2-input Max 회로는 이진 트리 구조를 사용하기 때문에 에러가 누적되는 단점이 있다[6]. 이 문제를 해결하기 위해서 Sasaki는 누적된 에러 및 동작 속도를 개선할 수 있는 bounded difference equation analysis를 바탕으로 한 Max 회로를 제안하였다[7]. 그러나 Sasaki의 회로는 사용되는 트랜지스터의 수가 많다는 단점이 있다. 트랜지스터의 수를 줄이기 위해 Baturone은 5n+1[8]과 3n+1[9]개의 트랜지스터가 필요한 Max 회로를 제안하였고, Huang[10]은 2n+1개의 Max 회로를 제안했는데, 이 회로들은 Sasaki[7]가 제안한 Max 회로의 장점과 트랜지스터의 수가 적고 출력 저항이 높은 장점을 동시에 가지고 있었다.

3n+1형과 2n+1형 Max 회로는 트랜지스터의 수가 적게 필요하고 구조가 간단하며 동작 속도도 빠르지만 입력 신호의 수를 증가시킬수록 Max 회로에 추가적으로 입력회로가 더해지기 때문에 기생 커패시터가 증가하여 출력에 왜곡이 발생한다는 문제점이 아직 남아있다. 본 논문에서는 3n+1형과 2n+1형 중 다수의 입력 신호 수용에 상대적으로 우수한 3n+1형 Max 회로를 대상으로 해석하고 수십 개의 입력이 인가되는 경우에도 동작이 가능한 조건을 도출하였다. 또한 다양한 입력 신호와 입력의 개수에 대한 시뮬레이션을 HSPICE에 의해 수행하고 그 결과를 제시하였다.

Ⅱ. 기존의 (3n+1)형의 Max 회로의 동작 원리

Current-mode Max 회로는 시간적으로 변화하는 다수의 아날로그 입력 전류 신호들로 부터 매 순간마다 최대가 되는 입력 신호를 선택하여 그 값을 출력하는 회로이다.

<그림 1>은 n개의 입력 신호를 인가하는데 3n+1개의 트랜지스터가 필요한 Max 회로이다[9]. 이 회로는 각각의 입력 신호에 대해 3개의 트랜지스터 Mni1과 Mni2 및 Mni3로 구성된 블록으로 되어 있으며 상단에 있는 current mirror는 전류를 출력하기 위한 회로이다. 중간의 연결된 트랜지스터 MO는 입력 블록들간에 공통으로 연결되어 Wilson current mirror의 역할을 수행한다. 또 다이오드결선(diode-connected) 트랜지스터 MO에 흐르는 전류 I_O는 회로의 current source로써 동작한다.

그림에서 i_{IN1}이 입력 전류들 중 가장 큰 전류라고 가정하자. 다른 많은 입력 전류들은 i_{IN1}과 병렬 연결을 가지는데 i_{IN2}는 그 중의 한 입력 전류라고 가정한다. <그림 1>에서 Mn11의 게이트-소스간의 전압 v_{GS11}은

$$i_{D11} = \frac{1}{2}k_n'(W/L)(v_{GS} - V_t)^2 \tag{1}$$

에 의해 결정되는 전류를 Mn11의 드레인과 소스간에 흐르게 한다. 만약 i_{D11}의 전류가 i_{IN1}보다 낮다면 v_{GS11}이 i_{IN1}을 통과시킬 만큼 충분히 크지 않음을 의미한다. 이 경우, Mn13의 드레인에서는 i_{D11}보다 큰 전류 i_{IN1}이 흘러 들어오므로 노드 5와 6의 전압은 급격히 상승하게 된다. 이 상승된 5번 단자의 전압은 Mn12의 게이트-소스 전압 v_{GS12}를 증가시키게 되며 이 때문에 Mn12의 드레인 전류는 증가한다. 이 증가된 전류가 MO에 흐르게 되므로 1번 단자의 전압을 증가시켜 결국 Mn11에 흐르는 전류 i_{D11}을 증가시키게 된다. 이 과정은 반복되어 i_{IN1}=i_{D11}이 될 때 멈추게 된다. 이 때, MO의 게이트-소스간의 전압 v_{GSO}는 v_{GS11}과 같으므로, 모든 트랜지스터의 W/L 비가 동일한 경우에는 MO에 흐르는 드레인 전류 i_{DO}도 i_{IN1}과 같게 된다. 한편, Mn21의 게이트와 소스간에는 i_{IN2}보다 큰 전류 i_{IN1}을 흐르게 하는 전압 v_{GS21}이 걸려 있으므로, Mn21에 i_{IN2}보다 큰 전류를 유도하는 까닭에 공급과 수요의 불균형에 의해 단

자 3과 4의 전압이 순식간에 떨어지게 되어 Mn22가 cut-off 상태가 된다. 따라서 Mn22에 흐르는 전류가 0 이므로 MO에 흐르는 모든 전류 i_{IN1}은 Mn12를 통해서만 흐르게 된다.

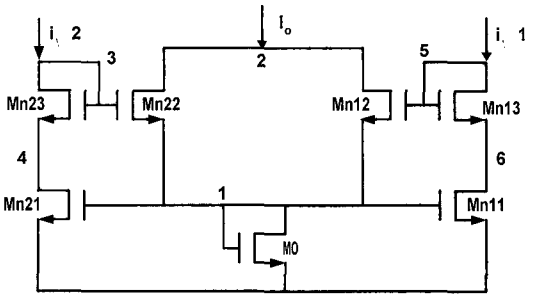


그림 1. Current-mode Max 회로(3n+1)
Fig. 1. Current-mode Max circuit(3n+1).

Ⅲ. (3N+1)형 Max 회로에서의 고주파 왜곡 해석

(3n+1)개의 트랜지스터가 필요한 Max 회로의 동작을 해석하고 입력의 개수가 증가함에 따라 왜곡이 발생하는 원인을 찾아내어 그 대책을 제시하였다.

<그림 1>과 같은 회로에 대한 고주파 신호 입력시의 등가회로는 <그림 2>와 같다. <그림 2(a)>에서 신호 i_{IN2}에 대한 입력 블록의 스위칭 트랜지스터 Mn22는 cut-off 상태이므로, <그림 2(a)>의 좌측에 표시한 커패시터만 남게 된다. 만약 i_{IN1}보다 낮은 입력 전류가 추가적으로 연결된다면 이에 해당하는 커패시터들도 서로 병렬로 연결되므로 증가된 입력 신호의 개수에 비례하여 늘어나게 된다. 총 N개의 입력회로가 연결되어 있고, k=i 번째 입력이 최대라고 한다면, 병렬 연결된 커패시터의 총합 C_T는

$$C_T = \sum_{\substack{k=1 \\ k\neq i}}^{N}(C_{gdk1}+C_{gsk1}+C_{gsk2})+C_{gd0}+C_{gsh1} \tag{2}$$

가 된다. 즉 입력 전류가 최대인 입력회로에서는 C_{gdi1}만 추가되는데 비해 최대가 아닌 입력이 인가되는 회로들에 대해서는 C_T에 매 입력마다 $C_{gdk1}+C_{gsk1}+C_{gsk2}$만큼의 커패시터가 추가됨을 의미한다. 따라서 C_T에 비해 매우 작은 커패시터를 무시하고 회로를 간략화하면 <그림 2(b)>와 같이 된다.

간략화된 등가회로에서 i_{IN1}에 대한 s-domain의 표현은

$$I_1(s) = g_{m11}V_{gs11}(s) \tag{3}$$

이고, 출력 전류 $I_O(s)$가 모두 트랜지스터 MO에 흐르게 되므로 그 트랜지스터의 게이트-소스 전압 v_{GSO}는

$$V_{gs0}(s) = (\frac{1}{SC_T} // \frac{1}{g_{mo}})I_o(s) \tag{4}$$

이며, 이 전압은 $v_{GS11}(s)$와 같게 된다. 즉,

$$V_{gs11}(s) = (\frac{1}{SC_T} // \frac{1}{g_{mo}})I_o(s) \tag{5}$$

이 된다.

(5)식을 (3)식에 대입하면, (3)식은

$$I_1(s) = g_{m11}(\frac{1}{SC_T} // \frac{1}{g_{mo}})I_o(s) \tag{6}$$

이며, $I_O(s)$에 대한 식으로 정리하면,

$$I_o(s) = \frac{1}{g_{m11}}\frac{1}{(\frac{1}{SC_T} // \frac{1}{g_{mo}})}I_1(s)$$

$$= \frac{1}{g_{m11}}(SC_T + g_{mo})I_1(s) \tag{7}$$

가 된다. (7)식을 시간함수로 변환하면,

$$i_o(t) = \frac{g_{mo}}{g_{m11}}i_1(t) + C_T\frac{1}{g_{m11}}\frac{di_1(t)}{dt} \tag{8}$$

이다. 이 전류는 current mirror를 통하여 출력되는데 이 전류를 i_{out}라고 하면,

$$i_{out} = \frac{g_{mp2}}{g_{mp1}}i_o(t)$$

$$= \frac{g_{mp2}}{g_{mp1}}\frac{g_{mo}}{g_{m11}}i_1(t) + C_T\frac{g_{mp2}}{g_{mp1}}\frac{g_{mo}}{g_{m11}}\frac{1}{g_{mo}}\frac{di_1(t)}{dt} \tag{9}$$

로 표현된다. 여기서 g_{mp1}와 g_{mp2}는 각각 트랜지스터 Mp01과 Mp02에 대한 transconductance이다. 만약 g_{mp1}와 g_{mp2}간의 비가 g_{mO} 및 g_{m11}간의 비와 반대가 되게 하면, 즉,

$$\frac{g_{mp2}}{g_{mp1}} = 1/\frac{g_{mo}}{g_{m11}} \tag{10}$$

이면, 식 (9)은

$$i_{ext} = i_1(t) + C_T \frac{1}{g_{m0}} \frac{di_1(t)}{dt} \tag{11}$$

로 표현된다. 식 (11)에서 두 번째 항의 크기를 작게 하는 방법으로는 C_T를 작게 하거나 g_{m0}의 크기를 크게 하는 방법이 있을 수 있는데, C_T는 입력 단이 여러 개 연결되면 자동으로 늘어나는 stray 콘덴서 때문에 임으로 줄이기가 어렵다. 그러나 다행히도 g_{m0}는 W/L에 비례하는 값으로써 이 값을 크게 하면 입력 신호의 미분 성분에 의해 발생하는 왜곡을 쉽게 억제할 수 있게 된다.

이렇게 W/L를 크게 한 경우에는 출력단 회로의 W/L비를 조절하여 식 (10)관계를 갖게 함으로써 얻고자하는 출력 신호를 얻을 수 있게 된다.

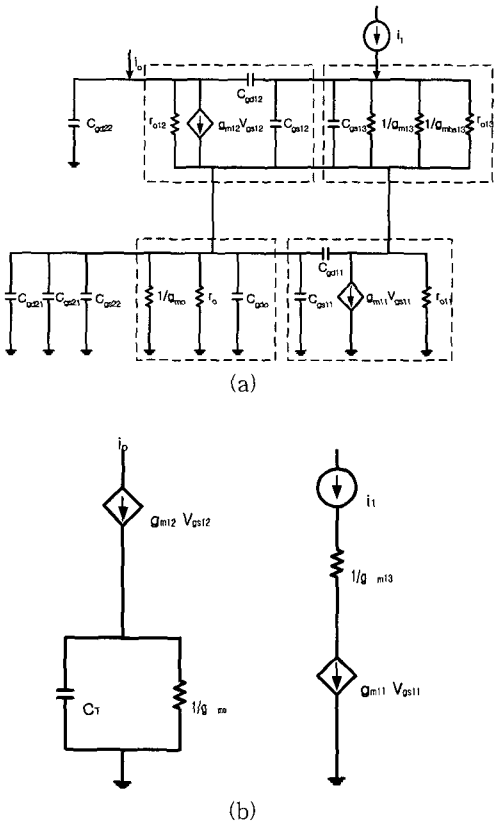


그림 2. <그림 1>의 등가회로 (a) 소신호 등가회로 (b) 회로 (a)의 간략화된 회로

Fig. 2. Equivalent circuit model of fig. 1. (a) Small-signal equivalent circuit (b) Simplified circuit of (a)

Ⅳ. 시뮬레이션 및 고찰

Max 회로에 인가되는 입력 단자의 수가 많은 경우, 출력 신호의 변화율이 큰 곳에서 왜곡이 심해지는 문제에 대해 제안한 transconductance 조정 방법의 효과를 검증하였다.

<그림 3>은 (3n+1)형 Max 회로에 입력이 4, 8 및 16개인 경우의 출력 신호를 관찰한 결과이다. 여기서 인가된 입력 신호는 7nsec마다 피크치를 갖는 삼각파형의 전류 신호들이다. 그림에서 실제의 최대값은 점선들의 최상위 곡선을 따라가는 선이며 Max 회로의 출력은 굵은 실선으로 표현하였다. 그림에서 보는 바와 같이 적은 개수의 입력에서는 실제 최대값과 Max 회로의 출력간의 차이가 비교적 적지만 입력의 개수가 증가함에 따라 위첨점과 아래 계곡에서 차이가 커지고 있음을 관찰할 수 있다. <그림 4>는 이 경우의 실제 최대값과 Max 회로의 차이를 보여준다.

본 연구는 입력의 개수에 따라 증가하는 왜곡을 억제하기 위해 <그림 1>과 같은 (3n+1)형 Max 회로에 transconductance 조정 방법을 이용하였다. 이 때 사용된 트랜지스터들의 L 값과 W 값은 <표 1>과 같이 식 (10)의 g_{mw}/g_{mil}의 값이 4배 되게 하였다. 또한 출력 회

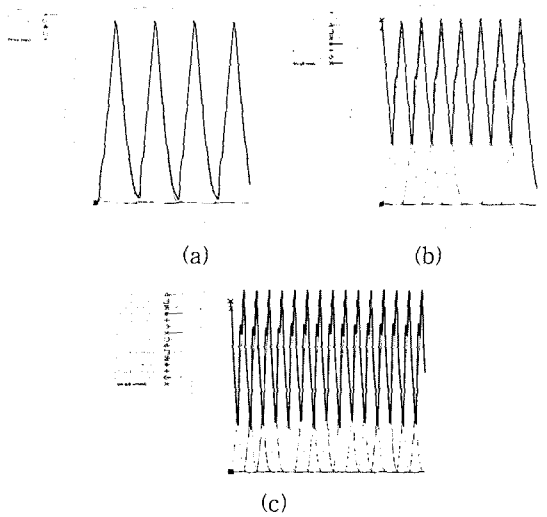
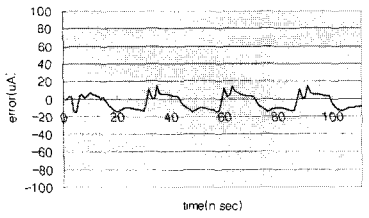
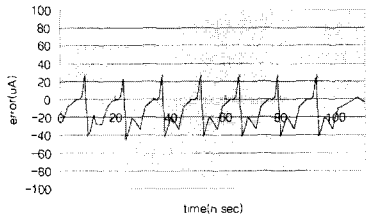


그림 3. 다양한 개수의 입력에 대한 (3n+1)형 Max 회로의 출력 (a) 4-입력 (b) 8-입력 (c) 16-입력

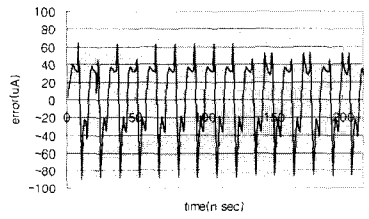
Fig. 3. Outputs of 3n+1 type Max circuit with various number of inputs. (a) 4-inputs (b) 8-inputs (c) 16-inputs



(a)



(b)



(c)

그림 4. 다양한 개수의 입력 신호 인가시 실제 최대값과 (3n+1)형 Max 회로 출력간의 차이 (a) 4-입력 (b) 8-입력 (c) 16-입력

Fig. 4. Differences between the real maximum value and the output of the 3n+1 type Max circuit with various number of inputs. (a) 4-inputs (b) 8-inputs (c) 16-inputs

표 1. 기존의 (3n+1)형 Max 회로와 transconductance 값을 조정한 회로에서 사용 된 트랜지스터들의 W/L 비율 (a) 기존의 Max 회로 (b) transconductance 조정된 회로

Table 1. W/L ratio of transistors both in the conventional (3n+1) type Max and that with the adjusted transconductance. (a) Conventional Max circuits (b) Transconductance adjusted Max circuits

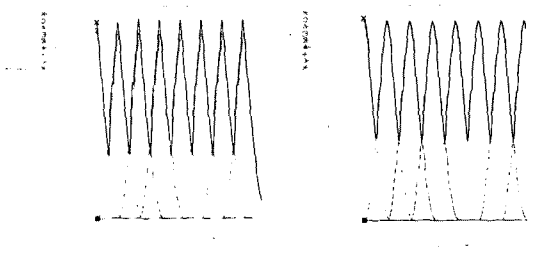
(a)

	L	W
Mni1	1u	20u
Mni2	0.6u	12u
Mni3	0.6u	12u
MO	0.6u	12u

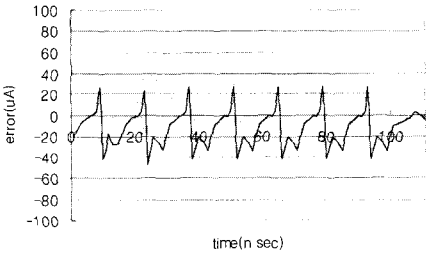
(b)

	L	W
Mni1	1u	20u
Mni2	0.6u	12u
Mni3	0.6u	12u
MO	0.6u	48u

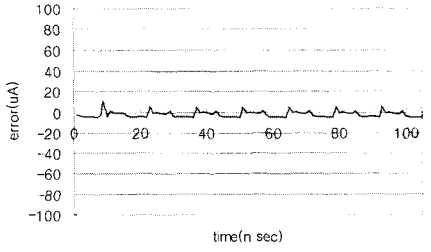
로에서의 current mirror용 두 트랜지스터에 대한 transconductance들의 비는 출력측이 입력측의 1/4가 되게 하여 4배 증가된 신호가 원 신호로 회복되게 하였다. <그림 5> 및 <그림 6>은 입력 신호가 각각 8개 및 16개일 경우의 transconductance 조정 전과 후의 출력 파형을 보여준다. <그림 5>에서의 8개 입력에서도 기존의 Max 회로와 제안한 회로간에는 성능차이가 있



(a) (b)



(c)



(d)

그림 5. 8개의 삼각파 입력에 대한 출력 응답 비교: transconductance 조정 전 (a) 및 조정 후 (b)의 출력파형, transconductance 조정 전(c) 및 조정 후 (d)의 실제 최대값과 Max 출력파형의 차

Fig. 5. Comparison of the Max outputs with 8-input triangular current signals: the outputs. (a) before and (b) after the transconductance adjustment, and difference of the Max outputs between (c) before and (d) after the transconductance adjustment

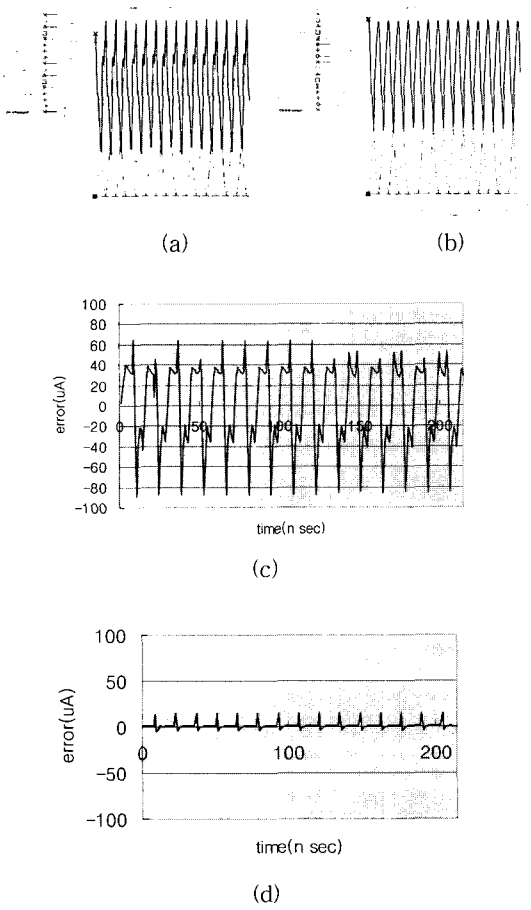


그림 6. 16개의 삼각파 입력에 대한 출력 응답 비교: transconductance 조정 전 (a) 및 조정 후 (b)의 출력파형, transconductance 조정 전(c) 및 조정 후 (d)의 실제 최대값과 Max 출력파형의 차

Fig. 6. Comparison of the Max outputs with 16-input triangular current signals: the outputs. (a) before and (b) after the transconductance adjustment, and difference of the Max outputs between (c) before and (d) after the transconductance adjustment

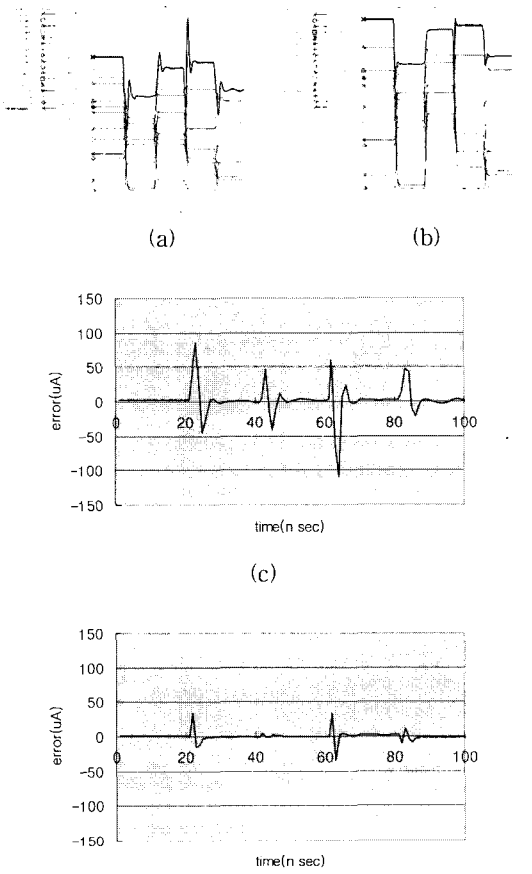


그림 7. 16개의 구형파 입력 신호에 대한 출력 응답 비교 (a) transconductance 조정 전의 출력파형 (b) transconductance 조정 후의 출력파형 (c) transconductance 조정 전의 최대값 파형과 출력파형의 차 (d) transconductance 조정 후의 최대값 파형과 출력파형의 차

Fig. 7. Comparison of the Max output with 16-input square wave signals. (a) Output before transconductance steering (b) Output after transconductance steering (c) Difference in maximum and output before transconductance steering (d) Difference in maximum and output after transconductance steering

었지만, <그림 6>에서와 같이 입력의 개수가 16개로 증가하는 경우에는 신호의 변화율이 큰 상측 첨점 및 하측 계곡에서 에러값이 특히 확대되었다. 이것은 (11)식에서 보여주는 바와 같이 신호의 변화율이 큰 곳에서 출력에 왜곡성분이 크게 더해지기 때문이다.

시뮬레이션 결과에서 확인할 수 있는 바와 같이, 기존의 Max 회로에서는 입력의 개수가 많아질수록 큰 왜곡을 보이고 있는 반면, 제안한 회로의 출력은 매우 정밀하게 최대값을 찾아 출력하고 있음을 확인할 수 있다.

다른 형태의 입력 신호에 대해서도 같은 효과가 있는지를 확인하기 위해서 <그림 7>과 같이 다양한 크기와 모양의 구형파들이 입력으로 인가되는 경우에 대해서도 시뮬레이션 하였다. 이 때의 입력의 수는 16개였으며 신호들의 크기를 10nsec마다 변화시키면서 50nsec 동안 Max 회로에 인가하였다. <그림 7(a)>는 기존의

3n+1 Max 회로에 대한 시뮬레이션 결과인데, 구형파의 급격한 변화가 있는 곳에서의 Max 회로 출력값은 실제값보다 큰 오버슈트가 발생하는데 비해서 제안한 transconductance를 조정한 <그림 7(b)>에서는 오버슈트 없이 실제값에 매우 근사함을 알 수 있다. <그림 7>의 <그림 7(c)와 (d)>에서는 최대 파형과 Max 회로 간의 차를 보이고 있다. 결과에서 보듯이 다양한 형태의 입력 신호들에 대해서도 transconductance를 조정한 회로에서는 왜곡이 효과적으로 억제되고 있음을 알 수 있다. 위에서의 peak에러 제거를 위해서 출력회로에 커패시터를 연결하는 방법에 대해서도 어느 정도의 효과가 있음을 시뮬레이션 통해 확인하였으나 제안한 방법만큼 효과적이지는 못했으며, 출력에 delay 문제가 추가적으로 발생하는 단점이 있었다.

V. 결 론

Max 회로에서 입력 신호의 개수가 증가하면 기생 커패시터의 증가로 인해 고주파 왜곡이 커지는 문제가 있었다. 본 연구에서는 이 문제점을 해결하기 위해서 3n+1형 Max 회로에 대해서 고주파 특성을 해석하였으며, 입력 개수의 증가에 따른 왜곡 증가 억제 방안을 제시하였다. 고주파 특성 해석 결과 왜곡 크기가 기생 커패시터의 총합과 공통저항용 트랜지스터의 저항성분 및 입력 신호의 변화율에 비례하게 된다는 사실을 밝혀냈으며, 이 사실을 이용하여 공통 다이오드결선 트랜지스터의 transconductance 값을 크게 함으로서 고주파 왜곡을 해결하는 방안을 제시하였다.

연구에서 수행한 3n+1형 Max 회로의 고주파 해석의 정확성과 이로부터 이끌어낸 고주파 에러 원인 및 이를 억제하기 위해 제안한 해결책의 타당성을 증명하기 위해서 다양한 수와 형태의 입력 신호를 대상으로 시뮬레이션을 수행하였다. 시뮬레이션 결과 이론적 분석대로 기존의 Max 회로들에 인가되는 입력의 개수가 증가하면 전류의 변화율이 심한 부분에서 큰 오차를 발생시킴을 확인하였다. 반면, 본 논문에서 제안한 transconductance 값을 조정한 Max 회로에서는 입력의 수가 증가하여도 오차가 억제되어 증가하지 않음을 확인할 수 있었다. 결과적으로 기존의 3n+1형의 Max 회로에서는 큰 왜곡 없이 최대 8개까지 입력을 인가할 수 있는데 비해 제안한 Max 회로에서는 32개까지 입력을 인가할 수 있었다. 이와 같이 많은 입력의 수가 필요한 Max 회로는 최적 경로계획을 위한 동적계획법(Dynamic Programming)이나 Fuzzy등에서 유용하게 사용될 수 있다.

참 고 문 헌

[1] Z. S. Günay and E. Sánchez-Sinencio. "CMOS winner-take-all circuits: a detail comparison," IEEE International Symposium on Circuits and Systems, vol. 1, pp. 41-44. June 1997.

[2] R. G. Carvajal., J. Ramirez-Angulo., and J. Tomba. "High-speed high-precision voltage-mode MIN/MAX circuits in CMOS technology," IEEE International Symposium on Circuits and Systems, pp. 13-16. May 2000.

[3] J. Lazzaro., S. Ryckebusch., M. A. Mahowald., and C. A. Mead. "Winner-take-all networks of O(n) complexity," Advances in Neural Signal Processing Systems. vol. 1, pp. 703-711. 1989.

[4] D. M. Wilson., and S. P. Deweerth. "Winning Isn't Everything," ISCAS'95. pp. 105-108. May 1995.

[5] R. Kalim., and D. M. Wilson. "Semi-parallel rank-order filtering in analog VLSI," ISCAS'99. pp. 232-235. May 1999.

[6] T. Yamakawa., and T. Miki. "The current-mode fuzzy logic integrated circuits fabricated by the standard CMOS process," IEEE Trans. On Computers. vol. C-35, (2), pp. 161-167. February 1986.

[7] M. Sasaki., T. Inoue., Y. Shirai. and F. Ueno. "Fuzzy multiple-input maximum and minimum circuits in current mode and their analyses using bounded-difference equations," IEEE Trans. On Computers. vol. C-39, (6), pp. 768-774. June 1990.

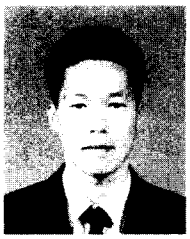
[8] I. Baturone., J. L. Huertas., A. Barriga., and S. Sánchez-Solano. "Current-mode multiple-input maximum circuit," Electron. Lett. vol. 30, (9), pp. 678-680. April 1994.

[9] I. Baturone., A. Barriga., and J. L. Huertas. "Multi-input voltage and current-mode min/

max circuits," Proc. 3rd Int. Conf. on Fuzzy Logic, Neural Networks and Soft Computing. pp. 120-126. 1994.

[10] C. Y. Huang., and B. D. Liu. "Current-mode multiple input maximum circuit for fuzzy logic controllers," Electronics Letters. vol. 30, (23), pp. 1924-1925. November 1994.

저 자 소 개



李 準 洙(正會員)

2002년 : 전북대 제어계측공학과 졸업. 2002년~현재 : 동 대학원 제어계측공학과 석사과정

金 炯 奭(正會員)

1980년 : 한양대학교 전자공학과 졸업. 1982년 : 전북대학교 대학원 전자공학과 졸업. 1992년 : University of Missouri, Columbia, Dept. of Electrical and Computer Eng. 박사. 1993년 9월~현재 : 전북대학교 부교수

孫 弘 樂(正會員)

1996년 : 전북대 제어계측공학과 졸업. 1998년 : 전북대학교 대학원 전기공학과 석사. 2003년 : 전북대학교 전자공학과 박사. 2000년 3월~현재 : 전북대 메카트로닉스 연구센터 연구원