

論文2003-40SD-11-4

MPEG-4 영상코덱에서DCTQ module의 효율적인 구조

(An Efficient Architecture of Transform & Quantization Module in MPEG-4 Video Code)

徐基範*, 尹東源**

(Kibum Suh and Dong-Woen Yoon)

요약

이 논문에서는, 2D-DCT, 양자화, AC/DC 예측블록, 스캔 변화, 역 양자화, 2D-IDCT로 이루어진 DCTQ 모듈의 효율적인 구조를 제안한다. 이 모듈은 1064 cycle 안에 매크로블록을 처리할 수 있도록 설계하였으며, MPEG-4 Video codec에서 30frame 의 CIF 영상에 대하여 동시에 encoder와 decoder를 처리할 수 있다. 단지 하나의 1D-DCT와 IDCT core 가 2-D DCT/IDCT 대신에 사용되며, 1 bit serial 분산산술방식을 이용하여 1-D DCT/IDCT를 구현하였다. 또한 파워소모를 줄이기 위해 움직임 예측에서 얻을 수 있는 SAE 값을 이용한 DCT 와 양자화 모듈을 동작을 시키지 않는 방식을 제안하였다. 그리고 AC/DC 예측방법을 위한 메모리를 줄일 수 있도록 AC/DC 예측블록을 위한 메모리 구조 및 접근방법을 제안하였다. 그 결과, 하드웨어의 재 사용 성이 높아지고 파워소모가 작아짐을 알 수 있었다. 제안된 설계는 27 MHz 로 돌아가며, 실험결과 DCT와 IDCT 는 IEEE 기준을 만족함을 알 수 있었다

Abstract

In this paper, an efficientVLSI architecture for DCTQ module, which consists of 2D-DCT, quantization, AC/DC prediction block, scan conversion, inverse quantization and 2D-IDCT, is presented. The architecture of the module is designed to handle a macroblock data within 1064 cycles and suitable for MPEG-4 video codec handling 30 frame CIF image for both encoder and decoder simultaneously. Only single 1-D DCT/IDCT cores are used for the design instead of 2-D DCT/IDCT, respectively. 1-bit serial distributed arithmetic architecture is adopted for 1-D DCT/IDCT to reduce the hardware area in this architecture. To reduce the power consumption of DCTQ module, we propose the method not to operate the DCTQ module exploiting the SAE(sum of absolute error) value from motion estimation and cbp(coded block pattern). To reduce the AC/DC prediction memory size, the memory architecture and memory access method for AC/DC prediction block is proposed. As the result, the maximum utilization of hardware can be achieved, and power consumption can be minimized. The proposed design is operated on 27MHz clock. The experimental results show that the accuracy of DCT and IDCT meet the IEEE specification.

Keyword : DCT, AC/DC Prediction, LOW Power

* 正會員, 又松大學校 電子情報通信工學科

(Dept. of Electronic and Communication Eng. Univ.)
Woosong Univ.)

** 正會員, 大田大學校 電子情報通信工學科

(Dept of Electronic and Communication Eng. Deajeon

Univ.)
※ 본 논문은 IDEC 의 지원을 받은 Tool(modelsim/
Synopsys)을 사용하여 설계하였습.

接受日字:2003年6月23日, 수정완료일:2003年10月31日

I. 서론

영상압축에 사용되는 여러가지 변환 테크닉 중에, 이산 역현 변환(DCT)방식은 그 최적의 성능과 구현시 쉽게 구현할 수 있다는 장점 때문에 가장 효율적이고 많이 사용되는 방식이다.

이 방식은 H.263, JPEG, JPEG (Joint Photographic Experts Group), MPEG (Moving Picture Experts Group) 과 HDTV와 같은 여러가지 영상압축의 표준에 적용되고 있다. 휴대형 단말기와 같은 저전력이 필요한 분야에서는 최근 작은 면적과 저전력을 가지는 DCT 프로세서가 중요한 부품으로 고려되고 있다.

MPEG-4 codec 과 같은 hybrid coding loop에서는 2D DCT/IDCT core가 두 개가 필요하기 때문에, 코덱의 면적이 증가한다. 또한 MPEG-4 표준은 MPEG-2나 MPEG-1 과 다른 부호화 방법을 채택하고 있다. 예로, DC/AC 예측방법은 MPEG-2나 1과는 다른 방법이다. MPEG-4 codec을 설계할 때는, AC/DC 예측 블록의 면적의 크기가 문제가 된다.

따라서 이 논문에서는 하드웨어 리소스를 사용을 최소화하는 DCTQ 모듈의 구조를 제안한다. 첫번째 DCT와 IDCT의 하드웨어 구조를 제안하고, 두번째 AC/DC 예측 블록의 구조 및 인코더 모드에서 파워소모를 줄이는 방법을 제안한다.

이 논문은 다음의 순서로 기술한다. 변환부 및 양자화 모듈의 구성요소를 II장에서 설명하고, III장에서는 그 구조를 설명하고, IV, V장에서 시뮬레이션 결과 및 결론을 기술한다.

II. MPEG-4 Codec에서의 데이터 흐름

<그림 1>과 같이 MPEG-4에서는 부호화기와 복호화기의 경우에 다른 데이터의 경로를 형성하는데, 인코더의 경우에, 2D FDCT 후에 양자화 과정이 변환계수에 수행되며, 양자화된 계수에 대하여 AC/DC 예측 값을 가지고 DPCM 부호화가 수행된다. AC/DC 예측 블록에 의해 예측 방향이 결정된 후에, 스캔 모듈은 AC/DC 예측 결과를 QCO(양자화된 계수) 버퍼에 그들의 스캔 순서에 따라 저장한다.

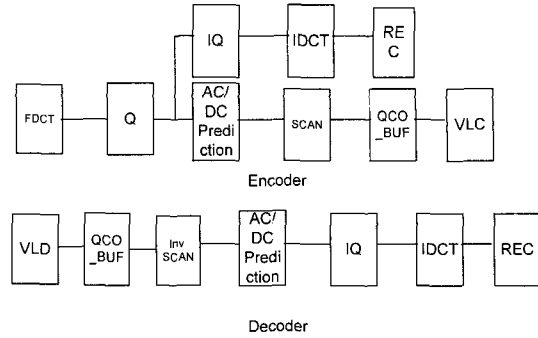


그림 1. MPEG-4 코덱의 데이터의 흐름
Fig. 1. The dataflow of MPEG-4 codec.

VLC(가변길이 부호화기)모듈은 QCO 버퍼로부터 비트스트림을 생성한다. 또한 움직임 예측을 위한 프레임 메모리를 복원하기 위해, IQ 모듈과 IDCT 모듈이 필요하다. 디코더 경로의 경우, VLD(가변길이 복호화기)로부터의 데이터가 QCO 버퍼에 저장된다. AC/DC 예측 블록이 예측 방향을 결정한 후에, 역 스캔 모듈은 데이터를 그것의 역 스캔 순서로 QCO 버퍼에서 읽어서 AC/DC 예측블록으로 전달해준다.

AC/DC 예측의 결과는 역 양자화와 역 DCT를 수행하여 프레임 메모리를 재구성한다. AC/DC 예측은 MPEG-4 Codec 모드에서 intra 매크로 블록의 경우에만 수행이 되고, short video header 모드(H.263 모드)에서는 수행되지 않는다. MPEG-4 DCTQ 모듈의 구현을 위해, 우리의 목표는 30 프레임의 CIF를 코덱 모드로 최소한의 하드웨어 자원을 가지고 처리할 수 있는 DCTQ 모듈을 설계하는 것이다. 이 논문에서, 코덱 모드로 부호화와 복호화를 동시에 처리할 수 있는 것을 지칭한다. 코덱 모드에서는 60 프레임이 1 초에 수행되어야 하는데, 이것은 부호화기가 30 프레임을 처리할 수 있고, 복호화기가 30 프레임을 처리할 수 있는 것을 의미한다. 하드웨어 크기를 줄이기 위해, DCT/IDCT는 직교변환의 특징을 가지므로, 1-D DCT 와 1D-IDCT는 2D-DCT와 2D-IDCT를 대체하도록 사용된다.

실제로, 2-D DCT가 행-열 분할방법(row-column decomposition method)를 사용하여 2-D DCT를 사용하여 설계되었을 때, 이것은 1-D DCT 프로세서와 중간 전치 메모리로 구성된다. 코덱모드에서의 부호화 복호화 시간은 프레임 단위로 나뉘지므로, <그림 1>의 모든 모듈은 부호화, 복호화 모드에서 공유된다.

III. 하드웨어 구조

1. SAE값과 CBP값 이용한 전력소모 감소를 위한 구조

DCTQ 모듈이 부호화 모드이고 현재 매크로 블록이 Non-intra mode일 때, 매크로 블록의 각 블록의 절대 오차 성분의 합(Sum of Absolute Error)은 움직임 예측 보상시 연산의 결과값으로부터 알 수 있다. 이 값은 ARM(advanced risc. machine) processor가 AMBA (Advanced Microcontroller Bus Architecture) ASB 버스의 입력으로 주어지며, 부호화 시에 DCT 의 수행을 이 오차성분의 합이 Threshold 값을 넘으면, DCT를 수행하지 않음으로써 저전력동작을 수행할 수 있다. 이 Threshold 의 값은 DCT 후에 양자화를 수행해야 하는데, 이 양자화를 수행할 때의 QP값에 의존하여 모든 양자화된 계수 값이 0 이 되므로 QP값을 가지고 판단 기준으로 한다. 즉 다음 수식에 의해 결정되며, intra 모드가 아닌 경우에 한하여 skipped block으로 처리한다.

```

If ( mb_type == non_intra)
  For( I = 0 ; I < 6 ; I++)
    Skip_block[i] <= '1' when (sae[i] < qp* 20) else '0';
    
```

여기서 sae[i]값은 움직임 예측 시 구해진 각 블록의 절대 오차 값의 합이며 이 값이 현재 양자화 QP 값의 20 배 이하이면, 각 블록을 양자화 및 DCT/IDCT및 AC/DC prediction/Scan 모듈을 수행 하지 않는다. 이것의 처리 부분은 <그림 2>와 같다. 그림에서 ASB bus를 통하여 들어온 움직임 예측 보상모듈에서 각 블록마다 계산된 SAE(Sum of Absolute Error)값을 받아 들인다. 각 매크로블록을 처리할 때에 이 SAE값을 unit_skip 이라는 모듈에서 위에 skip_block이라는 수식을 연산하여 두었다가, 각 블록 index의 블록별로 DCTQ 의 모듈을 동작시킬 것 인지를 판단하는 것이다. 여기서 en 신호는 각블록을 인에블시켜주는 신호로 블록이 skip되었을 경우에는 각블록의 동작을 막는 역할을 한다. 또한 decoder 경로의 경우에는 cbp(coded block pattern)의 값을 사용하여 DCTQ 모듈의 블록을 동작시키지 않는 방법을 사용하였다.

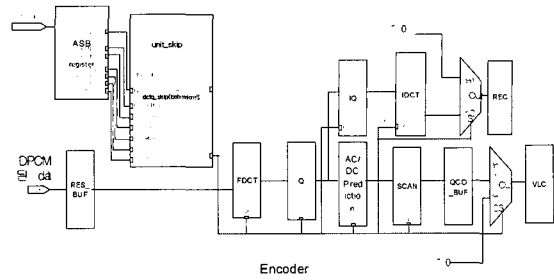


그림 2. SAE 를 고려한 인코더 경로의 블록도
Fig. 2. block diagram of encoder path considering the SAE.

따라서 clock을 skip_block 의 경우에는 인가하지 않도록 enable 신호를 주므로써 전력 소모를 줄일 수 있다. <표 1>는 각영상에 대한 SAE 판정에 따른 전력 소모 감소율을 나타낸다.

표 1. 각 영상에 대한 SAE 값의 판정에 따른 Power 소모감소율

Table 1. Power Reduction using the SAE value for several image sequences.

	Block 개수	Skip 된 블록개수	처리해야 할 블록수	Power 소모의 감소율
Foreman 300 frame (QCIF)	178200	89403	88797	49.9 % (단 qp=15)
Foreman 300 frame (CIF)	712800	448728	264072	37.0% (단 qp=15)
Mobile 300 frame(QCIF)	178200	20984	157216	88.2 % (단 qp=15)
Table 300 frame(QCIF)	178200	105456	72744	40.8% (단 qp=15)
Akiyo 300 frame(QCIF)	178200	121353	56847	31.9 % (단 qp=15)
Mother& daughter(QCIF)	178200	114086	64114	35.9% (단 qp=15)
Mother& daughter(CIF)	712800	574208	138592	19.4 % (단 qp=15)
Stefan(QCIF)	178200	53311	124889	70 % (단 qp=15)
News	178200	98531	79669	44 % (단 qp=15)
Coastguard	178200	74301	103899	58 % (단 qp=15)

위의 예에서 보듯이 power 소모의 비율이 줄어들고, 움직임이 많은 영상은 처리할 블록이 많음을 알 수 있다. 또한 같은 이미지의 다른 크기의 영상에 대하여 압축을 수행하였을 때 처리해야 할 블록의 비율이 줄어

들을 알 수 있다. 이것으로 CIF 의 경우에는 70% 의 전력소모를 줄일 수 있고 QCIF 의 경우에는 50% 정도의 전력소모를 줄일 수 있음을 알 수 있다.

2. 2D-DCT/IDCT

2D IDCT core 의 구조가 <그림 3>에 보인다. 여러가지 고속DCT 알고리즘과 구현방법이 하드웨어 크기와 곱셈의 크기를 줄이기 위해 개발이 되었다^[4, 5, 7]. Chen의 알고리즘이 1D DCT와 1D IDCT를 구성하는데 사용되었다. 이것은 분산산술방식^[3]을 채택하였다.

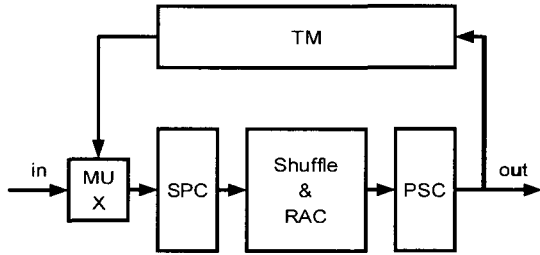


그림 3. 제안된 2-D IDCT 구조
Fig. 3. Proposed 2-D IDCT core architecture.

DCT/IDCT의 크기를 줄이기 위해, 1bit 직렬 분산산술방식을 사용하였다. <그림 4>는 1 bit 직렬 분산산술 방식의 1D-IDCT 의 구조를 보인다.

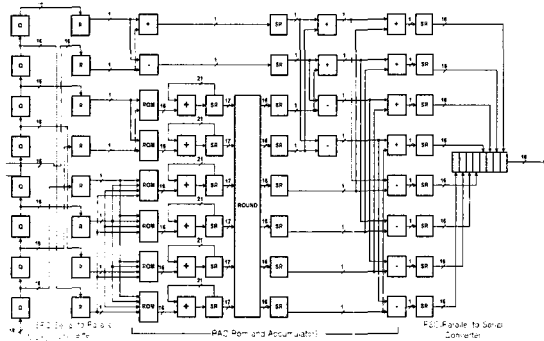


그림 4. 1D-IDCT 구조(1bit 직렬 분산산술방식)
Fig. 4. 1D-IDCT architecture(1bit Serial DA).

16 클럭마다, 외부입력이 2D-DCT 에 첫번째 8 clock동안 인가되며, 전치 메모리로부터의 내부입력이 나머지 8 clock 마다 들어 온다.

FDCT 와 IDCT 는 3 단계의 파이프 라인 구조를 가진다. 첫번째 단계는 직렬을 병렬로 바꿔주는 과정(SPC)이며, 두번째 단계는 셔플과(Shuffle)과 RAC

(Rom and accumulation)과정이고, 마지막 단계는 병렬을 직렬로 바꿔주는 단계(SPC)이다. <표 2>에서는 2D-IDCT의 동작 사이클을 보여준다. <표 2>에서, 0(1,*) 는 블록인덱스 0 번이고 행방향의 첫번째 1D-DCT를 처리하는 것을 나타낸다.

2D-IDCT에 대하여, 912(=114x8) 클럭사이클이 하나의 매크로 블록을 처리하기 위해 필요하다. <표 2>에서, 전치메모리로부터 입력은 밀줄로 표기되어 있다. 152(=19*8) 의 초기화 사이클 후에, IDCT블록은 8 cycle 마다 교번으로 계수를 출력한다.

표 2. 2D IDCT의 동작 사이클
Table 2. The operation cycle of 2D IDCT.

CLK/8	SPC	RAC	PSC	CLK/8	SPC	RAC	PSC
1	0(0,*)	NOP	NOP	22	0(*,2)	1(2,*)	0(*,1)
2	NOP	0(0,*)	NOP	23	1(3,*)	0(*,2)	1(2,*)
3	0(1,*)	NOP	0(0,*)	24	0(*,3)	1(3,*)	0(*,2)
4	NOP	0(1,*)	NOP	25	1(4,*)	0(*,3)	1(3,*)
5	0(2,*)	NOP	0(1,*)	26	0(*,4)	1(4,*)	0(*,3)
6	NOP	0(2,*)	NOP	27	1(5,*)	0(*,4)	1(4,*)
7	0(3,*)	NOP	0(2,*)	28	0(*,5)	1(5,*)	0(*,4)
8	NOP	0(3,*)	NOP	29	1(6,*)	0(*,5)	1(5,*)
9	0(4,*)	NOP	0(3,*)	30	0(*,6)	1(6,*)	0(*,5)
10	NOP	0(4,*)	NOP	31	1(7,*)	0(*,6)	1(6,*)
11	0(5,*)	NOP	0(4,*)	32	0(*,7)	1(7,*)	0(*,6)
12	NOP	0(5,*)	NOP	33	2(0,*)	0(*,7)	1(7,*)
13	0(6,*)	NOP	0(5,*)	34	1(*,0)	2(0,*)	0(*,7)
14	NOP	0(6,*)	NOP	35	2(1,*)	1(*,0)	2(0,*)
15	0(7,*)	NOP	0(6,*)	36	1(*,1)	2(1,*)	1(*,0)
16	NOP	0(7,*)	NOP
17	1(0,*)	NOP	0(7,*)
18	0(*,0)	1(0,*)	NOP	111	NOP	5(*,6)	NOP
19	1(1,*)	0(*,0)	1(0,*)	112	5(*,7)	NOP	5(*,6)
20	0(*,1)	1(1,*)	0(*,0)	113	NOP	5(*,7)	NOP
21	1(2,*)	0(*,1)	1(1,*)	114	NOP	NOP	5(*,7)

<그림 5>는 부호화 모드일 때의 DCTQ 모듈의 타이밍도이다. CIF 영상을 부호화 하려면, 2D DCT, Q와 AC/DC 예측, 2D IDCT 가 수행되어야 한다. 그림에서, 1D-DCT된 8x8 블록 데이터를 트랜스 포지션 메모리에 저장하려면 136 클럭이 필요한데, 이것은 <표 2>에서 첫번째 컬럼에서 17번째 컬럼까지의 처리 시간, 즉 17*8 clock으로 계산된다. 2D-FDCT 지연시간은 152 cycle로 계산이 된다.

Q와 AC/DC 예측의 지연시간이 8 클럭 이므로, QCO 버퍼는 DCT 입력 이후 160 이후에 채워진다. IDCT

동작이 DCT 와 같은 Operation Cycle을 가지므로, IDCT의 출력은 첫 번째 DCT출력 후 152 clock 이후에 나온다. DCT와 IDCT를 출력하는데 필요한 전체시간은 한 매크로 블록을 처리하는데 1064 사이클이다. 27MHz 클럭 시스템에 있어서, 이것은 부호화 단독 모드일 때, 초당 25375 매크로 블록을 처리할 수 있다. 그러나 복호화 모드에서는 DCT에 대한 사이클이 필요하지 않다.

따라서 복호화 모드에서 한 개의 매크로 블록을 처리하는데 필요한 사이클 수는 920 클럭 사이클이다. 이것은 IQ와 AC/DC 의 지연 8 클럭과 IDCT 사이클 912 clock의 합이다. 이것은 27MHz 클럭 시스템에서 복호화 단독 모드에서 초당 29374 macroblock을 처리할 수 있는 양에 해당된다.

코덱 모드에서, 부호화와 복호화 모두에 대하여 하나의 매크로 블록을 처리하는데 필요한 클럭은 1984 clock이다. 이것은 1064 clock과 920 clock의 합이다. 따라서, DCTQ 모듈은 부호화와 복호화를 하는데 초당 13608 매크로 블록을 처리할 수 있다. 이 값은 30 프레임의 CIF 처리를 하는데 필요한 매크로 블록의 수 11880보다 크다. 따라서, DCTQ 모듈은 30 frame CIF processing을 부호화와 복호화에 대해 동시에 30 프레임의 CIF 처리가 가능하다.

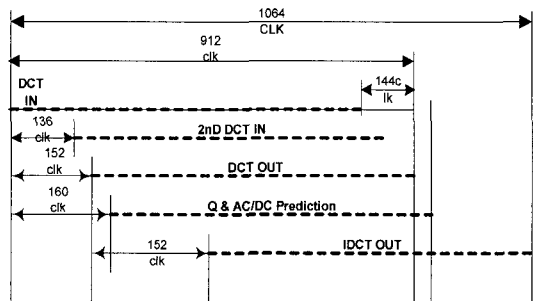


그림 5. 부호화 모드일 때의 제안된 구조의 타이밍도
Fig. 5. Timing of the proposed architecture in encoder mode.

2. AC/DC 예측 블록의 구조

MPEG-4 에서의 DC 예측부호화 방법은, 블록의 DC 계수를 부호화할 때, 상위 블록이나 좌측블록으로부터의 차값을 적응적으로 부호화 하는 방법이다. 즉 상위 블록으로부터 예측이 되었을 때는 상위블록의 DC값과 현재 블록의 DC값의 차를 MPEG-4^[1]에 규정되어 있는

연산과정을 통해 부호화 하고, 좌측블록으로 예측이 되었을 때는 좌측블록의 DC값과의 차를 같은 방법으로 부호화 한다. 이때, 상단 또는 좌측의 어떤 블록으로부터 예측이 되었는가를 결정하는 것을 예측의 방향을 결정한다고 말한다. 이 예측방향은 좌 상단블록의 DC 값과 상단블록의 DC값의 차 값과 좌 상단블록의 DC값과 좌측블록의 DC값의 차를 비교하여 크기의 변화가 큰 쪽을 예측방향으로 설정한다. AC 예측부호화 방법은 DC 예측방법에 의해 결정된 예측의 방향에 의해 결정된 같은 위치에 있는 성분들간의 차 값을 구하는 방법이다.

If (| DC_Value of left block DC value of above-left block | < | DC value of above-left block DC value of above block |)

Prediction direction = prediction from above block

Else

Prediction direction = prediction from left block;

AC/DC 예측을 수행하려면, 예측 데이터를 저장하는데 큰 메모리가 필요하다. 이것은 슬라이스의 DC 값과 AC값을 저장하기 위한 메모리가 커야 하기 때문이다.

<그림 6>은 블록에 대한 예측값의 위치를 보여준다. 매크로 블록은 그림과 같이 0,1,2,3 의 4 개의 블록으로 이루어져 있다.

각 블록에 대하여 예측의 방향을 결정하려면, 그 블록에 대한 3 개의 인접블록의DC 계수값을 읽어야 한다. 그림에서, R1 행의 블록 인덱스 1에 대하여, 좌상 블록, 좌측 블록, 상단 블록은 각각 2,0,3 이며 R2 행의 블록 인덱스 3에 대하여, 좌상블록, 좌측블록, 상단블록은 각각 0,2,1 이다.

따라서 하나의 매크로 블록의 처리를 위해서는, R1 행의 블록의 예측방향을 결정을 위하여 R0 행의 DC값이 필요하고, R2 행의 블록의 예측 방향의 결정을 위해 R1 행의 DC 값이 필요하다.

따라서 매크로블록처리를 위해서 2 개의 라인 메모리가 필요하다. 하지만 제안된 구조에서는 하나의 라인 메모리만 필요하다.

<그림 7>은 예측을 위한 메모리 구조를 보여 준다. 양자화된 계수는 12 비트이므로, 예측 메모리는 12 비트의 구조로 여러 성분으로 구성되어 있다. 가로방향 메모리는 DC계수와 가로방향 AC 계수를 위한 예측값

을 저장하고, 종방향 메모리는 종방향 AC계수의 예측값을 저장한다.

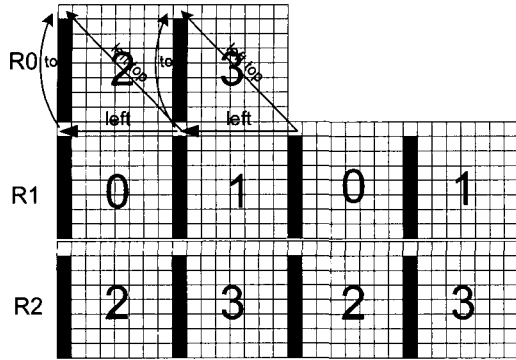


그림 6. 예측값의 위치
Fig. 6. The position of predicted value.

그림에서, Y0 와 Y2 는 같은 메모리 공간을 사용하며, Y1과 Y3 도 같은 메모리 공간을 사용한다. Y0 는 블록 0 에 대한 가로방향 8개의 예측값을 의미한다.

AC/DC 예측이 R1행의 블록 0 에 대하여 수행이 되었을 때, R0 행의 블록 2(Y2)로부터의 횡방향 예측값이 필요하다.

R1행의 블록 0에 대해 AC/DC 예측이 수행 된후에, 블록 2 를 처리하기 위해서 예측값 Y0가 필요하다.

따라서 Y2 는 블록 0 를 처리한 후에 Y0 로 변경된다. LT_DC_VALUE 메모리는 예측될 left top value 를 저장하는 영역이다. 현재 블록에 대한 top 의 DC 예측값을 읽어낸후, LT_DC_VALUE 메모리는 즉시 이 값으로 변경되며, <표 3>에서 보이는 것과 같이 추후에 읽어낸다.

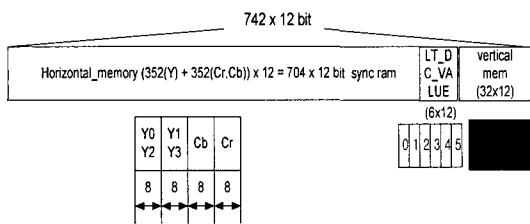


그림 7. 예측 메모리의 구조
Fig. 7. The structure of prediction memory.

만약 현재 블록 인덱스가 0 이라면, left top 의 DC 예측값은 LT_DC_VALUE 메모리의 index 1 에서 읽히지며, 블록 인덱스 0 에 대한 top 블록의 예측값은

LT_DC_VALUE메모리에 index 0 의 위치에 저장된다. 그것은 블록 1의 상위 블록은 블록 0의 왼쪽 상위 블록을 의미하기 때문이다. (<그림 6> 참조)

따라서, 각 블록의 top 블록의 DC 예측 값을 LT_DC_VALUE 메모리에 변경시켜 줌으로써, 우리는 Prediction RAM에 있어 하나의 라인 메모리만 사용하게 하였다. 만약 LT_DC_VALUE 메모리가 사용되지 않는다면, 횡방향 메모리에 존재하는 블록의 left top value는 이미 변경되어 그 값을 얻을수 없다.

표 3. 각 블록 인덱스에 대한 읽는 위치와 쓰는 위치

Table 3. Storing left top value and reading for each block index.

Block index	0	1	2	3	4	5
Storing lt_value	0	1	2	3	4	5
Lt memory read	1	0	3	2	4	5

<그림 8>은 AC/DC 예측의 메모리 접근을 보여준다. 빗금친 영역은 예측메모리의 저장 및 읽는 시점을 보여준다. 넓게 빗금 친 영역은 가로축 AC 예측 값의 접근을 나타내고, 진하게 표시된 영역은 종방향 AC 예측값의 접근을 나타낸다.

예측 방향을 결정하기 위해, 우리는 횡 방향 DC 값의 변화 량과 종 방향 DC값의 변화 량을 비교해야 한다. 예측방향의 결정은 AC/DC 예측모듈의 입력(인코더의 경우에 Q 출력)이 시작되기 전에 수행되어야 한다. 따라서, AC/DC 예측모듈의 입력이 시작하기 전에 메모리로부터 예측 데이터를 읽는 것은 2 클럭 이전에는

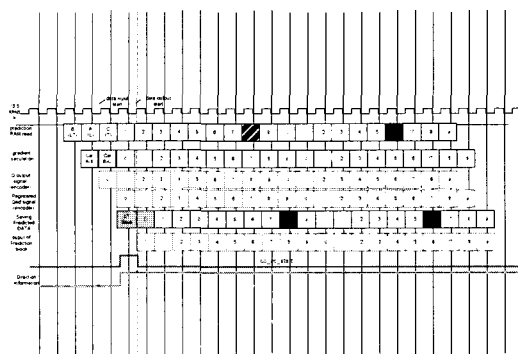


그림 8. AC/DC 예측의 메모리 접근 및 동작
Fig. 8. The memory access and operation of AC/DC prediction.

터 읽혀진다.

LT_DC_VALUE 메모리로부터 LT(left top) 값(B), L 값(A), T값(C)를 읽어 낸 후, 변위 값을 계산하고, 예측의 방향이 결정된다. Top value 가 횡 메모리에서 읽혀진 후, 읽혀진 top 의 값은 <표 3>에 보이는 인덱스를 가지고 LT_DC_VALUE 램 영역에 저장된다.

<그림 8>에서, LT save 라고 빗금 친 영역은 top value를 읽고 바로 씌움을 보이고 있다.

IV. 시뮬레이션 및 결과

내부의 DCT/IDCT의 precision을 결정하기 위하여, 랜덤 함수에 의해 생성된 10000블록을 DCT/IDCT 하드웨어 모델에 인가시켜 시뮬레이션을 수행 하였으며 그 결과를 <표 4>에 보인다. DCT/IDCT의 내부 비트 폭은 16 이며, 이것은 IEEE Specification을 만족하고 있다. 하드웨어 complexity는 <표 5>에 보인다. 이 회로는 AMBA ASB 신호를 통하여 Processor 와 통신하도록 설계되었다.

표 4. 제안된 DCT/IDCT 의 정도 시뮬레이션 결과

Table 4. Accuracy simulation results for the DCT/IDCT architecture.

TEST	IEEE Spec.	Proposed
Pixel Peak Error	1	1
Peak pixel Mean Square Error	0.06	0.01310
Overall Mean Square Error	0.02	0.01020
Peak pixel Mean Error	0.015	0.009
Overall Mean Error	0.0015	0.0005

V.결 론

본 논문에서는 MPEG-4 코덱(부호화 및 복호화)기를 위한 효율적인 구조를 제안하였다.

MPEG-4 비디오 코덱의 구조와 특징을 잘 활용하였기 때문에, 하드웨어 리소스의 공유가 효과적으로 증가하였고, Motion Estimation 에서 계산된 SAE 값을 사용하여 전력소모를 줄일 수 있었다. 또한 AC/DC prediction 블록을 위한 효율적인 구조를 제안하였다.

따라서, 이것은 무선 멀티미디어 서비스를 위한 휴대용 멀티미디어 단말기에 활용될 수 있다. 이 제안된 구

조는 MOVA(MObile Video ASIC) ASIC^[8]에 포함되어 구현 되었다.

참 고 문 헌

[1] ISO/IEC 14496-2 Final Draft of International Standard.

[2] "IEEE standard Specifications for the Implementation of 8x8 inverse discrete cosine transforms," IEEE standard, pp.1180-1190, March 1991.

[3] S. A. White, "Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review," IEEE ASSP Magazine, July 1989.

[4] M. T. Sun, T. C. Chen, and A. M. Gottlieb, "VLSI Implementation of a 16x16 Discrete Cosine Transform Chip", IEEE Trans. Circuits and Syst., pp. 610-617, April 1989.

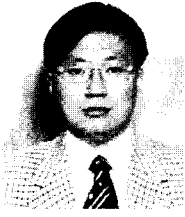
[5] A. Madisetti et al., "A 100 MHz 2-D DCT/IDCT Processor for HDTV Applications", IEEE Trans. CAS for Video Tech., Vol.5, No.2, pp. 158-165, APRIL 1995.

[6] W.H. Chen, C.H. Smith, and S.C. Fralick, "A fast computational algorithm for the discrete cosine transform", IEEE trans. Comm. Vol. Com-25, no-9, pp.1004-1009, Sept. 1977.

[7] S. M. Park and et al., "A Single-Chip Video/Audio Codec for Low Bit Rate Application", ETRI J., pp. 20-29 vol. 22, no. 1, Mar. 2000.

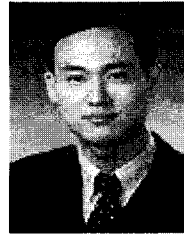
[8] Seongmo Park, Kyoungseon Shin, Igkyun Kim, Hanjin Cho, Jongdae Kim, "A MPEG-4 Video Codec Chip with Low Power Scheme for Mobile Application, ITC-CSCC2002, July, 2002.

저 자 소 개



徐 基 範(正會員)

1989년 : 한양대학교 전자통신공학과 졸업(공학사). 1991년 : 한양대학교 전자통신공학과 졸업(공학석사). 2000년 : 한양대학교 전자통신공학과 졸업(공학박사). 2000년~2002년 : 한국전자통신연구원 선임연구원. 2002년~현재 : 우송대학교 컴퓨터 전자정보공학부 전임강사. <주관심분야 : 영상통신 코덱, ASIC>



尹 東 源(正會員)

1989년 : 한양대학교 전자통신공학과 졸업(공학사). 1992년 : 한양대학교 전자통신공학과 졸업(공학석사). 1995년 : 한양대학교 전자통신공학과 졸업(공학박사). 1995년~1997년 : 동서대학교 정보통신공학과 전임강사. 1997년~1997년 : 한국전자통신연구원 초빙연구원. 2001년~2002년 : 펜실베니아주립대 방문교수. 1997년~현재 : 대전대학교 정보통신공학과 부교수. <주관심분야 : 멀티미디어통신, 이동통신, 디지털통신 시스템>