

論文2003-40SC-6-6

## 면방전 AC PDP에서 세폭소거 방식에 관한 연구

## (A Study on the Narrow Erase Method of Surface Discharge AC PDP)

安揚基\*, 尹東漢\*\*

(Yang-Ki An and Dong-Han Yoon)

## 요약

본 논문에서는 세폭소거 방식에 관한 연구를 하였으며, 종래에는 세폭소거 이후 전극에 벽전하가 쌓이지 않게 하기 위해 X전극과 Y전극의 전압 레벨을 같게 하여 벽전하를 소거한 반면, 본 논문에서는 세폭소거 이후 X전극과 Y전극의 전압 레벨을 다르게 하고 유지구간에서 스위치의 펄스 타이밍을 조절하여 약한 방전을 일으키게 한 뒤 벽전하를 소거하였다. 실험결과 종래의 방식은 Y\_Reset 전압이 150V, 서스테인 전압이 180V일 때 어드레스 전압 마진이 31.3V로 가장 크게 나타났다. 본 논문에서 제안한 방식은 Y\_Reset 전압이 100V, 서스테인 전압이 180V, 185V일 때, 어드레스 전압 마진이 38.3V로 가장 크게 나타났다. 본 논문에서 제안한 방식으로 인하여 종래의 방식 보다 약 7V(22%)정도의 전압마진을 더 확보할 수가 있었다.

## Abstract

This paper proposes the new narrow erase method to erase wall charges formed in an AC plasma display panel (PDP) cell. In the proposed method, sustain switching timing is adjusted for inducing a weak discharge. Then, after the narrow erase, the voltage of the X electrode is set to differ from that of the Y electrode. For the proposed method, the measured maximum address voltage margin was 38.3V at Y\_Reset voltage of 100V and sustain voltage of 180 ~ 185V. However, for the prior method, in which the X and Y electrodes are set to be of equal voltage after the narrow erase, the measured maximum address voltage margin was 31.3V at Y\_Reset voltage of 150V and sustain voltage of 180V. This result shows that the measured maximum voltage margin for the proposed method is greater than that for the prior method by ~7V(22%).

**Keyword** : PDP, Narrow erase, Cell, Sustain voltage

## I. 서론

차세대 대화면 평판 디스플레이장치인 PDP (plasma

\* 正會員, (주)UPD

(Ultra Plasma Display)

\*\* 正會員, 金烏工科大學校 電子工學部

(Dept. of Electronic Engineering, Kumoh National University of Technology)

接受日字:2003年4月25日, 수정완료일:2003年10月17日

display panel)는 화면의 크기에 관계없이 구동회로를 포함한 제품의 두께가 거의 10cm 미만이고, 40인치인 경우 중량이 18kg정도 밖에 되지 않아 벽에 걸 수 있을 만큼 가볍다. 이러한 PDP는 대화면 및 초박형을 요구하는 현대의 디지털 멀티미디어의 요구에 부합하는 것으로서, 대화면의 TV, 모니터, HDTV(high definition TV)영역으로 급속히 발전하고 있다<sup>[1]</sup>.

PDP는 전계 인가 구동방법에 따라 직류형(DC)<sup>[2]</sup>과 교류형(AC)<sup>[3]</sup>으로 나뉘게 된다. DC 구동 방식의 경우

는 방전전극이 방전공간에 직접 노출되어 전도 전류가 전극을 통해 직접 흐른다. 반면에 AC 구동 방식의 경우는 방전전극이 유전체로 덮혀 있어 방전에 의해 형성된 하전입자가 벽전하로서 유전체층에 쌓이게 된다<sup>[3]</sup>. 이러한 벽전하(wall charge)에 의해 벽전압이 형성되고 외부 전위의 극성을 교번으로 인가하면 이 전압과 벽전압이 합해져서 공간전압이 되어 방전을 유지할 수 있게 된다. 이러한 현상을 기억기능(memory function)이라 한다<sup>[4]</sup>.

현재 대부분의 PDP는 AC 구동 방식을 사용하고 있으며, <그림 1>에 3전극 면 방전형 AC PDP의 구조를 나타내었다. 두 장의 유리 기판 위에 서로 교차 대항하는 전면 및 배면 전극이 배열되고 그 교차점에 형성되는 셀(cell)의 구획을 위한 스트라이프(stripe) 또는 격자형의 격벽(barrier)이 구비되어 그 사이의 각 셀에는 red, green, blue의 형광층이 형성된다. 전면 및 배면의 각각의 전극 위에는 투명 또는 불투명 유전체층이 형성되어 있고 일반적으로 인쇄 및 소성방법으로 형성되며 PDP 구동 시 외부인가 전압을 결정하는 주요 factor 중의 하나이다. 유전체상에는 박막방법에 의해 보호층을 형성해주게 되는데, 보호층은 일반적으로 2차 전자 방출효과가 높은 MgO층으로 구성된다. 한편, 방전공간에서 발생된 방전광은 전면기판을 통해 사용자에게 전달되는데 광투과를 저해하지 않기 위해 전면 전극은 ITO등의 투명전극으로 구성되나 그 도전성의 저하를 보상하기 위해 저항이 낮은 금속 보조 전극인 BUS전극을 사용하는 것이 일반적이다. 그러나 PDP는 방전소자이어서 인접 셀이 동시에 발광하는 경우, 명확한 화상 인식이 곤란해지므로, 전면기판의 각 셀 간에는 블랙스트라이프가 형성되어 콘트라스트의 향상을 도모하고 비 유효 공간인 ITO outer gap사이에 형성된다.

셀이 방전을 하고 난 뒤에는 전극 위에 덮여있는 유전체층에 벽전하가 쌓이게 된다. 이 때 벽전하를 다음 방전을 위해 이용할 때가 있고, 또한 불필요한 벽전하를 소거해야할 경우가 있다. 벽전하를 소거하는 방식에는 크게 세폭소거, 대폭소거, 자기소거 방식이 있다<sup>[5,6]</sup>. 본 논문에서는 세폭소거 방식에 관한 연구를 하였으며, 세폭소거 파형을 만들어주는 스위치를 구동시키기 위한 펄스의 타이밍을 조절하여 동특성 전압 마진을 확보하였다. 종래에는 세폭소거 이후 전극에 벽전하가 쌓이지 않게 하기 위해 약 20μs 정도의 유지구간을 두어

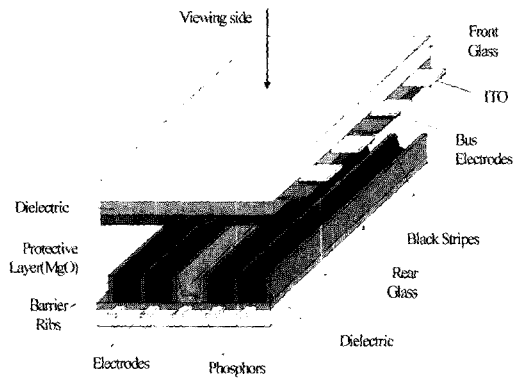


그림 1. AC 3전극 면 방전형 PDP 구조  
Fig. 1. Schematic diagram of a three electrode type AC PDP.

X전극과 Y전극의 전압 레벨을 같게 하여 벽전하를 소거한 반면, 본 논문에서는 세폭소거 이후의 X전극과 Y전극의 전압 레벨을 다르게 하고 유지구간에서 스위치의 펄스 타이밍을 조절하여 약한 방전을 일으키게 한 뒤 벽전하를 소거하였다. 이로 인해 종래에 사용한 방식보다 더 큰 동특성 전압 마진을 확보할 수가 있었다.

## II. 실험 조건 및 방법

<그림 2>에 동특성 전압 마진 측정을 위한 블록다이어그램을 나타내었다. 패널은 42인치 패널을 사용하였으며, 여기에 red, green, blue의 색을 ASTRO VG-828 패턴 제너레이터로 입력신호를 공급하였으며, EX-750H Power supply로 Vs(유지 전압), Va(어드레스 전압), Y\_Reset 전압을 가변 하면서 동특성 전압 마진을 측정하였다. 그리고 광을 측정하기 위해 IR detector로 광을 검출하였으며 이것을 오실로스코프로 확인하였다.

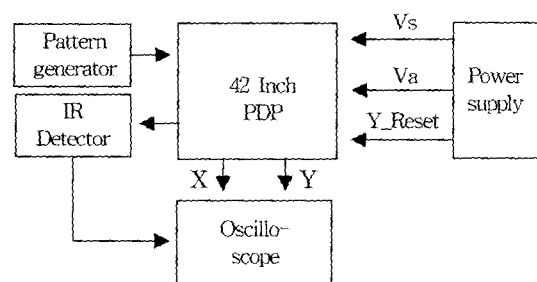


그림 2. 동특성 전압 마진 측정을 위한 블록도  
Fig. 2. Block diagram for dynamic voltage margin measurement.

<그림 3>은 동특성 전압 마진 측정을 위해 본 논문에서 사용한 구동 파형의 모형을 나타내었다. 첫 번째, 리셋구간에서 Y전극에는 rising slope을 통하여 방전경로에 따라 약방전이 일어나서 부(-)의 벽전하를 유전체 표면에 형성시키며, 이때 X전극과 data전극에는 정(+)의 벽전하가 쌓이게 된다. 그리고 rising slope 종료 후 전극 전체 영역에서의 벽전하 형성이 종료된다. falling slope 시 X전극의  $V_x$  전압으로 인해 Y전극과 X전극이 중화 방전을 실시하게 되는데, 이때 약방전이 일어나며 rising slope때 형성되었던 벽전하는 falling slope을 ground 전위 이하까지 down시킨다. 어드레스 구간에서 안정적으로 셀을 선택하기 위해 불필요한 벽전하를 최대한 감소시켜 아주 적은 양의 벽전하를 유전체 표면에 형성시키며, X전극에는 부의 벽전하가 쌓이고 data전극에는 앞에서 일어났던 방전에 상관없이 정의 벽전하가 그대로 쌓이게 된다. 두 번째, 어드레스 구간에서는 ground 전위 이하까지 falling slope을 수행하고 난 뒤 ground 전위 이하에서 스캔을 시작한다(셀 선택). 약 70V의 스캔 전압( $V_y$ )과 약 57V의 데이터 전압( $V_a$ )으로 선택적 기입 방식에 의해 셀을 선택하게 된다. 그리고 Y전극에는 정의 벽전하가 쌓이고 X전극과 data전극에는 부의 벽전하가 쌓이게 된다. 이때 ground 전위 이하에서 스캔을 하는 이유는 두 번째 서브필드에서부터 마지막 서브필드까지는 리셋구간에 선택적 소거(selective erasing)를 수행하기 때문에 어드레스구간에서 안정적으로 셀을 선택하기 위한 목적이다. 세 번째, 유지구간에서는 어드레스구간에서 선택된 셀에 대해 유지방전을 실행해야 하는데 제일 처음 Y전극에 약 5.6 $\mu$ s의 긴 펄스(약 180V)를 인가하여 안정적으로 유지방전을 수행한 뒤 그 다음부터는 X전극과 Y전극에 교번으로 약 2 $\mu$ s의 펄스 전압을 인가하여 유지방전을 수행한다. 그리고 Y전극의 마지막 유지방전에서는 짧은 펄스(약 1 $\mu$ s)를 인가하여 세폭 소거를 실행한다. 이것은 펄스폭이 짧기 때문에 방전이 일어난 뒤 벽전하가 다시 형성될 시간이 부족하여 유전체층에 쌓이는 벽전하를 최대한 억제한다. 이렇게 해서 첫 번째 서브필드에서 유지방전을 실행한 셀에 대해서만 두 번째 서브필드에서부터 마지막 서브필드까지 리셋구간에서 안정적으로 리셋을 실행할 수 있다.

<표 1>에는 본 논문에서 동특성 전압 마진을 측정하기 위해서 사용한 42인치 전면 패널의 사양을 나타내었으며, <표 2>에는 배면 패널의 사양을 나타내었다.

패널은 3전극 면방전 형태의 스트라이프 구조이며, 셀은 R, G, B의 Pitch가 각각 다른 비대칭 셀을 이용하였다.

<그림 4>는 종래의 세폭 소거 구간에서의 스위치 타이밍과 X전극하고 Y전극에 인가될 출력 파형이다. 여기서 세폭 소거 구간과 세폭 소거 구간 이후의 Y\_Reset 구간을 보면, 세폭 소거 구간에서 IR\_1이라는 광이 1번 출력된다. 이것은 세폭 소거 이후 전극에 벽전하가 쌓이지 않게 하기 위해 약 20 $\mu$ s 정도의 유지구간을 두어 X전극( $X_{Shelf}$ , 150V)과 Y전극( $Y_{Reset}$ , 150V)의 전압 레벨을 같게 하여 벽전하를 소거하는 것이다. 세폭 소거 구간에서의 스위치 타이밍도를 살펴보면,  $Y_{susH}$ 가 500ns의  $t_1$  동안 on이 되면 Y전극( $Y_{out}$ )의 세폭 소거 펄스가 유지 전압(180V)까지 상승하게 되고 방전을 하게 된다. 그러면 IR\_1이라는 광출력이 나오게 되고,  $Y_{susH}$ 가 off되는 시점에서 Y\_Reset 펄스를 20 $\mu$ s 동안 on을 시키게 되면 세폭 소거 이후에는 Y전극( $Y_{out}$ )의 Y\_Reset 펄스가 20 $\mu$ s 동안 on이 된다. 그리고  $Y_{susH}$ 가 on이 된 뒤에 200ns 후에  $X_{Shelf}$ 는 20 $\mu$ s 동안 on이 된다. 그러면 세폭 소거 구간은 1 $\mu$ s의 펄스폭을 가지고 세폭 소거를 수행하게 되며 IR\_1이라는 광이 1번 출력되고, X전극과 Y전극에 쌓여 있는 벽전하를 소거하게 된다.

<그림 5>는 본 논문에서 제안한 세폭 소거 구간의 스위치 타이밍과 X전극과 Y전극에 인가될 출력 파형이다. 여기서 세폭 소거 구간과 세폭 소거 구간 이후의 Y\_Reset 구간을 보면, 세폭 소거 구간에서 IR\_1이라는 광이 1번 출력되고, 세폭 소거 구간 이후의 Y\_Reset 구간에서는 IR\_1보다는 약한 광인 IR\_2라는 광이 한번 더 출력된다. 이것은 세폭 소거 이후 Y\_Reset 구간에서 X전극( $X_{Shelf}$ , 150V)과 Y전극( $Y_{Reset}$ , 100V)의 전압 레벨을 다르게 하고 스위치의 펄스 타이밍을 조절하여 약한 광이 출력되게 한 뒤 벽전하를 소거하였다. 이로 인해 종래에 사용한 방식보다 더 큰 동특성 전압 마진을 확보할 수가 있었다. 세폭 소거 구간에서의 스위치 타이밍도를 살펴보면,  $Y_{susH}$ 가 500ns의  $t_1$  동안 on이 되면 Y전극( $Y_{out}$ )의 세폭 소거 펄스가 유지 전압(180V)까지 상승하게 되고 방전을 하게 된다. 그러면 IR\_1이라는 광출력이 나오게 되고,  $Y_{susH}$ 가 off되고 난 뒤에 Y\_Reset 펄스를 300ns의  $t_2$  후에 20 $\mu$ s 동안 on을 시키게 되면 세폭 소거 이후에는 Y전극( $Y_{out}$ )의 Y\_Reset 펄스가 20 $\mu$ s 동안 on이 된다. 그러

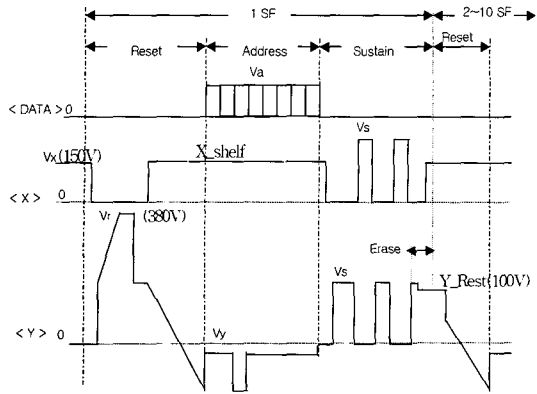


그림 3. 구동 파형 모형도  
Fig. 3. Schematic diagram of driving waveform.

표 1. 전면 패널 사양

Table 1. Specification of front panel.

Front Panel	
ITO width	320 $\mu\text{m}$
ITO height	1250 $\text{\AA}$
ITO gap	90 $\mu\text{m}$
BUS width	90 $\mu\text{m}$
BUS height	8 $\mu\text{m}$
Black stripe width	220 $\mu\text{m}$
Black stripe height	7 $\mu\text{m}$
Dielectric thickness	40 $\mu\text{m}$
MgO thickness	8000 $\text{\AA}$
Working gas	He+Ne(29%)+Xe(4%)

표 2. 배면 패널 사양

Table 2. Specification of rear panel.

Rear Panel	
Address width (R)	140 $\mu\text{m}$
Address width (G)	160 $\mu\text{m}$
Address width (B)	210 $\mu\text{m}$
Address height	7 $\mu\text{m}$
Dielectric thickness	20 $\mu\text{m}$
Barrier rib width	85 $\mu\text{m}$
Barrier rib height	130 $\mu\text{m}$
Barrier rib pitch(R)	220 $\mu\text{m}$
Barrier rib pitch(G)	250 $\mu\text{m}$
Barrier rib pitch(B)	360 $\mu\text{m}$
Phosphor thickness	12 $\mu\text{m}$

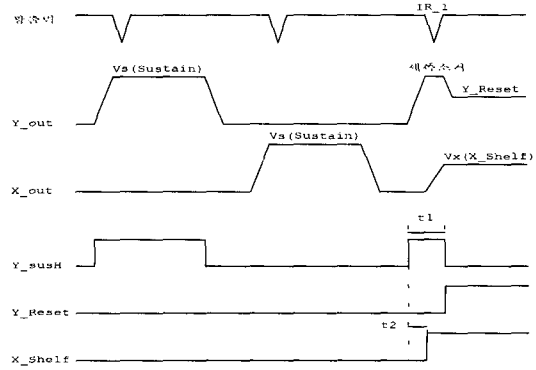


그림 4. 종래의 세폭소거 구간 스위치 타이밍  
Fig. 4. Switch timing for narrow erase period of the conventional method.

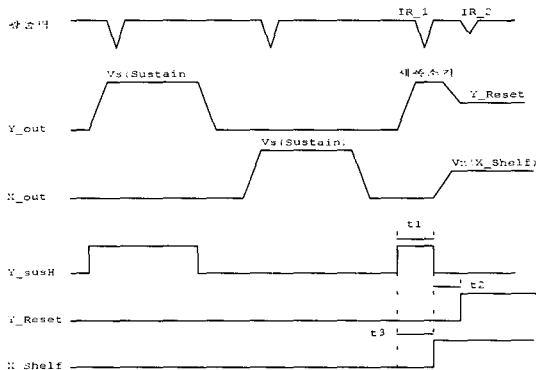


그림 5. 제안된 세폭소거 구간의 스위치 타이밍  
Fig. 5. Switch timing for narrow erase period of the proposed method.

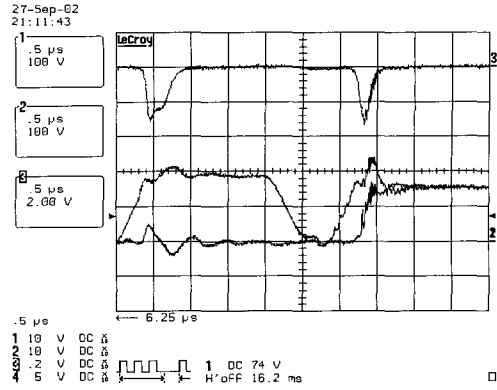
고 Y\_susH가 off가 된 뒤에 X\_Shelf를 20 $\mu\text{s}$  동안 on을 시키게 된다. 그러면 세폭 소거 구간은 1 $\mu\text{s}$ 의 펄스폭을 가지고 세폭 소거를 수행하게 되며 IR\_1이라는 광이 1번 출력되고, 세폭 소거 구간 이후의 Y\_Reset 구간에서 IR\_2라는 약한 광이 한번 더 출력되게 된다. 그리고 종래의 세폭 소거 방식과 본 논문에서 제안한 세폭 소거 방식을 적용하여 동특성 전압 마진을 측정하고 이를 비교 분석하였다.

### III. 실험 및 결과

#### 1. 종래의 세폭소거 동특성 전압 마진 측정

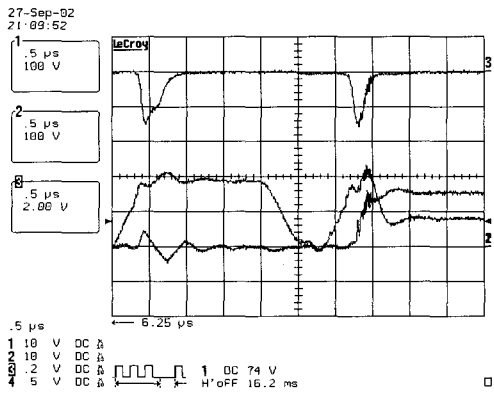
<그림 6>에서, (a)는 세폭소거 이후의 Y 전극 레벨(Y\_Reset)을 80V, <그림 6(b)>는 100V, <그림 6(c)>는 120V, <그림 6(d)>는 150V로 높은 상태에서 X 전

극 레벨(X\_Shelf)을 150V로 놓고 광 출력을 측정한 파형으로서, 세폭소거 구간에서만 광이 한번 출력되고, 세폭소거 이후에는 광이 출력되지 않는 것을 보여주고 있다. 여기서 Y 전극 레벨을 80V, 100V, 120V, 150V로 가변 하면서 red, green, blue의 패턴을 입력하여 동특성 전압 마진을 측정하였다. <표 3>과 <그림 7>은 red, green, blue에 대하여 각각의 전압을 측정한 뒤 평균값을 구하고, 서스테인 전압(Vs)을 170V, 175V,



(d) Y\_Reset 전압 150[V]

그림 6. 종래의 세폭소거 파형 및 광 출력  
Fig. 6. Narrow erase waveform and light emission of the conventional method.

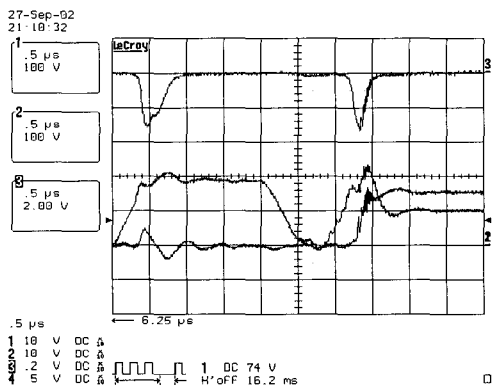


(a) Y\_Reset 전압 80[V]

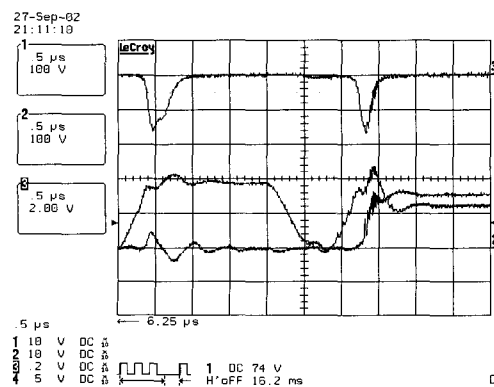
표 3. 종래의 세폭소거 동특성 전압 마진 측정 데이터

Table 3. Measurement data for narrow erase dynamic voltage margin of the conventional method.

Y_Rest 전압[V]		Vs[V]				
		170	175	180	185	190
80	소거	54	53	51.7	51.7	51.7
	과방전	80	80	80	80	80
100	소거	52.7	52.3	51	51	51
	과방전	80	80	80	80	80
120	소거	51.7	51.7	50.3	50.3	50.7
	과방전	80	80	80	80	80
150	소거	51	50.3	48.7	49	49.3
	과방전	80	80	80	80	80



(b) Y\_Reset 전압 100[V]



(c) Y\_Reset 전압 120[V]

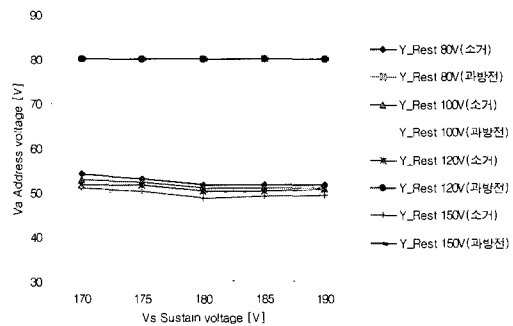


그림 7. 종래의 세폭소거 동특성 전압 마진 측정  
Fig. 7. Measurement for narrow erase dynamic voltage margin of the conventional method.

180V, 185V, 190V로 가변을 하면서, 각 전압에 대하여 어드레스 전압( $V_a$ )을 가변하면서 측정하였다. 여기서 소거 전압은 셀이 꺼져 있는 상태에서 어드레스 전압을 가변하여 모든 셀이 켜져 있을 때 측정된 전압이며, 과방전 전압은 어드레스 전압을 최대 80V까지만 올려서 셀이 과방전을 하는지, 또는 인접 셀에 영향을 미치는지를 측정한 전압이다. 그리고 어드레스 전압을 최대 80V까지만 올린 것은 IC의 최대 허용전압이 100V이며, IC가 파손되지 않는 범위 내에서 실험을 하기 위함이며, 실제적으로 어드레스 전압을 80V이상 가하지는 않는다.

$Y_{Reset}$  전압이 80V일 때 동특성 전압 마진이 가장 적고, 150V일 때 전압 마진이 가장 큰 것을 볼 수 있으며, 또한 서스테인 전압이 180V, 185V, 190V일 때가 전압 마진이 가장 큰 것을 볼 수가 있다. 그리고  $Y_{Reset}$  전압이 150V에서 동특성 전압 마진이 가장 크게 나타났는데, 이때의 조건을 보면 서스테인 전압이 170V일 때 어드레스 전압 마진이 29V이며, 175V일 때 29.7V, 180V일 때 31.3V, 185V일 때 31V, 190V일 때 30.7V로 나타났다. 종래의 세폭소거 동특성 전압 마진의 측정 결과를 볼 때  $Y_{Reset}$  전압이 150V, 서스테인 전압이 180V일 때가 어드레스 전압 마진이 31.3V로써 가장 크게 나타났다.

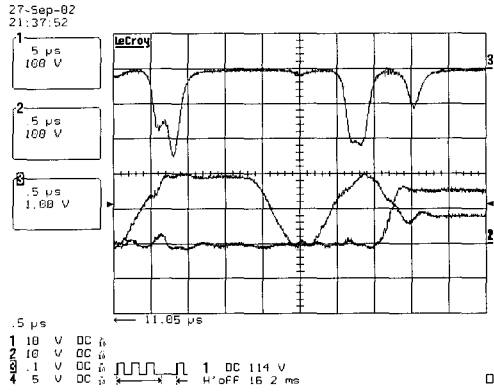
## 2. 본 논문에서 제안한 세폭소거 동특성 전압 마진 측정

전압 마진 측정 방법은 종래의 동특성 전압 마진 측정과 같이 동일하다.  $Y$  전극 레벨을 80V, 100V, 120V, 150V로 가변 하면서 red, green, blue의 패턴을 입력하여 동특성 전압 마진을 측정하였다. 종래의 세폭소거와 비교하였을 시, 본 논문에서 제안한 방법은 <그림 8>의 (a)와 같이 세폭소거 구간 이후에 즉,  $Y_{Reset}$  구간에서 약한 방전을 한번 더 일으키게 하여 벽전하를 소거하는 방법이다. <그림 8(d)>를 보면, <그림 8(a)>에 비해 광출력이 거의 없는 것을 볼 수가 있는데, 이것은  $Y_{Reset}$  전압이  $X$ 전극의  $X_{Shelf}$  전압에 가까이 갈수록 광이 작아진다는 것을 의미한다. <표 4>와 <그림 9>는 red, green, blue에 대하여 각각의 전압을 측정한 뒤 평균값을 구하고 서스테인 전압( $V_s$ )을 170V, 175V, 180V, 185V, 190V로 가변을 하면서, 각 전압에 대하여 어드레스 전압( $V_a$ )을 가변 하면서 측정하였다.  $Y_{Reset}$  전압이 150V일 때 동특성 전압 마진이 가장 적고, 100V일 때 전압 마진이 가장 큰 것을 볼 수 있으며,

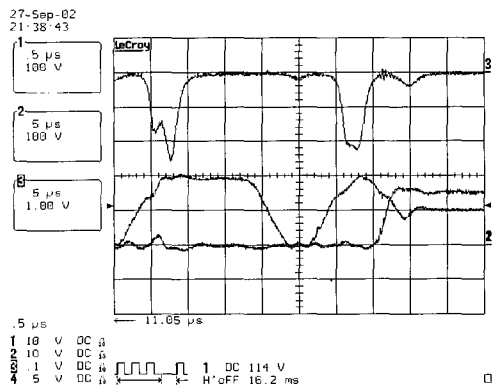
또한 서스테인 전압이 180V, 185V, 190V일 때가 전압 마진이 가장 큰 것을 볼 수가 있다. 그리고  $Y_{Reset}$  전압이 100V에서 동특성 전압 마진이 가장 크게 나타났는데, 이때의 조건을 보면 서스테인 전압이 170V일 때 어드레스 전압 마진이 36V이며, 175V일 때 36.7V, 180V일 때 38.3V, 185V일 때 38.3V, 190V일 때 38V로 나타났다.

여기서  $Y_{Reset}$  전압이 100V일 때 동특성 전압 마진이 가장 큰 이유는 세폭 소거 구간에 1 $\mu$ s의 짧은 펄스를 가하면 방전이 일어나고, 그 이후에 벽전하가 전극의 유전체층 위에 쌓이지 않게 하기 위해 인가 전압을  $X$ 전극( $X_{Shelf}$ , 150V)과  $Y$ 전극( $Y_{Reset}$ , 100V)에 다른 레벨( $X$ 전극과  $Y$ 전극간의 전압 레벨은 50V의 차이가 있음)의 전압을 인가 하기 때문이다. 즉, 세폭 소거 구간에 어느 정도 쌓여 있던 벽전하를  $Y_{Reset}$  구간에서 약한 방전을 한번 더 일으키게 하여 벽전하를 소거했기 때문이다. 이것은 다음 서브필드의 리셋 실행을 안정적으로 만들어 주고, 데이터 기입에 있어서 데이터 기입전의 상태를 각 서브필드마다 같은 조건으로 만들어 줄 수 있다는 것이다. 그리고  $Y_{Reset}$  전압이 150V일 때 동특성 전압 마진이 가장 적었는데, 이것은 벽전하의 소거가 확실히 되지 않고, 어느 일정량의 벽전하가 쌓여 있다는 것이다. 즉, 세폭 소거 구간에서 방전을 일으키고 난 뒤  $Y_{Reset}$  구간에서  $X$ 전극의 전압과  $Y$ 전극의 전압 레벨이 같기 때문에 방전의 강도가  $Y_{Reset}$  전압이 100V일 때 보다 작기 때문에 나타난 현상이다. 이렇게 되면 다음 서브필드의 리셋 실행이 안정적으로 되지 않고, 데이터 기입에 있어서 데이터 기입전의 상태를 각 서브필드마다 같은 조건으로 만들어 줄 수 없게 된다. 이렇게 되면 데이터 기입에 있어서 오류가 발생되고 셀들 간의 편차를 없게 하기 위해 어드레스 전압을 높여 주어야 한다. 이로 인해 동특성 전압 마진이  $Y_{Reset}$  전압이 100V일 때 보다 적게 나오는 것이다. 여기서 한 가지 특이한 상황은  $Y_{Reset}$  전압이 100V일 때 보다 80V일 때가 방전의 강도가 강한다(그림 (a)와 그림 (b) 참조) 전압 마진 측면에서는  $Y_{Reset}$  전압이 100V일 때가 더 크다. 이것으로 보았을 때 세폭 소거 이후의  $Y_{Reset}$  구간에서 방전의 강도가 강하다고 해서 전압 마진이 크다고는 볼 수 없으며, 또한 벽전하가 쌓이지 않다고 볼 수도 없는 문제다. 따라서 벽전하의 양을 직접적인 수치로 측정하는 것은 어렵기 때문에 이것은 많은 실험을 통해 최적화되는

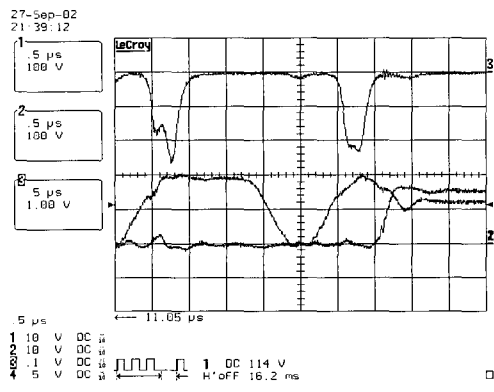
전압 값을 찾아 주어야 한다. 하지만 종래의 세폭 소거 방식에서의 전압 마진과 비교하였을 때는 모든 조건에서 종래의 세폭 소거 방식 보다는 전압 마진이 더 큰 것을 알 수가 있는데, 이는 결국 세폭 소거 이후의 Y\_Reset 구간에서 약한 방전을 한번 더 일으키게 하면 종래의 세폭 소거 방식 보다는 전극간의 벽전하가 더 적게 쌓이고, 또한 전압 마진도 더 크다는 것이 실험을



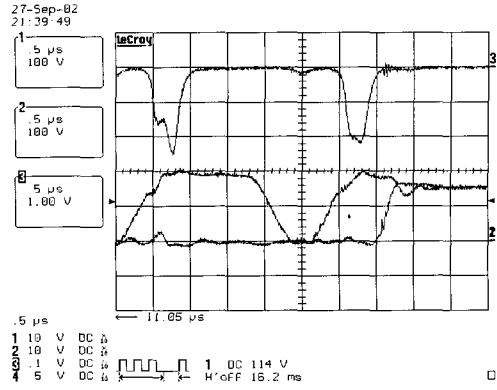
(a) Y\_Reset 전압 80[V]



(b) Y\_Reset 전압 100[V]



(c) Y\_Reset 전압 120[V]



(d) Y\_Reset 전압 150[V]

그림 8. 제안된 세폭소거 파형 및 광 출력  
 Fig. 8. Narrow erase waveform and light emission for the proposed method.

표 4. 제안된 세폭소거 동특성 전압 마진 측정 데이터

Table 4. Measurement data for narrow erase dynamic voltage margin for the proposed method.

Y_Reset 전압[V]		Vs[V]				
		170	175	180	185	190
80	소거	47.3	46.3	45.7	45.3	45.7
	과방전	80	80	80	80	80
100	소거	44	43.3	41.7	41.7	42
	과방전	80	80	80	80	80
120	소거	46	46	44.7	44.7	44.7
	과방전	80	80	80	80	80
150	소거	48.3	47.7	47	46.3	46.7
	과방전	80	80	80	80	80

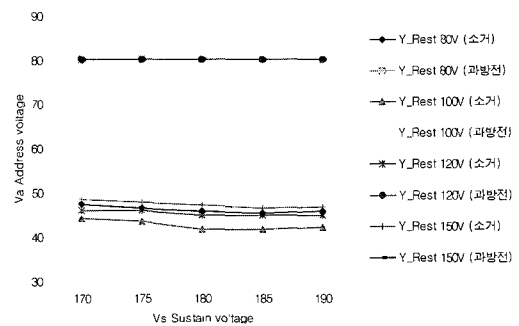


그림 9. 제안된 세폭소거 동특성 전압 마진 측정  
 Fig. 9. Measurement for narrow erase dynamic voltage margin for the proposed method.

통해 확인할 수가 있었다. 다시 정리하면 세폭 소거 이후에 Y\_Reset 전압이 150V>80V>120V>100V의 순으로 벽전하가 많이 쌓인다고 볼 수 있으며, 전압 마진은 150V<80V<120V<100V의 순으로 큰 것을 알 수 있다. 매 서브필드 마다 항상 같은 조건을 만들어 주기 위해서는 세폭 소거 이후에 벽전하가 쌓이지 않게 하고 벽전압이 0V가 되게 하는 것이 동특성 전압 마진을 가장 크게 확보할 수 있다. 하지만 벽전하의 수치를 정확하게 측정할 수만 있으면 더 좋은 결과를 얻을 수 있을 것으로 보이며, 실험의 방향도 쉽게 찾아 갈 수 있을 것으로 생각되나 지금 현재 상황은 그렇지 못하기 때문에 많은 시간을 투자하여 많은 실험을 하고, 이를 토대로 하여 최적화된 점을 찾아야하는 한계가 있다.

본 논문에서 제안한 세폭소거 동특성 전압 마진의 측정 결과를 볼 때 Y\_Rest 전압이 100V, 서스테인 전압이 180V, 185V일 때, 어드레스 전압 마진이 38.3V로써 가장 크게 나타났다. 본 논문에서 제안한 방법으로 인하여 종래의 방법 보다 약 7V(22%)정도의 전압마진을 더 확보할 수가 있었다.

#### IV. 결 론

본 논문에서는 세폭소거 방식에 관한 연구를 하였으며, 세폭소거 파형을 만들어주는 스위치를 구동시키기 위한 펄스의 타이밍을 조절하여 동특성 전압 마진을 확보하였다. 종래에는 세폭소거 이후 전극에 벽전하가 쌓이지 않게 하기 위해 약 20 $\mu$ S 정도의 유지구간을 두어 X전극과 Y전극의 전압 레벨을 같게 하여 벽전하를 소거한 반면, 본 논문에서는 세폭소거 이후의 X전극과 Y전극의 전압 레벨을 다르게 하고 유지구간에서 스위치의 펄스 타이밍을 조절하여 약한 방전을 일으키게 한 뒤 벽전하를 소거하였다. 이로 인해 종래에 사용한 방식보다 더 큰 동특성 전압 마진을 확보할 수가 있었으며, 종래의 세폭소거와 본 논문에서 제안한 세폭소거에 대한 동특성 전압 마진을 측정하여 비교 검토하였다.

종래의 방식은 Y\_Reset 전압이 80V일 때 동특성 전압 마진이 가장 적고, 150V일 때 전압 마진이 가장 크게 나타났다. 그리고 Y\_Reset 전압이 150V, 서스테인

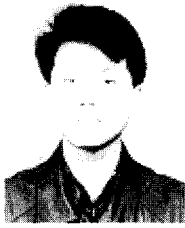
전압이 180V일 때 어드레스 전압 마진이 31.3V로 가장 크게 나타났다. 본 논문에서 제안한 방식은 Y\_Reset 전압이 150V일 때 동특성 전압 마진이 가장 적고, 100V일 때 전압 마진이 가장 크게 나타났다. 그리고 Y\_Reset 전압이 100V, 서스테인 전압이 180V, 185V일 때, 어드레스 전압 마진이 38.3V로 가장 크게 나타났다. 본 논문에서 제안한 방식으로 인하여 종래의 방식 보다 약 7V(22%)정도의 전압마진을 더 확보할 수가 있었다.

#### 참 고 문 헌

- [1] 황기웅외 7명, "디스플레이공학II", 청범출판사, pp.7-15, 2000.9
- [2] Y. Takano, et al., "Late-News paper : A 40-in. DC-PDP with New Pulse-Memory Drive Scheme", SID'94 Digest, pp.731-734, 1994.
- [3] T. Shinoda, et al., "Surface-Discharge PDP with 3 electrodes", SID'84 Digest, 1984.
- [4] Lawrence E. Tannas, Jr, "Flat-Panel Displays and CRTs", New York : Van Nostrand Reinhold Company, 1985.
- [5] Yoshikaza Kanazawa, "Method and for driving display panel", United States Patent 5420602, 1995.3.30.
- [6] Yoshikaza Kanazawa, "Method and apparatus for driving surface discharge plasma display panel", United States Patent 5446344, 1995.8.29.



저 자 소 개



安 楊 基(正會員)

1997년 : 금오공과대학교 전자공학과 졸업(공학사). 2000년 : 금오공과대학교 전자공학과 졸업(공학석사). 2003년 : 금오공과대학교 전자공학과 졸업(공학박사). 2001년~현재 : (주)UPD 선임연구원. <주관

심분야 : PDP구동회형 및 회로설계, PDP 방전메카니즘>



尹 東 漢(正會員)

1968년 : 광운대학교 전자공학과 졸업(공학사). 1980년 : 명지대학교 전자공학과 졸업(공학석사). 1987년 : 명지대학교 전자공학과 졸업(공학박사). 1979년~현재 : 금오공과대학교 전자공학과 교수. <주관

심분야 : 전자회로설계, 영상처리, PDP구동회형 및 회로설계>