

## Design and Simulation of an RSFQ 1-bit ALU

Jin Young Kim\*, Seung Hun Baek, Joon Hee Kang

*Department of Physics, University of Incheon*

Received 15 August 2003

### RSFQ 1-bit ALU의 디자인과 시뮬레이션

김진영\*, 백승헌, 강준희

#### Abstract

We have designed and simulated an 1-bit ALU (Arithmetic Logic Unit) by using a half adder. An ALU is the part of a computer processor that carries out arithmetic and logic operations on the operands in computer instruction words. The designed ALU had limited operation functions of OR, AND, XOR, and ADD. It had a pipeline structure. We constructed an 1-bit ALU by using only one half adder and three control switches. We designed the control switches in two ways, dc switch and NDRO (Non Destructive Read Out) switch. We used dc switches because they were simple to use. NDRO pulse switches were used because they can be easily controlled by control signals of SET and RESET and show fast response time. The simulation results showed that designed circuits operate correctly and the circuit minimum margins were +/-27%. In this work, we used simulation tools of XIC and WRSPICE. The circuit layouts were also performed. The circuits are being fabricated.

*Keywords* : single flux quantum, ALU, superconductivity, NDRO, half adder.

#### I. Introduction

초전도 전자소자는 반도체를 대신할 소자로 많은 주목을 받고 있다. 초전도 소자는 매우 적은 전력소비(1/1000이하), 빠른 동작속도(100배 이상)로 인해 반도체를 대체할 가능성이 가장 높은 소자로 평가되고 있다. 본 연구에서는 컴퓨터에서 연산의 중요한 부분을 담당하는 1-bit ALU(Arithmetic Logic Unit)를 구성하였다. ALU는 중앙처리장치의 일부로서 컴퓨터 명령

어 내에 있는 연산자에 의해 산술연산과 논리 연산을 담당한다. ALU의 설계는 프로세서의 개발에 매우 중요한 부분으로서, 초전도 소자의 장점을 이용한다면 현재의 반도체 프로세서에 비해 10배 이상의 빠른 동작속도를 갖는 프로세서를 제작할 수 있다. 이것은 초전도 소자만의 큰 장점이라고 할 수 있다.

본 연구에서는 한 개의 Half Adder와 세 개의 단자속양자 스위치를 사용하여 1-bit ALU를 설계하였다. 스위치들은 연산 하고자 하는 function을 선택하고자 할 때 사용된다. 스위치를 DC스위치와 NDRO스위치 두 종류를 사용하였는데 그 이유는 DC스위치의 경우 제작이 매우 간단하다는 장점이 있다. 그러나 NDRO

\*Corresponding author. Fax : +82 032 766 8018

e-mail : lachesiz@incheon.ac.kr

University of Incheon.

스위치는 빠른 응답속도를 가지므로 high frequency에서 SET과 RESET 두 개의 control signal을 통해 빠른 응답속도로 동작하는 장점을 가지고 있다. 따라서 두 종류의 스위치를 각각 사용하여 연구를 진행하였다. RSFQ 1-bit ALU의 설계는 회로에 대한 시뮬레이션, Margin 계산, layout, chip 설계 순으로 수행하였다. 설계 software로는 CAD 프로그램인 XIC와 시뮬레이션 프로그램인 WRSPICE를 사용하였으며 인덱스 추출 프로그램인 LMETER를 사용하였다. 그리고 Margin 계산에는 전용프로그램인 Julia를 사용하였다.

## II. Circuit Designs

Fig. 1은 일반적으로 구성되는 1-bit RSFQ ALU의 Schematic block diagram을 보여주고 있다. 일반적인 ALU에서는 OR gate, AND gate, DFFC, Half Adder, D flip- flip등이 사용된다. 이렇게 구성된 ALU는 bit 수를 증가시키는데 있어 회로의 복잡도가 상당히 증가하는 문제가 있다. 본 연구에서는 이러한 단점을 보완하기 위하여 한 개의 Half Adder와 세 개의 DC 스위치 또는 NDRO 스위치로 RSFQ ALU를 구성하여 ALU의 구조를 단순화 하였다.

본 연구에서 디자인된 RSFQ ALU는 AND, OR, XOR, ADD의 기능을 할 수 있도록 하였다. 스위치를 통해서 어떤 연산을 수행할지 미리 결정하는 작업을 통해 ALU는 원하는 연산을 수행한다. Fig. 2는 ALU가 스위치의 선택을 통

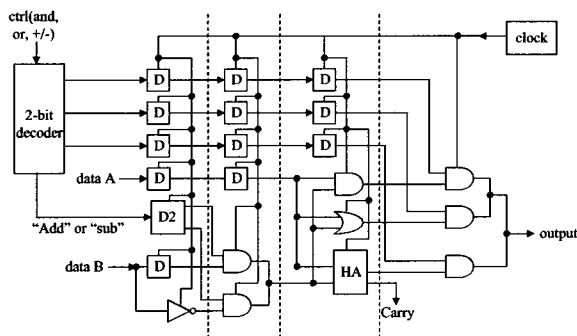


Fig. 1. Schematic block diagram of a conventional RSFQ ALU. Clock pulses travel in reverse direction to the data flow.

해 어떤 연산을 하게 되는가를 보여주고 있다. 스위치 a와 b를 ON시키면 OR의 기능을 하게 되고 b만 ON 하면 AND의 기능을 수행한다. 즉 스위치 선택에 따라서 1-bit ALU의 동작원리를 나타내고 있으며 Table 1에 나타내었다.

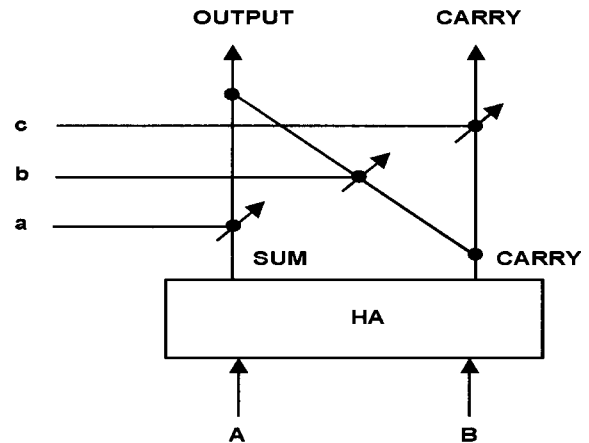


Fig. 2. Schematic block diagram of an 1-bit RSFQ ALU that uses only one half adder and three switches. Four logic functions of OR, AND, ADD, and XOR can be performed by controlling the three switches of a, b, and c.

Table 1. Switch selections for each logic function

	OR	AND	ADD	XOR
a	1	0	1	1
b	1	1	0	0
c	0	0	1	0

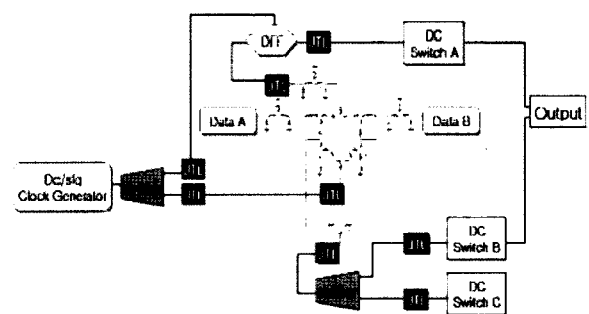


Fig 3. Block diagram of an RSFQ ALU, In this simulation, we used three NDRO switches and a Half Adder

Fig. 3은 본 연구에서 디자인된 ALU의 Block diagram을 보여주고 있다. 구성 요소를 살펴보면 한 개의 Half Adder, 3개의 NDRO스위치 그리고 JTL과 splitter가 사용되었다. JTL의 개수를 조절하여 타이밍을 맞춰주었다.

Fig. 4는 DC스위치의 회로도를 보여주고 있다. DC스위치는 JTL과 DC스위치 부분으로 이루어져 있다.

DC스위치의 작동원리를 살펴보면 스위치의 DC bias가 ON 되어 있을 때에는 data를 통과시

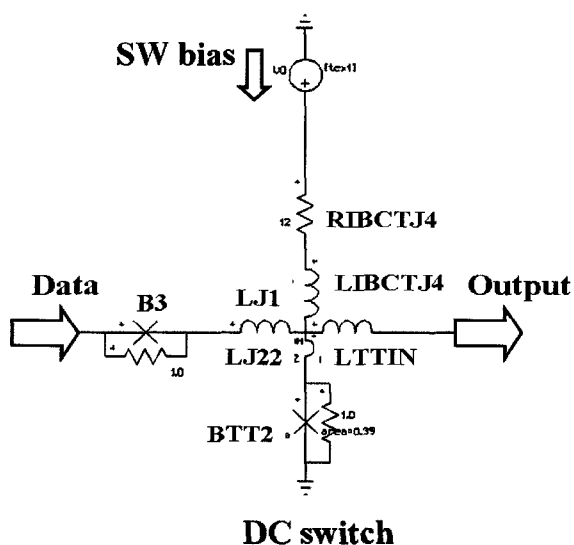


Fig. 4. Circuit diagram of the DC switch

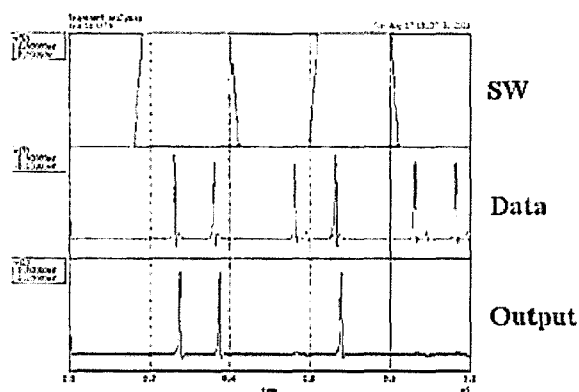


Fig 5. WRSPICE simulation results of the DC switch. The data pass the switch when the bias to the switch is on and are blocked when the bias is off.

키고 OFF되어 있을 경우에는 data를 통과시키지 않도록 설계되어있다. Fig. 5는 DC스위치의 시뮬레이션 결과를 보여주고 있다. 그림을 보면 DC bias의 상태에 따라 Output 결과에서 나타난 것처럼 스위치의 역할을 하고 있음을 알 수 있다. DC스위치의 bias margin은 +/-42.8%이었다. 각 구성요소들의 margin은 Table 2에 나타내었다.

Fig. 6은 DC스위치의 layout결과를 보여주고 있다. DC 스위치의 크기는 100 μm × 75 μm이며 input, SW bias, output 3개의 터미널로 이루어져 있다.

Table 2. Circuit margins of the DC switch obtained from the circuit simulations  
(Unit. Junction-mA, Inductor-pH, SW bias-mV)

Device Name	Center Value	(-) Value	(+)Value	(+/-) margin %
B3	0.17	0.03	0.30	82
BTT22	0.37	0.23	0.51	38
LJ22	0.62	0	1.24	100
LJ1	0.93	0	1.85	100
LTTIN	2.80	2.10	>20	>100
LIBCTJ4	2.00	0	>20	>100
RIBCTJ4	10.50	6	15	43
SW bias	3.5	2	5	43

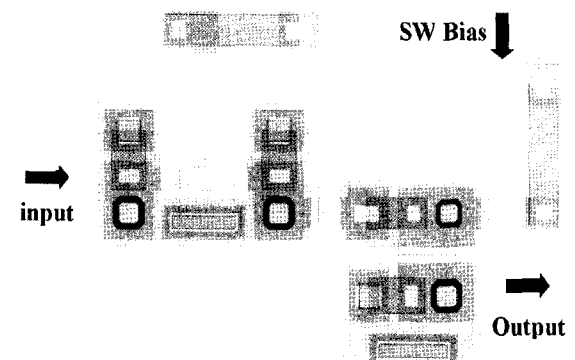


Fig. 6. Layout result of DC switch

Fig. 7은 ALU에 사용된 또 다른 스위치인 NDRO 스위치 회로도를 보여주고 있다. NDRO 스위치를 사용할 때 장점은 DC스위치보다 빠른 response time을 가지고 있어서 high speed 에서 더욱 효과적인 control이 가능하다는 것이다.

Fig. 8은 NDRO스위치의 WRSPICE 시뮬레이션 결과를 보여주고 있다.

NDRO스위치를 control 할 때 가장 중요한 점은 바로 타이밍이다. Fig. 8(b)를 보면 SET과 RESET사이에 적절한 타이밍에 data가 위치해야만 NDRO스위치가 정상적으로 작동함을 알 수 있다. 따라서 NDRO스위치를 사용할 경우에는 SET, RESET 그리고 data의 타이밍을 정확히 맞춰 주어야만 한다. 본 연구에서는 clock pulse generator에서 clock 뿐만 아니라 clock의 complementary 신호가 함께 발생되도록 하여 이 신호를 NDRO 스위치의 RESET신호로 사용하였다. 이러한 방법의 장점은 NDRO 스위치

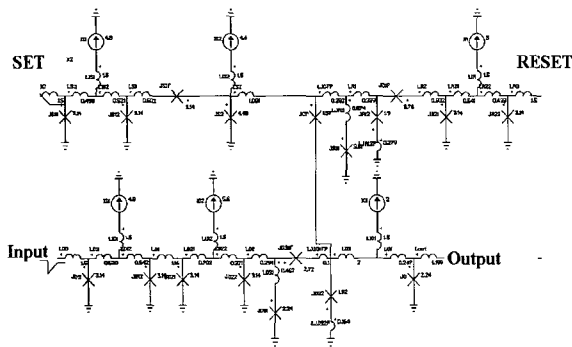


Fig 7. Circuit diagram of the NDRO switch

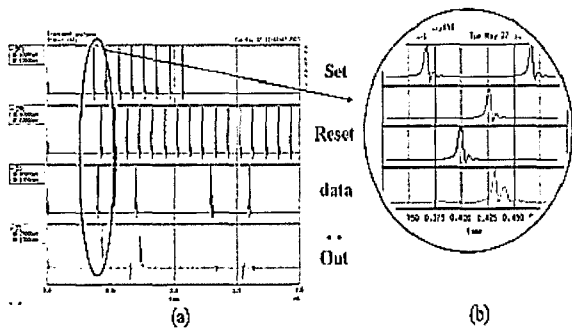


Fig. 8. (a)WRSPICE simulation result of NDRO switch (b) magnification the result

의 RESET을 위해 또 다른 하나의DC/SFQ pulse generator를 만들지 않아도 되기 때문에 시스템을 간단하게 할 수 있다. 그리고 타이밍을 조절하기에도 편리한 이점이 있다. 뿐만 아니라 시뮬레이션을 통하여 JTL의 개수를 조절하여 타이밍을 맞춰주었다. NDRO스위치의 margin은 +/-24%였다. Fig. 9는 NDRO스위치의 layout 결과를 보여주고 있다. NDRO스위치의 크기는  $160 \mu\text{m} \times 180 \mu\text{m}$ 이며 SET, RESET, input, output 4개의 터미널로 구성되어있다.

Fig. 10은 본 연구에서 디자인된 1-bit ALU의 시뮬레이션 결과를 보여주고 있다. 시뮬레이션에서 0 ns ~ 1 ns 까지는 스위치의 ON/OFF를 조절하여 OR와 ADD가 수행되도록 하였다.

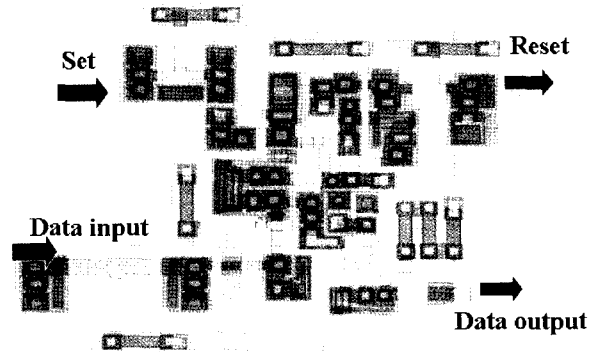


Fig. 9. NDRO switch layout

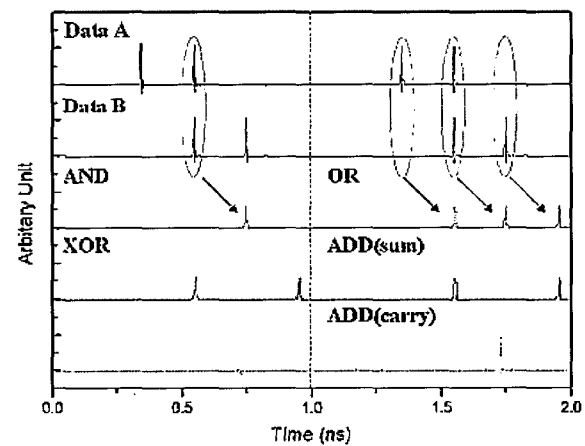


Fig. 10. SPICE simulation results of the RSFQ ALU. In this simulation, we used NDRO gates as RSFQ switches to select logic functions.

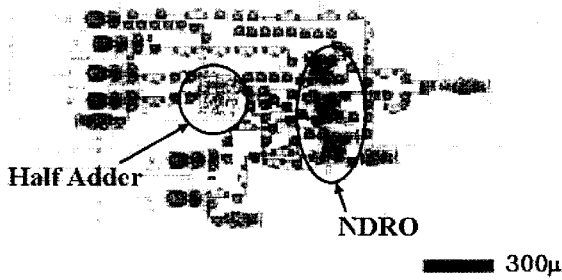


Fig. 11. 1-bit ALU Layout constructed with a Half Adder and three NDRO switches.

1 ns ~ 2 ns 사이에서는 AND와 XOR가 수행 되도록 사전에 조절을 하였다. Fig. 10의 결과를 통해 ALU가 정상적으로 동작함을 알 수 있다.

Fig. 11은 본 연구를 통해 디자인된 1bit ALU의 layout 결과이다.

디자인된 test chip의 크기는 5 mm × 5 mm이며 40개의 contact pad를 가지고 있다.

1-bit ALU의 크기는 2 mm × 1 mm이다. DC/SFQ Data input 터미널과 SFQ/DC output, 모니터링 터미널 등으로 구성되어 있다.

### III. Conclusion

본 연구를 통해 RSFQ 1-bit ALU를 디자인하였다. 시뮬레이션을 통해 설계된 ALU는 스위치에서 function을 선택함에 따라 AND, OR, XOR, ADD의 논리연산과 산술연산을 수행함을 확인하였다. 또한 chip layout을 수행하였다. 제작된 회로의 margin은 +/-27%를 유지함으로 향후 소자 제작이 용이하도록 하였다.

### Acknowledgments

본 연구는 21세기 프런티어 연구개발사업인 차세대 초전도응용기술개발 사업단의 연구비 지원과 한국과학재단 지정 멀티미디어 연구센터의 연구비 지원에 의해 수행되었습니다.

### References

- [1] K. K. Likarev and V. K. Semenov, "RSFQ Logic/Memory Family: A new Josephson-Junction Technology for sub-Terahertz Clock-Frequency Digital Systems", *IEEE Trans. Appl. Supercond.*, 13-28, (1991).
- [2] K. R. Jung, J. H. Park, H. R. Lim, Y. R. Jang, J. H. Kang, T. S. Han, "Design and Measurement of an SFQ gate composed of a D Flip-Flop and a Confluence Buffer", *Progress in Superconductivity Vol. 4 No.2* 127-131, (2003).
- [3] Theodore Van Duzer and Charles W. Turner, "Principles of Superconductive Devices and Circuits", 2<sup>nd</sup> ed., Prentice Hall, 309-311, (1999).
- [4] O. A. Mukhanov, S. V. Polonsky, V. K. Semenov, "New elements of the RSFQ Logic Family", *IEEE Trans. Mag.*, Vol.27. No.2, 2435-2438, (1991).
- [5] D. W. Nam, H. S. Hong, J. H. Kang, "Simulation Study of RSFQ OR-gates and Their Layouts for Nb Process", *Progress in Supercond. Vol. 4 No.1* 33-41, (2002).
- [6] O. A. Mukhanov, S. V. Rylov, V. K. Semenov, S. V. Vyshenskii, "RSFQ Logic Arithmetic", *IEEE Trans Mag.*, Vol. 25 857-860 (1989).
- [7] V. K. Kaplunenko, M. I. Khabipov, V. P. Koshelets, K. K. Likharev, "Experimental Study of the RSFQ Logic Elements", *IEEE Trans. Mag.*, Vol. 25 861-864 (1989).
- [8] Andrzej Krasniewski, "Logic Simulation of RSFQ circuits", *IEEE Trans. Appl. Supercond.*, Vol. 3 33-38 (1993).
- [9] Junichi Koshiyama, Nobuyuki Yoshikawa, "A Cell-Based Design Approach for RSFQ Circuits Based Binary Decision Diagram", *IEEE Trans. Appl. Supercond.*, Vol. 11 263-266 (2001).
- [10] Joonhee Kang, Deepnarayan Gupta, "Demonstration of RSFQ Digitizer on a Multichip Module", *IEEE Trans. Appl. Supercond.*, Vol. 12 1848-1851 (2002).