

DSP의 DMA 제어를 이용한 변압기용 디지털 보호계전기의 성능향상

論 文

52A-11-4

Efficiency Improvement of Digital Protective Relay for Power Transformer Using DMA Controller of DSP

權 奇 栢 * · 徐 熙 錫 ** · 申 明 澈 ***

(Gi-Back Kwon · Hee-Seok Suh · Myong-Chul Shin)

Abstract - As electrical power system has become complicated and enlarged to cope with the increasing electric demand, it has to be expected that higher speed, higher reliability, higher function and higher arithmetic ability in protective relay should be realized.

Therefore, in this papers, by hardware design and implementation used DMA controller that transfer blocks of data to any location in the memory map without interfering with CPU operation, CPU utilization is increased effectively, as a result it made possible to implement multi-function digital protective relay which has high trust and high function of protection as well as control and metering for power transformers using single processor(DSP).

Key Words : DMA(Direct Memory Access) controller, DSP(Digital Signal Processor)

1. 서 론

전력계통(power system)이 확대, 복잡화됨에 따라 보호계전기(protective relay)는 고속, 고정밀 연산, 고기능화, 고신뢰성 등 새로운 세대의 적응성을 배려한 하드웨어 및 장치구성의 합리화 등이 요구되고 있어 알고리즘도 복잡, 고도화되고 있다.[1~8]

이러한 요구에 대응하기 위하여 본 논문에서는 아날로그 입력부의 정밀화, 연산성능의 개선, MMI(man machine interface) 기능 및 통신 인터페이스 기능 등을 갖춘 변압기 보호용 디지털 보호계전기의 구현에 따른 하드웨어의 구성 방법을 제시한다. 아울러 디지털 보호계전기에서 아날로그 데이터를 디지털 데이터로 변환하고, 변환된 데이터를 CPU가 처리하는 과정에서 CPU의 효율을 극대화하면서 실시간으로 알고리즘 및 기타 기능을 처리하도록 CPU는 DSP(digital signal processor)를 이용하고, DSP의 DMA(direct memory access) 인터럽트를 이용함으로써 보호계전기의 하드웨어의 성능 향상을 도모하였다.

2. 변압기용 디지털 보호계전기의 하드웨어 구성

본 장에서는 디지털화 경향에 맞추어 변압기의 보호, 감시 및 계측 등의 기능을 갖춘 변압기용 다기능 디지털 보호

계전기를 개발하기 위한 하드웨어의 설계 및 구현에 관하여 기술한다.

2.1 시스템의 구성 및 특징

본 논문에서는 실 계통에의 적용을 고려하여 현재 전력계통에 설치되어 운용되고 있는 디지털 보호계전기의 기본 구조를 고려하여 변압기용 디지털 보호계전기를 설계하였으며, 보호 알고리즘으로써 주보호에는 비율차동계전 알고리즘, 후비보호에는 한시특성을 갖는 과전류계전 알고리즘과 지락과 전류계전 알고리즘을 이용하였다. 한편 비율차동계전기는 변압기내부의 단락 및 지락 등의 고장을 검출해야 하며, 여자돌입전류 대책으로 제2고조파 및 기본파에 대한 필터를 갖고 있어 여자돌입전류에 오동작하지 않아야 한다.

이와 같은 사항들을 고려하여 본 논문에서는 H/W 적으로 다음과 같은 기능을 갖춘 변압기 보호용 디지털 보호계전기를 설계하였다.

- ① 전류 입력정격을 0.1 ~ 12[A]까지 설정할 수 있고, 정격의 20배까지 보호특성을 갖도록 하였다.
- ② 보호기능의 신뢰도를 향상시키기 위해 A/D 변환기는 16-bit를 사용하였다.
- ③ 고장기록 데이터를 24 sample/cycle, 데이터를 최소 1초 길이로 4회 이상 저장할 수 있도록 메모리를 구비하였다.
- ④ LCD를 통하여 설정치의 변경 및 계측치의 표시가 가능하도록 하였다.
- ⑤ 자기 진단, 자동 점검 기능을 수행할 수 있도록 하드웨어 등을 구비하였다.

* 正 會 員 : 大德大學 電氣電子系列 專任講師 · 工博

** 正 會 員 : 斗源工大 自動化시스템과 副教授 · 工博

*** 終身會員 : 成均館大 電氣電子 및 컴퓨터 工學部
教授 · 工博

接受日字 : 2003年 6月 13日

最終完了 : 2003年 9月 26日

그림 1은 이와 같은 사양을 구비하도록 본 논문에서 구현한 변압기용 디지털 보호계전기의 시스템 구성도를 나타낸 것이다.

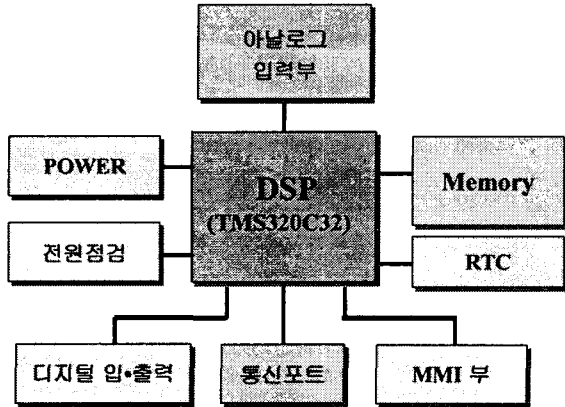


그림 1 변압기용 디지털 보호계전기의 시스템 구성도
Fig. 1 System diagram of digital protective relay for transformer

그림 1에서 알 수 있듯이 변압기용 디지털 보호계전기의 시스템 구성은 아날로그 입력부, 전원부, 디지털 입·출력부, 통신부, MMI부 및 메모리 등으로 구성된다.

표 1은 본 논문에서 보호계전기의 하드웨어 설계에 사용한 주요 전기·전자 부품 및 사양을 정리한 것이다.

표 1 하드웨어의 사양
Table 1 Specification of hardware

항 목	사 양 및 부 품	
프로세서(CPU)	TMS320C32(50MHz)	
프로그램(ROM)	29F040 : 512k×8 1개, 512k×8	
메모리	SRAM	KM681002A:128k×8 4개, 128k×32
	FlashROM	29F040 : 512k×8 2개, 512k×16
	EEPROM	28C064 : 8k×8 1개, 8k×8
아날로그 입력	A/D	AD676 : 16비트, 컨버전 타임(10us)
	S/H	LF398S8 : 인식타임(4us)
	MUX	ADG506 : 16채널
통신	RS(232,485)	AM85C30 : 2채널
표시	LCD	20 자×4 라인 : 문자형
	LED	5φ 11개
시각(RTC)	DS1553 : 8k× 8, NV	
디지털 입력	8 점점	
디지털 출력	12점점(3점점:트립용, 9점점:경보용)	
전원	±12V	LM219
감시	5V	TL7705
전원	출력	5V, DGND, ±12V, AGND, (12V, 12GND, 보조릴레이용)

CPU는 TI사의 TMS320C32 50MHz를 사용하여 알고리즘의 실시간 처리가 가능하도록 하였으며, 아날로그 입력부에서 S/H(sample holder)는 LF398을 이용하여 입력되는 신호들이 동시에 샘플링 될 수 있도록 하고 입력신호는 16채널 멀티플렉스를 이용하여 A/D 컨버터에 공급되도록 한다.

한편 A/D 변환기는 분해능(resolution)에 따라 양자화 오차가 발생하는데 이 오차는 소프트웨어에 의하여 방지할 수 없기 때문에 A/D변환기의 비트수가 큰 것을 사용하는 것이 바람직하다.

이에 본 논문에서는 변환 속도가 10 [us]이고 16채널을 가지고 있는 아날로그 디바이스의 16Bit A/D 변환기를 사용하여 회로를 설계하였다. 그리고 아날로그 멀티플렉스는 A/D 변환기와의 전기적 특성을 고려하여 반응시간(transition time)이 300[ns]이고 16채널을 가지고 있는 아날로그 디바이스의 AD506A를 사용하였다.

통신회로는 4 [MBPS]까지 전송이 가능하며 2개의 독립적인 채널을 가지고 있는 85C30을 사용하여 설계하였는데,

85C30은 비동기 통신(Asynchronous)과 동기통신이 가능하며 10×19비트의 상태 FIFO(first input first output)가 있다. RS232C 드라이버는 MAX232 소자를 사용하여 TTL 신호레벨을 RS232C 신호레벨로 변환하였고, RS485 드라이버는 MAX1480 소자를 사용하였는데, 이 소자는 데이터 인터페이스를 절연(1.6 [kV], 1분)하면서 Full-Duplex로 2.5 [MBPS]까지 데이터 전송이 가능한 특징을 가지고 있다.

그리고 MMI 부는 키입력(8개), LCD(Liquid Crystal Display, 문자형 20×4), LED(11개)로 구성하였는데 키를 이용하여 설정치를 입력할 수 있도록 하였으며, LCD를 통해 각종 데이터를 모니터링 할 수 있으며, LED를 통해 시스템의 상태를 확인할 수 있도록 하였다. 또한 RTC(Real Time Clock)인 DS1553을 사용하여 시스템의 동작상태를 실시간 감시하도록 하였다. 메모리부는 ROM 과 RAM으로 구성되어 있는데 프로그램은 29F040 ROM에 저장되어 부팅이 이루어지고, 설정값들은 28C064 EEPROM에 저장되도록 하며 각종 데이터는 FlashROM에 저장되도록 하였다. 그리고 SRAM은 KM681002A 으로 4개를 병렬로 조합하여 128k×32(Bit)로 사용하였다.

주변장치를 액세스하기 위한 어드레스 디코더 로직은 Lattice사의 로직설계 소프트웨어인 ispDesignExpert를 이용하여 ABEL_HDL 소스파일을 작성하고 이를 컴파일하여 실행파일인 JEDEC 파일을 생성하였다.[9]

2.2 하드웨어 구현

사진 1은 하드웨어를 설계하고 PCB를 제작하여 구성한 시험용 변압기 보호용 디지털 보호계전기의 전체적인 시스템을 사진으로 나타낸 것이다.

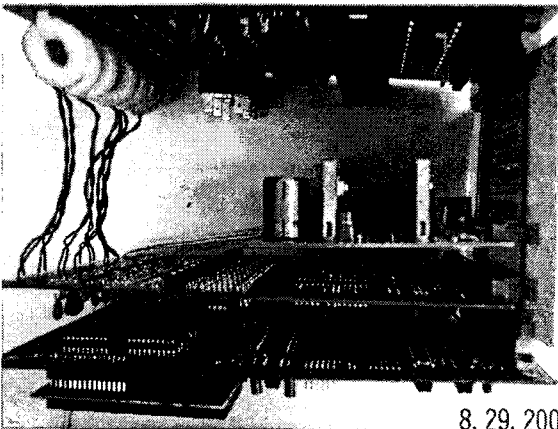


사진 1 변압기용 디지털 보호계전기의 상위 모습
 Picture 1 Top view of digital protective relay for transformer

사진 1에서 맨 아래 부분이 MPU 보드이며 두 번째 보드가 아날로그 입력을 A/D 변환하는 기능을 수행하는 MUX, S/H 및 A/D 변환회로로 구성된 입력변환용 보드이다. 아래에서 3번째 보드는 전원공급 보드이며, 맨 위의 보드는 CT를 포함한 아날로그 입력 및 디지털 입출력 회로로 구성된 입출력 보드이다.

3. 변압기용 디지털 보호계전기의 성능향상 kgb66

3.1 디지털 보호계전기의 아날로그 신호처리 방식

디지털 보호계전기에서 CPU 성능의 최대 활용은 A/D 변환기와 CPU를 어떻게 인터페이스 하는가에 따라 좌우된다. 즉 A/D 변환기가 아날로그 데이터를 디지털 데이터로 변환하고, 변환된 데이터를 CPU가 처리하는 과정에서 CPU의 효율을 극대화하면서 실시간으로 알고리즘 및 기타 기능을 처리하는 것이 무엇보다 중요하다. 그런데 CPU가 A/D 변환과정을 제어하고 디지털로 변환된 데이터를 이용하는 방법으로는 DMA 인터럽트를 이용하는 방식과 외부 인터럽트를 이용하는 방식 및 폴링(polling) 방식으로 대별된다.

폴링방식은 입출력 장치에 대한 각각의 서비스를 처리하기 위해 CPU에서 주기적인 소프트웨어로 입출력 장치의 서비스 요구 신호를 확인하여 데이터를 처리하는 방식이다. 따라서 입출력 장치에 대한 서비스 요구에 대한 응답시간이 길어 실시간 시스템에서는 적용할 수 없다. 그리고 외부 인터럽트 처리방식은 입출력 장치의 서비스 요구 신호를 외부 인터럽트로 인식하기 때문에 폴링방식보다 빠르게 데이터를 처리할 수 있지만 입력채널 수가 증가하면 할수록 CPU의 효율적인 처리능력을 저하시킬 수 있다.

한편 DMA 인터럽트를 이용한 방식은 CPU와는 무관하게 외부 메모리로 데이터를 직접 보낼 수 있어 CPU의 성능이 높아지는 장점이 있다.

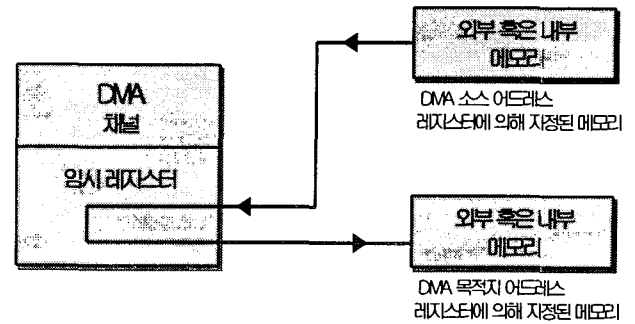


그림 2 DMA 인터럽트에 의한 데이터 처리
 Fig. 2 Analog signal process using DMA interrupt

그림 2는 DMA 인터럽트에 의한 데이터의 처리과정을 나타낸 것으로 DMA 인터럽트를 이용하여 데이터를 처리하기 위해서는 메모리의 일정 부분이 DMA에 사용될 영역으로 미리 지정되며, DMA 인터럽트가 수행되면 CPU의 수행 과정과는 무관하게 데이터를 지정된 메모리에 저장하며, 데이터가 필요한 경우 임의의 시간에 저장되어 있는 데이터를 가져와 이용할 수 있다. 따라서 CPU는 데이터 전송에 관여하지 않으므로 CPU의 성능이 높아진다.[10]

3.2 DMA를 이용한 아날로그 신호처리

그림 3과 그림 4는 각각 외부 인터럽트를 이용해서 아날로그 데이터를 처리하는 방식과 DMA 인터럽트를 이용해서 아날로그 데이터를 처리하는 방식을 비교하기 위하여 인터럽트신호의 발생에 따른 인터럽트 서비스의 수행관계를 나타내었다.

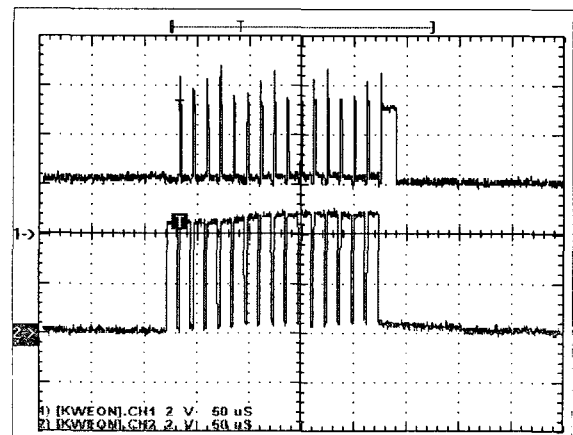


그림 3 외부 인터럽트를 이용한 아날로그 데이터 처리
 Fig. 3 Analog signal process using external interrupt service

그림 3은 외부 인터럽트를 이용해서 아날로그 데이터를 처리하는 방식으로 오실로스코프의 채널 1, 2는 CPU에서 인터럽트 서비스를 수행하는 시점과 외부 인터럽트의 관계를 나타내고 있다. 그림에서 알 수 있듯이 오실로스코프의 채널 2와 같이 1개의 아날로그 입력채널이 디지털 변환 완

료되는 순간마다 CPU는 오실로스코프의 채널1 신호와 같이 외부 인터럽트 서비스를 수행한다. 따라서 입력 채널이 증가하면 외부 인터럽트 서비스를 수행하는 횟수가 급격히 증가하고 CPU는 이와 같은 인터럽트 서비스를 수행하는데 시간을 소모하게 되므로 인터럽트 서비스 이외의 일에 대해서는 수행능력이 현저히 감소하게 된다. 또한 외부 인터럽트 처리에 많은 시간을 할당하게 되므로 알고리즘 등 수행해야 할 일들의 실시간 처리에 어려움이 있다.

그림 4는 DMA 인터럽트를 이용해서 아날로그 데이터를 처리하는 방식으로 CPU에서 인터럽트 서비스를 수행하는 시점과 외부인터럽트의 관계를 나타내었다.

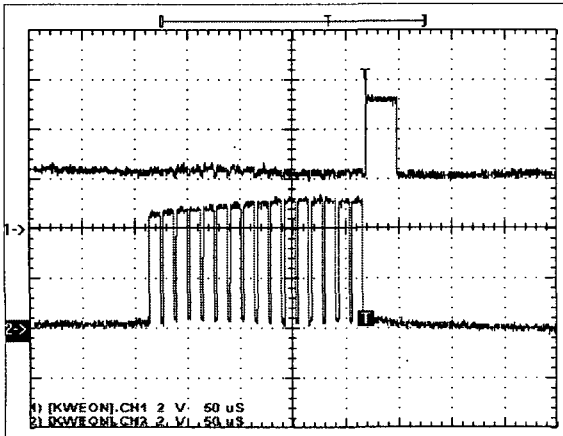


그림 4 DMA 인터럽트를 이용한 아날로그 데이터 처리
Fig. 4 Analog signal process using DMA interrupt service

그림에서 알 수 있듯이 DMA 인터럽트를 이용하는 경우에는 입력채널수에 관계없이 CPU는 인터럽트 서비스를 요구한다. 즉 오실로스코프의 채널 2에 나타난 것과 같이 아날로그 입력채널이 16개인 경우 16개의 아날로그 입력채널이 A/D 변환기에 의해 디지털 신호로 변환 완료되는 순간 오실로스코프의 채널 1과 같이 DMA에서 CPU로 인터럽트 서비스를 요구함으로써 CPU는 인터럽트 서비스를 수행하게 된다.

따라서 아날로그 데이터를 단순히 외부 인터럽트로 처리하는 방식을 이용할 경우에는 그림 3과 같이 10[us] 마다 CPU는 인터럽트 서비스를 수행하기 때문에 CPU의 수행능력을 저하시키지만 DMA로 처리할 경우에는 그림 4에 나타난 것과 같이 CPU는 0.2 [ms] 동안 다른 일을 처리할 수 있으며, 모든 채널의 변환이 완료됨과 동시에 DMA 인터럽트 서비스를 수행함으로 CPU의 효율이 향상됨을 알 수 있다.

이에 본 논문에서는 DMA 인터럽트 처리방식을 이용하여 CPU의 수행능력을 감소시키지 않고 처리시간을 요구하는 아날로그/디지털 변환기와 인터페이스 하도록 설계하였다.

4. 하드웨어 성능 평가

본 논문에서는 변압기 보호계전 알고리즘과 하드웨어 설계 및 구현 그리고 소프트웨어의 설계에 관한 내용을 기반으로 시험용 변압기용 디지털 보호계전기를 제작하였다. 그리고 구현된 하드웨어의 플랫폼 위에서 각종 드라이브 및 변압기 보호계전 알고리즘의 수행시간을 점검하여 구현된 하드웨어의 성능을 평가하였다.

그림 5는 본 논문에서 설계된 하드웨어에 의존하는 시간을 관측하기 위해 A/D 변환기인 AD676의 변환시간을 오실로스코프를 이용하여 측정된 결과를 나타내었다.

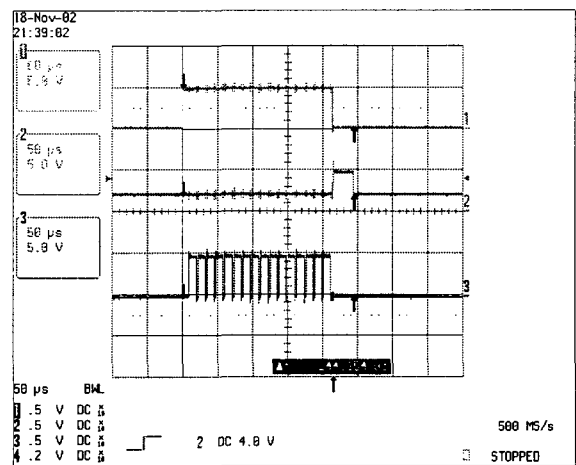


그림 5 16채널의 아날로그/디지털 데이터 변환 시간
Fig. 5 16 channel conversion time of analog to digital

그림 5에서 오실로스코프의 채널1은 CPU가 상승에지(positive edge)에서 A/D 변환을 시작하고 하강에지(negative edge)에서 종료하도록 하는 신호를 나타내고, 채널2는 상승에지에서 하강에지까지 DMA 콘트롤러가 CPU에 디지털 데이터를 처리하도록 서비스를 요구하는 신호를 나타내며, 채널3은 A/D 변환기에서 아날로그 데이터를 디지털 데이터로 변환종료 되었음을 알리는 하강에지 신호로 나타낸다. 그리고 채널3에 나타난 신호에서 알 수 있듯이 16개의 하강에지 신호가 나타나므로 16채널 A/D변환이 이루어졌고, 변환시간은 약 200 [us]가 소요됨을 알 수 있다.

한편 AD676의 경우 A/D 변환에 소요되는 시간은 채널당 최소 10 [us]를 요한다. 따라서 16채널을 A/D 변환하는 경우 최소 160 [us] 정도의 시간이 요구되는데, 본 논문에서 구현된 하드웨어에서는 16채널을 A/D 변환하는데 200 [us] 정도의 시간이 소요되므로 A/D 변환부의 하드웨어는 적절히 설계되었음을 알 수 있다.

그림 6은 디지털 필터 및 실효치 계산에 소요되는 시간을 알아보기 위해 오실로스코프를 이용하여 입력된 신호에서 기본과 성분을 추출하는데 소요되는 시간, 제2고조파 성분을 추출하는데 소요되는 시간 및 차전류의 실효치를 계산하는데 소요되는 시간을 측정하여 나타낸 것이다.

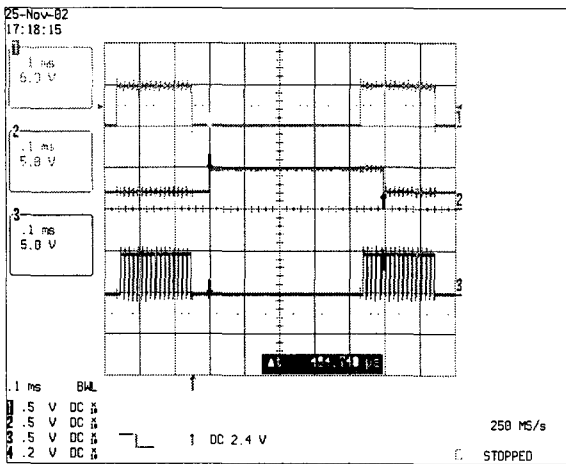


그림 6 기본파, 제2고조파, 차전류의 실효치 계산 시간
 Fig. 6 RMS calculation time of fundamental, second harmonic and differential current

오실로스코프의 채널2에 나타난 것과 같이 기본파 성분의 추출 및 제2고조파 성분을 추출하여 차전류의 실효치를 계산하기 위해 서는 약 494.740 [us]의 계산시간이 소요되며, 아날로그 데이터를 디지털로 변환하는 시간보다 더 많은 수행시간을 요함을 알 수 있다.

그림 7은 변압기용 디지털 보호계전기에서 주보호 알고리즘으로 이용하고 있는 비율차동 계전요소의 수행시간을 측정하여 나타낸 것이다.

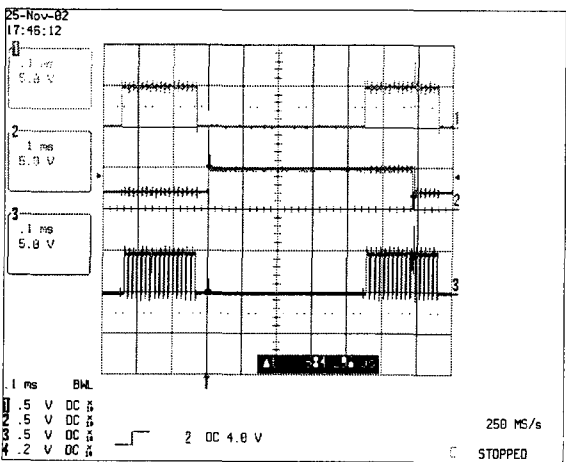


그림 7 주보호 알고리즘의 수행시간
 Fig. 7 Execution time of main protection algorithm

그림에서 알 수 있듯이 주보호 알고리즘이 수행되는데는 584.296 [us]의 시간이 소요됨을 알 수 있으며, 주보호 알고리즘의 수행시간에는 기본파 성분 추출에 소요되는 시간, 제2고조파 성분 추출에 소요되는 시간 및 차전류의 실효치 계산에 소요되는 시간 등이 포함되어 있다.

그림 8과 그림 9는 후비보호용 알고리즘인 과전류 계전요소와 지락과전류 계전요소의 수행시간을 측정하여 나타낸 것이다.

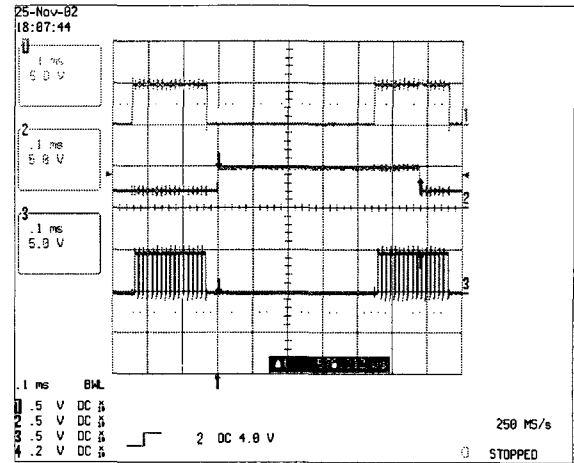


그림 8 후비보호 알고리즘(과전류 계전)의 수행시간
 Fig. 8 Execution time of backup protection algorithm (OCR)

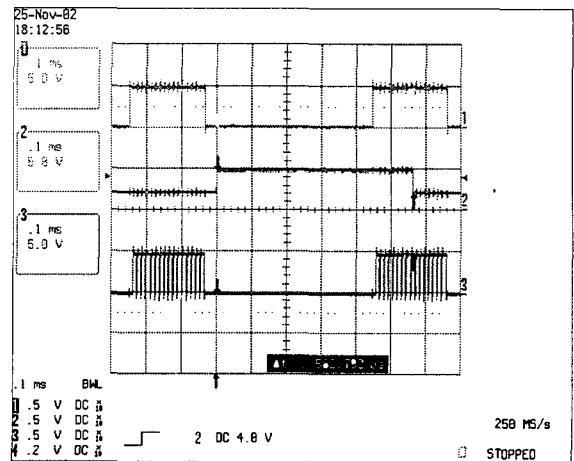


그림 9 후비보호 알고리즘(지락과전류 계전)의 수행시간
 Fig. 9 Execution time of backup protection algorithm (OCGR)

각각의 그림에서 알 수 있듯이 과전류 계전요소의 수행시간은 576.312 [us]이며, 지락과전류 계전요소의 수행시간은 562.792[us]임을 알 수 있다. 그리고 보호 계전 알고리즘 중에서 가장 많은 수행시간을 필요로 하는 계전요소는 주보호 알고리즘인 비율차동요소임을 알 수 있다.

다음의 그림 10~그림 13은 아날로그 데이터를 외부 인터럽트로 처리하는 경우와 DMA 인터럽트를 이용하여 처리하는 경우를 비교 검토하기 위하여 변압기용 디지털 보호계전기의 전체 알고리즘 수행시간을 측정하여 나타내었다.

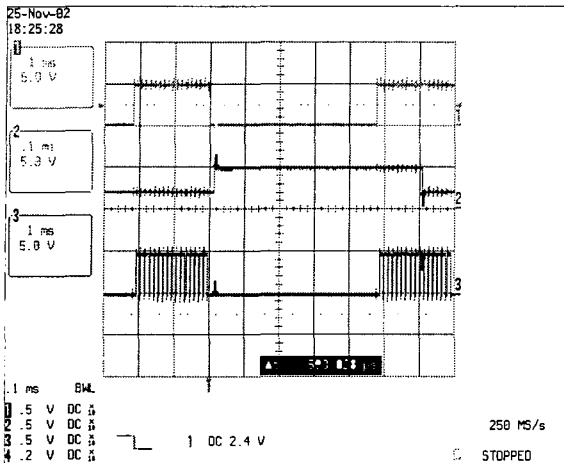


그림 10 외부 인터럽트를 이용한 전체 보호 알고리즘 수행 시간

Fig. 10 Execution time of all protection algorithms using external interrupt

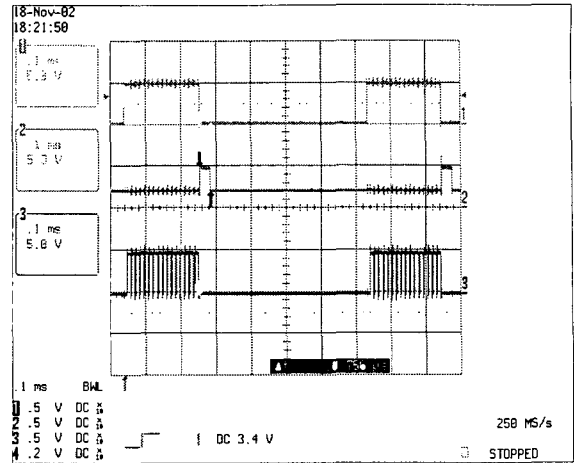


그림 12 DMA 인터럽트 요구에 의한 CPU의 인터럽트 인식
Fig. 12 Interrupt acquisition of CPU by DMA interrupt request

즉 오실로스코프의 채널 3에 나타난 것과 같이 16개의 아날로그 입력채널이 A/D 변환기에 의해 디지털 신호로 변환 완료되는 순간 오실로스코프의 채널 2와 같이 DMA에서 CPU로 인터럽트 서비스를 요구함으로써 CPU는 인터럽트 서비스를 수행하게 된다. 따라서 외부 인터럽트를 이용하는 방식보다 CPU의 효율이 높아짐을 알 수 있다.

그림 13은 DMA 인터럽트를 이용하는 경우 전체 알고리즘 수행시간을 측정하여 나타내었다.

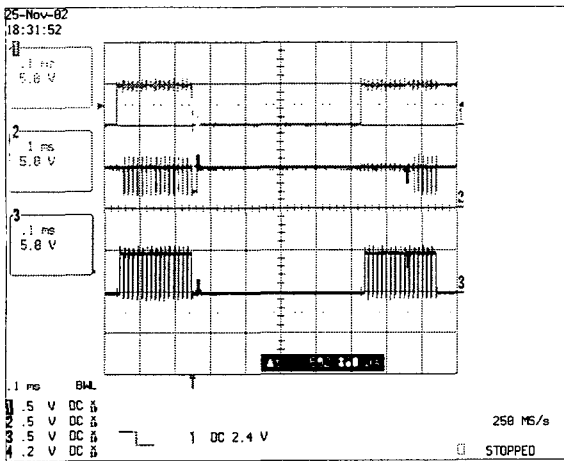


그림 11 외부 인터럽트 요구에 의한 CPU의 인터럽트 인식
Fig. 11 Interrupt acquisition of CPU by external interrupt request

그림 10에서 알 수 있듯이 외부 인터럽트 방식으로 아날로그 데이터를 처리할 경우 전체 알고리즘이 수행되기 위해서는 약 593.028 [us]의 시간이 소요됨을 알 수 있다. 그러나 외부 인터럽트 방식을 이용하는 경우 그림 10에 나타난 것과 같이 전체 보호 알고리즘의 수행으로 인해 외부 인터럽트를 인식하지 못하는 경우가 발생하게 된다. 즉 알고리즘 수행시간으로 인해 그림 11에 나타난 채널 3의 외부 인터럽트에 대해서 채널 2에 나타난 것과 같이 CPU가 외부 인터럽트를 인식하지 못하게 되어 주기적으로 아날로그 데이터를 취득할 수 없게 된다. 그러나 그림 12에 나타난 것과 같이 DMA 컨트롤러를 이용하는 경우에는 CPU의 동작과 무관하게 채널 3에 나타난 외부 인터럽트에 대해 A/D 변환기로부터 아날로그 데이터를 특정 메모리로 직접 가져올 수 있다.

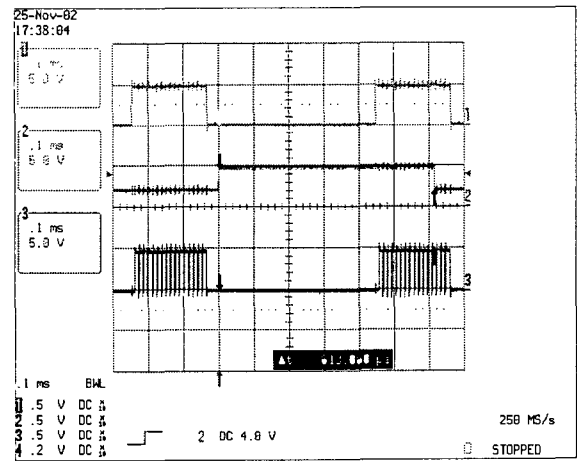


그림 13 DMA 인터럽트를 이용한 전체 알고리즘 수행시간
Fig. 13 Execution time of complete algorithm using DMA interrupt

그림의 채널2에 나타난 파형에서 알 수 있듯이 알고리즘의 수행시간은 613.060 [us]이고, 외부인터럽트를 이용하여 수행할 수 없었던 알고리즘이 DMA 인터럽트를 이용함으로써 원활히 동작되고 있음을 알 수 있다.

다음의 표 2는 하드웨어의 성능을 평가하기 위해 여러 가지 항목으로 나누어 전체 알고리즘의 수행시간을 정리하여 나타낸 것이다.

표 2 하드웨어에서의 수행시간
Table 2 Execution time in hardware

평가 내용		수행 시간[us]	
1	16채널 A/D 변환 (DMA 서비스 수행시간 포함)	244.154	
2	기본파, 제2고조파, 차전류의 실효치 계산	494.740	
3	보호 알고리즘	비율차동	89.556
		과전류	81.572
		지락과전류	68.052
4	전체보호 알고리즘	외부 인터럽트	수행불능
		DMA 인터럽트	118.32
5	상시 총 수행시간 (1항목 + 2항목 + 4항목)	857.214	

표 2에서 알 수 있듯이 16채널 입력이 모두 A/D 변환되기 위해서는 약 244.154[us]의 시간이 소요되며, 입력된 신호로부터 기본파 성분, 제2고조파 성분을 추출하고, 추출된 기본파 차전류의 실효치를 계산하기 위해서 CPU는 494.740[us]의 시간을 소비하게 된다. 그리고 사건데이터의 기록 및 표시 등 기타 처리하기 위한 시간이 소요되므로 알고리즘을 수행하는 경우에는 기본적으로 약 857.214[us] 이상의 시간이 소요된다. 또한 보호계전 알고리즘으로 사용된 비율차동 계전요소, 과전류 계전요소 및 지락과전류 계전요소를 단독형으로 수행하기 위해서는 각각 89.556[us], 81.572[us] 및 68.052[us]의 시간이 소요된다.

따라서 입력신호를 주기당 24 샘플하면서(샘플링 간격은 694[us]) 1389[us]마다 알고리즘이 수행되는 경우에는 알고리즘의 실시간 처리가 불가능하게 된다. 즉 외부 인터럽트를 이용하여 아날로그 데이터를 처리하는 H/W를 설계하는 경우에는 알고리즘 수행시간의 부족으로 2개 이상의 프로세서를 이용하여 변압기 보호계전 기능을 구현해야 된다.

이에 본 논문에서는 DSP의 DMA 컨트롤러를 이용하여 697[us] 마다 아날로그 데이터를 샘플링하면서 1.3889[ms]마다 보호알고리즘을 실시간 수행할 수 있도록 하드웨어와 소프트웨어를 구현하였다.

5. 결 론

본 논문에서는 변압기용 디지털 보호계전기를 설계하는데 있어서 고속 및 고정밀 연산, 고기능화 그리고 고신뢰화를 실현할 수 있도록 디지털 보호계전기의 하드웨어의 구성 및

이에 필요한 각종 소자들에 관해 연구하였다. 그리고 본 논문에서 제시한 내용을 바탕으로 시험용 변압기용 디지털 보호계전기를 제작하여 시험한 결과 실계통에 적용이 가능한 보호계전기의 제작 가능성을 입증하였다.

그리고 일반적인 변압기용 디지털 보호계전기는 알고리즘이 복잡하여 2개 이상의 CPU를 사용하여 실시간 처리를 하였으나, 본 논문에서는 디지털 보호계전기의 아날로그 데이터 처리를 위해 A/D 변환기에서 변환종료 신호를 DMA 인터럽트로 처리하여 CPU의 개입 없이 DMA가 독립적으로 입력 데이터를 읽어 오도록 함으로서 CPU의 효율을 극대화하였으며, 그 결과 보호 알고리즘 및 기타 기능 등이 단일 프로세서에 의해 실시간 처리가 가능하도록 하였다. 이와 같은 연구 결과는 다른 종류의 디지털 보호계전기를 설계하는 경우에도 적용될 수 있으며, 디지털 보호계전기의 개발하는 경우 응용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] "Protective Relaying Theory and Application", ABB Power T&D Company Inc., 1994.
- [2] "電力系統のテイシタル制御・保護", 東京電力株式會社, 1992.
- [3] "電力用機器保護繼電裝置のテイシタル化", 日立評論 vol.79, NO.3, 1997.
- [4] M. Kezunovic, "Digital Protective Relaying Algorithms and Systems - an overview," *Electrical Power System Research*, pp.167~180, April, 1981.
- [5] IEEE Power System Relaying Committee Tutorial course, "Micro-processor Relays and Protection Systems", 88EH0269-1-PWR., 1987.
- [6] "Protective Relays Application Guide", GEC ALSTHOM, 1990.
- [7] Murty V.V.S. Yalla, "A Digital Multifunction Protective Relay", *IEEE Trans. on PWRD*, Vol.7, No.1, pp.193~201, Jan., 1992.
- [8] Gabriel Benmouyal, "Design of a Combined Digital Global Differential and Volt/Hertz Relay for Step-Up Transformers", *IEEE trans. on PWRD*, Vol.6, No.3, pp.1000~1007, 1991.
- [9] ispdesignEXPERT, *Lattice Semiconductor Corp.*, 1999.
- [10] TMS320C3x User's Guide, Texas Instruments.
- [11] Jean J. Labrosse, "MicroC/OS-II, The Real-Time Kernel", ISBN 1-57820-103-9
- [12] 권기백, 서희석, 윤석무, 신명철, "웨이브렛을 바탕으로 한 신경회로망을 이용한 전력용 변압기 보호 계전기법", *전기학회 논문지*, pp.134~142, 2002. 3
- [13] 권기백, "단일프로세서를 이용한 전력용 변압기의 다기능 디지털 보호계전기 설계", *성균관대학교 대학원 박사학위논문*, 2002.12

저 자 소 개



권 기 백(權 奇 柏)

1967년 6월 6일생. 1991년 성균관대 전기공학과 졸업. 2003년 동 대학원 전기공학과 졸업(공학). 1992~1999년 (주)엘지산전 연구소 주임연구원. 1999~2001년 (주)파엔씨테크 선임연구원. 2001~현재 대전 대덕대학 전기전자계열 전임강사.

Tel : 042-866-0327

Fax : 042-866-0368

E-mail : gbkweon@ddc.ac.kr



서 희 석(徐 熙 錫)

1961년 6월 2일생. 1987년 성균관대 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(공학). 1989~1990년 금성산전연구소 연구원. 1995년~현재 두원공과대학 자동화시스템과 부교수.

Tel : 031-670-7265

Fax : 031-670-7269

E-mail : shs7165@doowon.ac.kr



신 명 철(申 明 澈)

1947년 4월 3일생. 1970년 성균관대 전기공학과 졸업. 1978년 연세대 대학원 전기공학과 졸업(공학). 1975~1978년 충북대 전기공학과 조교수. 1982~1983년 미국 코넬대 전기공학과 교환교수. 2000~2001년 미국 펜실바니아 주립대 전기공학과 교환교수. 1978~현재 성균

관대 전기전자 및 컴퓨터 공학부 교수.

Tel : 031-290-7103, Fax : 031-290-7103

E-mail : mcshin@yurim.skku.ac.kr