

# EUROCOM 통신시스템의 동기이탈 검출 방법

정회원 이승수\*

## A Detection Method for Synchronization Secession in Frame for The EUROCOM Communication System

Seung-Soo Lee\* *Regular Member*

요 약

EUROCOM 통신시스템에서는 전송속도에 따라 프레임 구조가 정의되어 있으며, 각각의 프레임에는 동기 신호인 Frame Alignment Signal(FAS)을 포함하고 있다. 본 논문에서는 수신 프레임에서 동기 검출을 위한 FAS 검출기를 제안하고, 프레임 안의 동기 위치를 알지 못해도 채널 변경을 통해 전체 프레임 안에서 동기 채널이 있는지를 찾아 동기획득 상태를 판정할 수 있는 새로운 동기이탈 검출 방법을 제시한다.

ABSTRACT

In the EUROCOM communication system, it defines frame structures as data rate. each frame includes a synchronization bit as frame alignment signal. In my paper proposes a FAS detector for determining state of synchronization as compare received data with FAS pattern, also presents a new detection method for synchronization secession which can decide acquisition state of synchronization with searching a synchronization channel through entire channels in frame.

### I. 서 론

디지털 통신시스템에서 데이터 전송을 위해서는 송수신 동기를 유지하는 것이 필요하다. 수신되는 데이터열에서 클럭 정보를 추출하여 데이터를 수신하는 경우 동기 상태를 파악하는 것은 데이터 신뢰성과 밀접한 관계가 있다[1,6-8]. 그림 1과 같은 EUROCOM 통신시스템에서는 프레임마다 FAS 동기 채널을 가지고 통신한다. FAS 동기 패턴은 15비트로 규정하고 있으며, 15개의 각 프레임마다 한 비트씩 채널에 할당하여 반복 전송한다. FAS는 프레임의 시작비트로 할당되며 프레임간의 경계 식별로 사용된다. 전송 데이터열은 연속되는 프레임들로 구성되어 있다. 프레임은 전송속도에 따라 다수의 채널로 구성된다[1].

EUROCOM 통신시스템의 암호화기는 수신 데이

터열의 동기 상태를 확인하기 위해 프레임 안에 FAS 동기 채널이 있는지를 검사해야 한다. 이를 위해서는 프레임의 동기 채널 위치를 알아야 하고, 15개의 프레임을 수신한 후 FAS 동기 패턴과 비교하는 과정이 필요하다. 수신 데이터열에서 추출한 프레임 동기 정보가 FAS 동기 패턴일 경우에는 동기 획득 상태로 판정하고, FAS 동기 패턴과 다를 경우에는 동기상실 상태, 즉 동기이탈로 판정한다. 따라서 동기이탈을 검출하기 위해서는 수신된 데이터열에서 프레임 동기 정보를 추출하는 과정과 FAS 동기 패턴과 비교하여 동기이탈을 검출하는 과정이 필요하다.

FAS를 검출하기 위한 방법은 기존의 Maximum Length Sequence(MLS) 검출 방법이 있으며, 이는 실시간으로 FAS 동기 패턴 일치여부를 판정할 수 있다[1]. 그러나 MLS 검출기를 사용하기 위해서는 프레임안에 동기 채널의 위치를 알고 있어야 한다.

\* 한국전자통신연구원 국가보안기술연구소 응용기술연구부(kadan@etri.re.kr)  
논문번호 : 020300-0715, 접수일자 : 2002년 7월 15일

또한 연속된 '1'의 데이터열에서 MLS 검출기가 오동작하는 문제점을 해결해야 한다. EUROCOM 통신시스템의 암호화기는 수신 데이터열에서 프레임의 경계를 식별할 수 있는 동기 비트의 위치를 알 수 없다. 동기 비트의 위치를 알기 위해서는 프레임안의 모든 채널에 대한 동기 검출 과정이 필요하다. 그러나 기존의 MLS 검출기를 이용한 동기이탈 검출 방법은 수신 데이터열이 프레임의 동기 채널로 시작된다는 전제하에 프레임 클럭을 이용하여 하나의 동기 채널에 대한 동기이탈 검출을 수행하였다 [1,2,4].

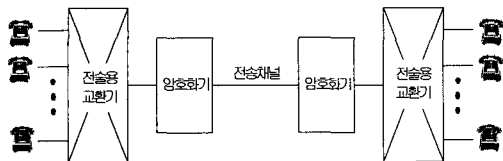


그림 1. EUROCOM 통신시스템

따라서 프레임안의 동기 채널의 위치를 알 수 없는 EUROCOM 통신시스템에서는 프레임안의 동기 채널을 찾는 방법이 필요하다. 본 논문에서는 동기 채널 검출을 위해 연속된 '1' 데이터 수신시 MLS 검출기의 오동작을 개선한 FAS 검출기를 사용하여, 동기 채널의 위치를 찾기 위해 전체 프레임안에서 동기채널을 찾는 절차를 제안한다. 또한 모든 채널의 동기 검출을 수행한 후 동기 검출에 실패한 경우 동기이탈로 판정할 수 있는 방법을 제안한다.

## II. 동기이탈 검출 방법

본 장에서는 기존의 동기이탈 검출 방법에 대해 살펴본다. 동기 검출을 위한 MLS 검출기의 동작 원리를 살펴보고, 동기이탈 판정 방법을 알아본다.

### 2.1 MLS 검출기를 이용한 동기 검출

그림 2는 EUROCOM에서 규정하고 있는 전송속도별 프레임 구조를 나타낸 것이다. 256Kbps 프레임은 8비트의 채널로 구성되어 있으며, 첫 번째 채널에 FAS 동기 비트가 위치한다. 전송속도별로 프레임 사이즈가 다르지만, 프레임의 경계 식별을 위한 FAS 동기 비트는 모두 한 채널씩 가지고 있음을 알 수 있다. 전송 채널 상에서의 데이터열은 전송속도별로 해당 프레임이 연속하여 직렬로 구성된다. FAS 패턴은 "000011101100101"의 15비트로 규정하고 있다. 따라서 15개의 프레임을 수신한 후

각각의 FAS 동기 비트를 추출하여 규정하고 있는 FAS 동기 패턴과 비교해야 동기이탈 여부를 판정할 수 있다.

그러나 기존의 MLS 검출기는 동기 검출을 위해 15개의 프레임을 모두 수신할 필요가 없으며, 5개의 프레임을 수신한 후에는 동기 검출을 할 수 있는 효과적인 방법이다. 그림 3에 MLS 검출기에 대한 동작 원리를 나타내었다[1,2].

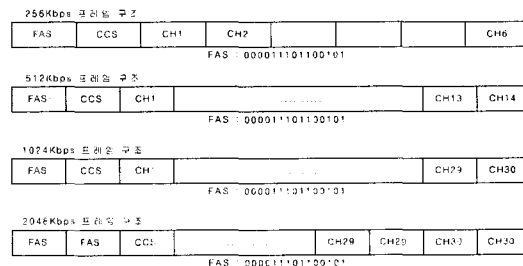


그림 2. 프레임 구조

그림 3은 MLS 검출기의 회로도 및 파형을 나타낸 것이며, 입력 값(In(1))으로 FAS 패턴을 수신할 경우에 출력 값(Out(1))이 '1'이 됨을 보이고 있다. 회로는 D 플립플롭 5개와 XOR 게이트 2 개로 구성되어 있으며, D 플립플롭은 '0'으로 초기화된다. 입력으로 FAS 패턴이 수신될 경우 동기 검출을 위해 5 클럭 동안 지연이 필요하며, FAS 패턴일 경우 '1'을 출력한다. 하지만 입력 값(In(2))과 같이 '0'에서 '1'로 3비트 전송 오류가 발생할 경우에도 정상적인 FAS 패턴을 수신한 경우와 같이 오동작하는 문제점이 있다.

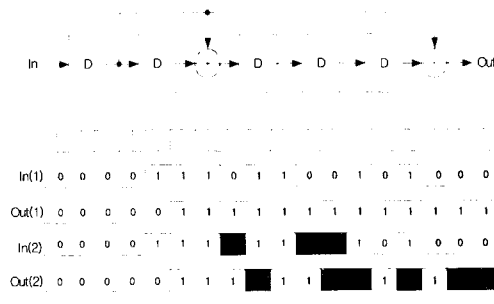


그림 3. MLS 프레임 검출

### 2.2 카운터를 이용한 동기이탈 판정

EUROCOM에서 규정하고 있는 동기이탈 판정 방법은 Up-Down 카운터에 의해 이루어진다. 그림 4는 기존의 동기이탈 판정 방법을 기능 블록도로 나타낸 것으로, MLS 검출기의 결과 값을 Up-Down

카운터의 입력으로 하여 카운터를 증감한다.

Up-Down 카운터의 초기값은 "0010"으로 설정하며 '0'을 수신할 경우 카운터가 감소하고, 연속하여 '1'이 8번 수신될 경우에는 카운터를 증가한다. 동기이탈 판정은 Up-Down 카운터가 "0000"이 될 경우 동기이탈로 판정하게 된다[1,3].

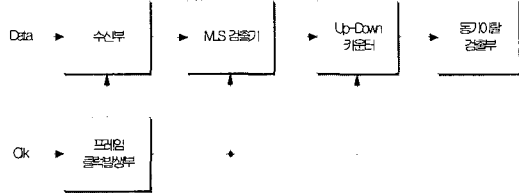


그림 4. Up-Down 카운터를 이용한 단일 채널에 대한 동기이탈 판정

그림 4의 기능 블록도에서 동작 클럭은 프레임 클럭을 생성하여 사용한다. 그림 4와 같은 동기이탈 판정 방법의 한계는 하나의 채널에 대한 동기이탈 판정만 수행할 수 있다는 것이다. 따라서 프레임안의 채널들을 이동하며 동기 채널을 찾을 수 없다. 또한 Up-Down 카운터의 초기 설정값 "0010"은 본 논문에서 제안한 프레임 안의 모든 채널에 대한 동기 검출 방법에 적용할 경우, 수신 데이터열의 마지막 채널이 FAS 동기 채널일 때 초기 설정값이 너무 작아 채널 이동이 빨라지고, 결국 동기 채널까지 동기 검출을 수행하지 못하고 동기이탈로 판정할 수 있는 문제점이 발생한다. 이와 같은 상황을 고려하여 시뮬레이션을 수행한 결과를 4장의 그림 9.(c)에 나타내었다.

### III. 제안한 프레임 동기이탈 검출 방법

본 장에서는 2장의 언급한 기존의 방법들의 문제점을 개선한 FAS 검출기와 프레임 내 모든 채널에 대한 동기 검출을 수행할 수 있는 동기이탈 검출 방법을 제안한다.

#### 3.1 구조

MLS 검출기의 연속된 '1' 데이터 수신시 오류를 보완하기 위해 본 논문에서는 그림 5와 같이 FAS 검출기를 제안한다. 그림 3의 회로에 D 플립플롭 2개와 NAND 와 AND 게이트를 추가하여 연속된 '1'에서의 오류를 해결하였다. FAS 동기 패턴은 연속된 1의 개수가 최대 3개이기 때문에 연속된 1의 개수가 4개인 경우에 대한 오류를 수정해야 한다. 이를 수정하기 위해 두 개의 D 플립플롭을 추가하

여 연달아 '1'이 4비트 수신될 경우 N 신호를 '0'으로 동작하도록 하였다. 회로의 동작을 살펴보면, 연속된 1이 4개 이상 입력될 경우, 그림 5의 N 신호는 '0'을 유지하며 '1'값을 가지는 G 오류 신호와 AND 게이트를 통해 최종 '0'으로 출력한다. FAS 검출기의 모든 D 플립플롭은 '0'으로 초기화되며 MLS 검출기의 5 클럭의 동작 지연 특성을 가지고 있다. 동기 검출시에는 최종 출력값이 '1'이다.

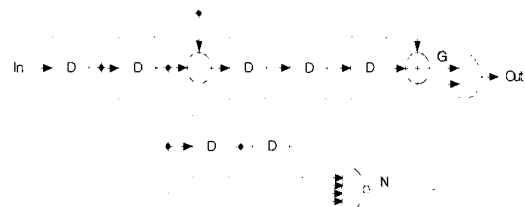


그림 5. FAS 검출기

수신 데이터열의 프레임 구조를 살펴보면 그림 6과 같다. 수신 데이터열의 시작 위치는 데이터열(A)과 데이터열(B)과 같이 달라질 수 있지만 FAS 동기 패턴은 계속해서 반복된다.

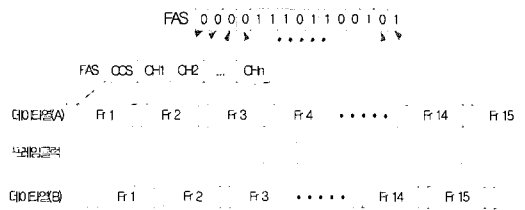


그림 6. 수신 데이터열의 프레임 구조

그림 6에서 데이터열(A)와 같은 프레임의 시작 비트가 FAS 채널인 경우에는 기존 방법을 사용하여 채널을 이동하지 않고 동기 검출을 할 수 있겠지만, 데이터열(B)와 같이 FAS 채널이 나중에 수신될 경우에는 채널을 이동할 필요가 있다. 본 논문에서 제안한 채널 이동을 통한 동기이탈 판정을 수행하기 위한 기능 블록도는 그림 7과 같다. 제안한 동기이탈 검출 기능 블록도의 특징은 하나의 채널에 대한 FAS 검출 기능을 수행한 후 동기 검출이 실패한 경우에는 인접 채널로 이동하여 동기 검출을 다시 수행할 수 있도록 한 것이다. 채널 이동을 위한 방법으로는 Up-Down 카운터가 동기 검출 실패일 때 채널 이동카운터를 증가시키고 그 카운터 값만큼 프레임 클럭 위치를 조정할 수 있도록 하였다. 이를 수행하기 위해 그림 7과 같이 동기정보 추출 기능과 채널 이동 기능, 프레임 클럭 조정 기능이

새로이 추가되었으며, 동기이탈 판정 기능에서는 프레임의 전체 채널의 동기 검출을 수행한 후에 비로소 동기이탈을 판정할 수 있도록 하였다. 또한 프레임 클럭 발생시에는 기존의 카운터에 의한 프레임 클럭 생성 방법을 사용하지 않고 입력된 비트 클럭을 프레임 크기만큼 분주시켰다. 제안한 동기이탈 검출 동작 원리는 3.2절에 설명하였다.

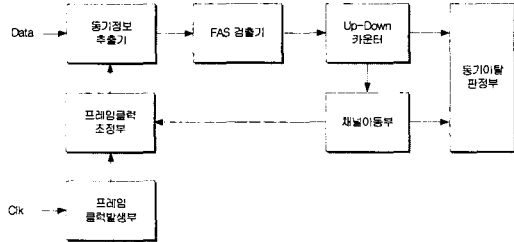


그림 7. 제안한 동기이탈 검출 기능 블록도

### 3.2 동작원리

제안한 동기이탈 검출 동작 원리를 살펴보면 그림 8과 같다. 먼저 데이터 수신시 시작되면 생성된 프레임 클럭을 통해 수신 데이터열에서 동기정보를 추출하고 FAS를 검출한다. FAS 검출기가 '0'일 경우에는 동기 검출 실패를 의미하기 때문에 Up-Down 카운터를 감소시킨다. 본 논문에서는 4비트 Up-Down 카운터를 사용하였으며, 초기 값으로 "0111"을 설정하였다. 이를 통해 그림 9.(c)와 같은 오동작을 해결할 수 있었다. FAS 검출시 한 비트의 '0'일 때마다 카운터의 값소가 이루어지며, 카운터 값이 "0000"이면 그 채널에서 FAS 패턴이 없는 경우이므로 채널을 이동하고 다시 이동된 채널에서 동기정보를 추출하여 FAS 검출을 계속 수행하게 된다. 512Kbps 전송속도로 데이터열을 수신할 경우에는 프레임 사이즈가 그림 2와 같이 16비트이기 때문에 총 채널수는 16개가 되며 마지막 채널은 16번째 채널을 의미한다. 마지막 채널까지(채널 이동 카운터 값 = "1111") 동기 검출에 실패할 경우에는 그림 8과 같이 동기이탈로 판정하게 된다.

FAS 검출시 동기 검출에 성공하여 FAS 검출 값이 '1'로 계속해서 출력될 경우에는 그 채널이 FAS 동기 채널임을 의미하며, 카운터의 증가는 연속된 '1'을 8번 수신할 때마다 카운터 값을 증가시킨다. 계속된 동기 검출 성공으로 카운터 값이 "1111"로 되었을 경우에는 초기 카운터 설정값 "0111"에서 다시 증가시킬 수 있도록 하였다. 본 논문에서 새로이 규정한 Up-Down 카운터 값은 "0000"일 경우

에는 동기이탈 상태이며, "0111"일 경우에는 동기 복원 상태이고, "1111"인 경우에는 동기획득 상태를 의미한다.

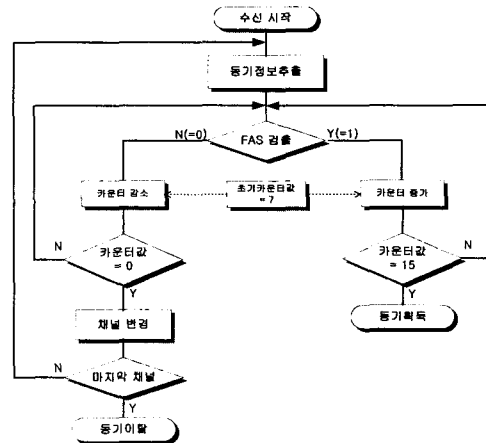


그림 8. 제안한 동기이탈 검출 절차

## IV. 시험결과

본 논문에서 제안한 동기이탈 검출 방법을 검증하기 위해 그림 7과 같은 기능 블록도를 VHDL로 회로 설계하였으며, Modelsim을 이용하여 기능 검증 시뮬레이션을 수행하였다. 시뮬레이션 수행은 그림 2와 같은 전송속도별로 FAS 동기 위치에 상관없이 동기이탈을 검출할 수 있는지를 확인하였으며, 모든 전송속도에서 동기이탈 검출 기능이 정상적으로 동작하는 것을 확인하였다. 시뮬레이션 수행의 편의를 위해 직병렬 변환기(Parallel to Serial Converter)를 추가로 설계하여 테스트 패턴 작성시 병렬 데이터열을 글상자와 같이 선언하여 활용하였다. 다음의 글상자는 수신 프레임의 마지막 채널(16번 채널)이 FAS 동기 채널인 경우에 사용된 테스트 패턴이다.

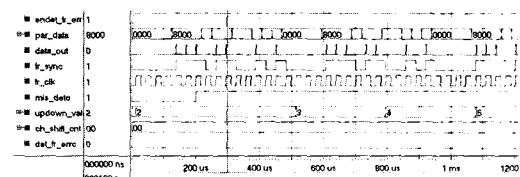
```
-- 512K(16 chs)
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
PAR_DATA <= "0000000000000000"; wait for CYCLE*32;
PAR_DATA <= "0000000000000001"; wait for CYCLE*32;
```

그림 9의 동기이탈 판정 결과는 프레임 사이즈가 16비트인 512Kbps 전송속도에서의 동기이탈 검출에 대한 것이다. 결과 파형 값은 hexa 값으로 표시하였으며, 표 1에 파형의 신호를 설명하였다.

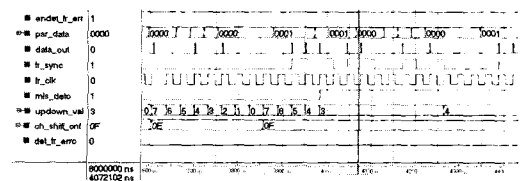
표 1. 결과 파형의 신호 설명

신 호 명	설 명
par_data	병렬 데이터열
data_out	P/S 변환한 직렬 데이터열
fr_sync	직렬 데이터열에서 프레임 클럭에 따라 동기정보를 추출한 값
fr_clk	프레임 클럭
mls_deto	FAS 검출 결과값('1'이 동기검출 성공)
updown_val	4비트 Up-Down 카운터 값으로 hexa 값으로 0에서 F까지 표시
ch_shift_cnt	채널 변경 카운터 값으로 카운터 값 만큼 프레임 클럭 이동
det_fr_errc	동기이탈 검출('1'이 동기이탈 검출)

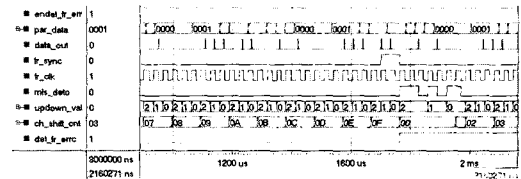
(a)는 프레임의 첫 비트에 FAS 동기 채널이 있을 경우 동기이탈을 판정한 결과 파형으로써, 채널 이동이 없기(="00") 동기를 검출하고 있음을 알 수 있다. (b)는 FAS 동기 채널이 프레임의 마지막 위치에 있을 경우 채널 이동 카운터 값이 "0F"까지 변경되었으며 이때 동기를 검출하고 있음을 보이고 있다. (c)는 2.2절에서 언급한 Up-Down 카운터의 초기 설정값을 "0010"으로 설정할 경우의 문제점을 시뮬레이션을 통해 나타낸 것이다. 프레임의 마지막 FAS 동기 채널의 동기 검출을 수행하지 못하고 채널 변경 카운터 값이 "0F"로 되어 동기이탈로 판정하는 오류가 있음을 보이고 있다. (d)는 수신 데이터열이 모두 '0'일 때 동기이탈 판정 결과를 살펴본 것으로 동기정보 추출값이 모두 '0'임을 확인할 수 있고 프레임의 모든 채널의 동기 검출을 수행한 후 동기이탈로 판정하고 있음을 보이고 있다.



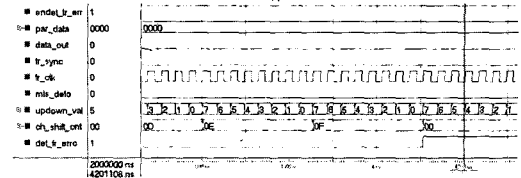
(a) 동기비트가 첫 번째 채널에 있을 경우



(b) 동기비트가 마지막 채널에 있을 경우



(c) Up-Down 카운터 초기값 "0010"에 의한 동기이탈 판정 오류



(d) 동기비트가 없을 경우 동기이탈로 판정하는 경우

그림 9. 동기 채널 위치에 따른 동기이탈 판정 결과

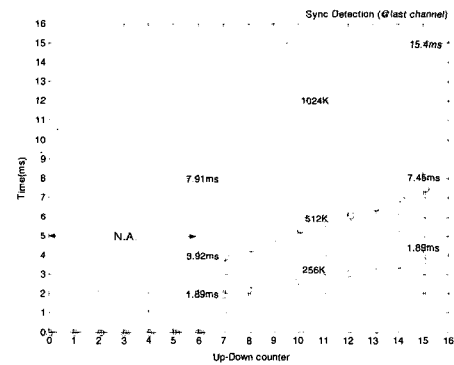


그림 10. Up-Down 카운터값에 의한 동기 검출 시간

그림 10은 제안한 동기이탈 검출 기능의 Up-Down 카운터의 초기 설정값을 결정하기 위해 256Kbps, 512Kbps, 1024Kbps 전송속도에 대해 Up-Down 카운터 값에 따라 동기 검출 시간을 측정한 결과이다. Up-Down 카운터 값을 7("0111")값으로 설정하여 사용할 경우 최단 시간에 동기 검출을 할 수 있음을 확인하였다.

### V. 결론

본 논문을 통해 EUROCOM 통신시스템에서 동기 검출 및 판정 방법을 제안하였으며, 수신 프레임에서 FAS 동기 채널 위치를 알지 못하는 상황에서도 동기이탈을 판정할 수 있는 방법을 새롭게 제안하였다. 이는 기존의 MLS 검출기의 문제점을 개선한 것이며, 단일 채널 상에서 동기이탈 판정 방법의 한계를 모든 프레임의 채널 상에서 동기이탈 검출이 가능하도록 확장한 것이다.

