

I. 서 론

멀티미디어 및 인터넷의 활용이 증가함에 차세대 이동 통신 시스템은 기존의 시스템에 비해서 극복해야 할 여러 가지 많은 기술들이 뒤따른다. 우선 대용량의 고속 데이터 전송이 가능해야 하는데, 차세대 OFDM용 광대역 무선 송신기의 경우 약 20 MHz 이상의 wide bandwidth를 가지며 특히 PAR(peak to average ratio)이 CDMA 방식보다 급격하게 높다. 이는 송수신단에 사용되는 고주파 부품의 특성에 따라 통신 시스템의 성능이 좌우되는 정도가 점점 심화되어감을 의미한다. 전력 증폭기는 이러한 이동 통신 시스템에서 가장 전력 소모가 많은 부품으로써 기존 기술을 사용하여 전력 효율을 상승시키는데 한계가 있다. 세계적으로 꾸준한 연구가 계속 되고 있으며 여러 아이디어가 발표되었으나 실제 구현에 있어서 애로 사항이 많아, 아직까지 획기적인 성능으로 확실히 시장을 선도할 기술이 나타나지 않고 있다.

현재 전력 증폭 회로에는 LDMOS, InGaP HBT, CMOS, SiGe HBT 등의 첨단 소자들이 경쟁적으로 사용되고 있다. 기지국용 전력 소자로는 최근 온도 보상 바이어스가 필요 없는 LDMOS가 사용되고 있고, 선형성을 위하여 feedforward, 디지털 predistorter 등이 적극적으로 이용되고 있다. 단말기용으로는 단일 전원 공급이 가능하고, GaAs MESFET이나 HEMT에 비해 turn-on 전압이 균일한 HBT가 많이 사용되고 있다. 특히, 고주파 송신 모듈을 전체적으로 최적화 하려면 전력 증폭기에 바이어스, 선형화 회로

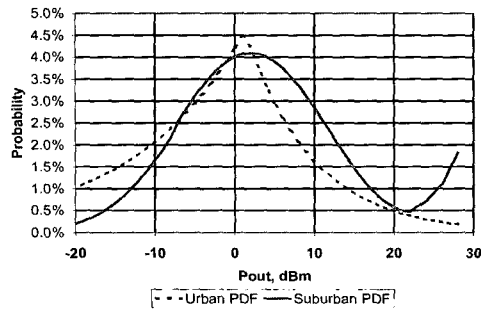
등의 여러 가지 제어 회로들이 집적되어야 하기 때문에 SiGe BiCMOS, LDMOS가 매우 유망할 것으로 기대된다.

현재 국내에는 1~5 GHz 전력 증폭기에 적합한 공정 기술을 갖고 있는 InGaP/GaAs HBT 파운드리 업체가 서비스를 시작해서 해외에만 의존하던 HBT foundry를 대체할 수 있게 되었다. 미국과 대만에 몇몇 HBT 파운드리 회사가 있고, 미국의 몇 RF 칩 개발 회사에서 802.11a, b, g의 저출력 실내용 전력 증폭기 칩을 출시해 놓은 상황이다. 아직 좋은 성능이 보고되고 있지 않지만, CMOS 전력 증폭기에도 많은 사람들이 연구하고 있고, 여러 가지 시도가 되고 있다.

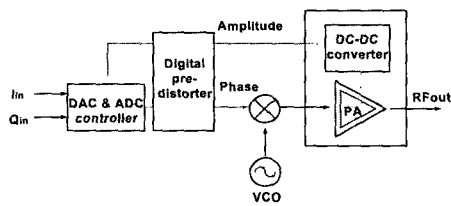
차세대 이동 통신을 위한 전력 증폭기는 매우 좋은 선형성과 고효율이 동시에 요구된다. 이는 'class A'와 같이 평범한 전력 증폭기를 사용으로는 급격히 변화하는 시스템 규격을 더 이상 만족시킬 수 없음을 의미한다. 이에 본 고에서 차세대 전력 증폭기의 선형성 개선 및 효율 증대를 위한 최근 연구 경향에 대해 살펴보고, 향후 증폭기의 구조 및 성능의 발전 방향을 예상해 보았다.

II. 본론 - 현재의 전력 증폭기 기술

국내 이동 통신 서비스의 표준인 CDMA 시스템의 단말기에 사용되는 전력 증폭기는 그 특성상 높은 전력 효율을 가지는 것이 유리하다. 일반적으로 널리 사용되는 class AB 전력 증폭기의 경우 최대 출력 전력 근방에서 가장 높은 효율을 보이지만, [그림



[그림 1] IS-95 urban, suburban 환경에서 전력 증폭기의 probability distribution function(PDF)

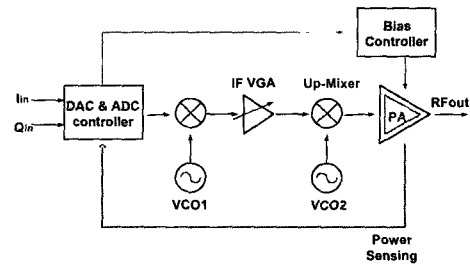


[그림 2] 새로운 단말기용 송신단 구조

1]에 보는 것처럼 probability distribution function (PDF) 값은 비교적 낮다^[1]. 반면 최대 전력 지점보다 약 25 dB 정도 물러난 지점에서 확률이 최대값을 형성하고 있다. 따라서 이 영역의 효율을 높일 수 있는 회로를 구성하는 것이 전체 시스템 효율을 상승하는데 더욱 효과적이라 할 수 있다.

송신단에서 가장 큰 전력을 소모하는 전력 증폭기의 효율을 개선하기 위해서는 증폭기 자체 연구만으로는 효율 향상에 한계가 있다. 따라서 현재 전력 증폭기 연구는 송신단 전체 구조를 획기적으로 바꾸는 방향으로 진행되고 있다. [그림 2]처럼 Digital pre-distorter, DC-DC converter를 사용한 구조에 고효율 스위칭 전력 증폭기를 적용한 새로운 구조의 모듈을 구현하면 기존 방법보다 월등히 뛰어난 효율과 선형성을 얻을 수 있다^[2].

2-1 Smart PA

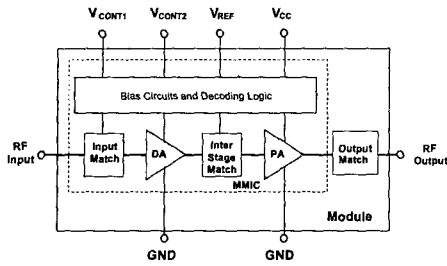


[그림 3] 현재의 Smart PA 송신부

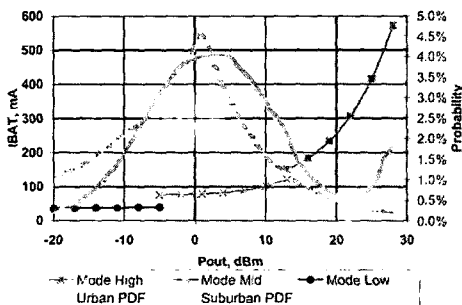
현재 시장에서 지배적으로 사용되는 기술은 스마트 전력 증폭기로, 출력에 따라 바이어스 바이어스 포인트를 바꾸어 효율을 향상시키는 기술인데, 평균 효율은 5%에 지나지 않고 효율 향상도 미미하다. [그림 3]은 스마트 전력 증폭기가 송신부에 사용되었을 경우 구조를 나타낸 것이다. 먼저 전력 증폭기에서 검출된 출력 전력이 수치화되어 베이스밴드 제어부에 입력된다. 제어부는 이 신호를 세분화하여 미리 정해진 규칙에 따라 바이어스 콘트롤러가 취해야 하는 상태를 결정하는 신호를 내준다. 최종적으로 바이어스 콘트롤러는 출력 전력 변화에 따라 증폭기의 바이어스 전류 레벨이 세분화되어 낮은 전력에서는 낮은 전류로, 높은 전력에서는 높은 전류로 동작하도록 유도하는 것이 일반적인 스마트 전력 증폭기의 구조이다.

2-1-1 바이어스 전류 변화

바이어스 전류 변화 방식의 예로써 [그림 4]는 Conexant 사의 System Smart PA를 나타낸 것으로서, 2개의 제어 입력을 이용하여 최대 네 단계의 동작 전류를 선택할 수 있다. 전력 증폭 회로 외에 제어 로직 회로가 포함되어 있어 특정 전력 레벨에서 동작 전류가 스위칭 된다. 최대 동작 전류 모드에서는 일반 전력 증폭기로 동작하면서 100 mA 정도의 전류를 소모하는 반면, 최소 전류 모드에서는 33 mA 까지 감소되어 전력 효율을 상승시키는 역할을 한



[그림 4] Conexant사의 System Smart PA

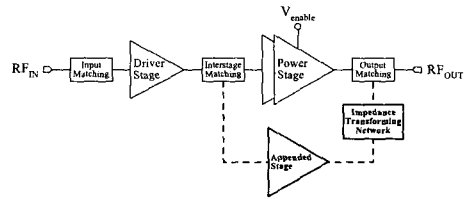


[그림 5] Cellular band System Smart PA의 출력 전력에 따른 바이어스 전류 스위칭

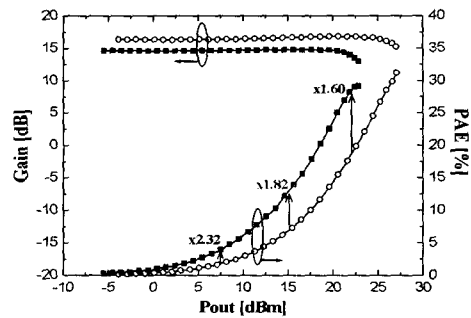
다. [그림 5]는 cellular band의 System Smart PA가 세 단계 전력 범위에서 동작 전류 스위칭할 경우 전류 소모를 나타낸 것이다^[1]. 이로 인해 대략 20~30% 정도의 평균 전류 감소 효과를 얻을 수 있다.

2-1-2 On-chip Appended Power Amplifier

[그림 6]에서처럼 일반적인 전력 증폭기 구조에서 출력단에 저전력 영역에서만 단독으로 동작하는 단을 추가하여 효율 상승을 이루는 방식으로 스마트 전력 증폭기를 구성하는 것이 가능하다^[3]. 부가단은 파워단과 병렬로 연결되어 있으며 파워단과 다른 소자로 구성되지만, Impedance Transforming Network를 통하여 하나의 Output Matching 회로만을 사용하게 전체 회로가 구성된다. 이렇게 함으로써 사용되는 element의 수를 최소화할 수 있는 장점이 있다. 저전력 영역



[그림 6] Appended power amplifier의 구조

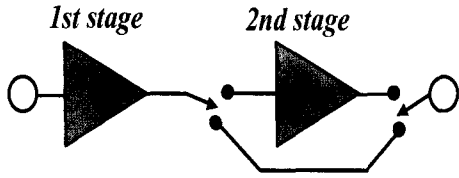


[그림 7] 1.95 GHz에서 측정된 효율 및 이득

에서는 부가단이 단독으로 동작하기 때문에 소모 전류를 급격히 낮출 수 있어 효율 상승이 가능하다. [그림 7]은 1.95 GHz에서 두 동작 모드에서 측정된 효율을 나타낸 것이다. 넓은 출력 전력 영역에 걸쳐 효율 상승이 관찰되었으며 특히 2.7 dBm에서 상승도가 최대가 되었다. 이는 CDMA 환경에서 probability density 특성이 이 지점에서 역시 최대가 되기 때문에 평균 효율을 최대화하는데 더욱 유리하다. 그 결과, 평균 효율은 2.22배 상승하여 CDMA 시스템의 전체 동작 가능 시간을 급격히 상승시킬 것으로 기대된다. 저전력 모드에서 고전력 모드로의 전환은 파워단에 바이어스 전류를 공급 여부를 결정하는 V_{enable} 단자를 ON/OFF 함으로써 이루어진다.

2-1-3 Switched Gain Stage

저전력 영역에서 효율을 증대하기 위해서 RF 신호 스윙을 서플라이 전압에 비해 상대적으로 크게

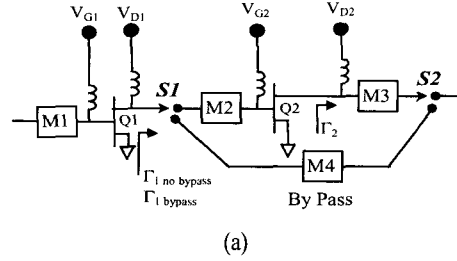


[그림 8] Switched gain stage

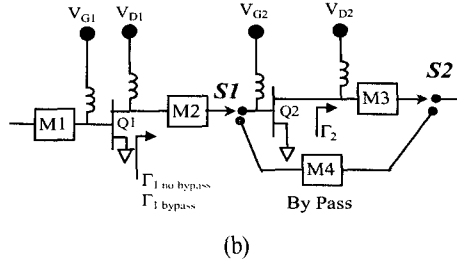
하는 것이 필요하다. [그림 8]에서처럼 switched gain stage 개념을^[4] 사용하여 최종단을 바이패스하는 것이 한가지 방법이 될 수 있다. 저전력 영역에서는 첫 번째 단을 통해서 증폭이 이루어지고 신호는 직접 출력과 연결된다. 반면 고전력 영역에서는 모든 단을 통해서 증폭이 이루어지기 때문에 최종단에 사용된 소자가 충분한 전력을 공급할 수 있을 것이다. 저전력 바이패스 모드에서는 두 번째 단이 사용되지 않기 때문에 전체 전류 소모를 줄일 수 있어 효율 상승을 기대할 수 있다. 또한 이 모드에서 필요에 따라 첫 번째 단의 로드 저항 값을 더 높은 효율이 얻어지는 쪽으로 변화할 수도 있다.

첫 번째 단의 경우, 바이패스 모드에서 동작이 가능하도록 추가 회로를 사용하여 매칭 회로를 구성하는 것이 필요하다. 또한 바이패스를 위해서 필요한 스위치를 최종단 매칭 회로의 어느 쪽에 위치할 것인지에 대한 최적화가 필요하다. 스위치를 부가적으로 사용하기 때문에 발생하는 감쇄와 interstage, output 매칭 회로의 어느 쪽에 스위치를 부착하는 것이 전체 회로를 최적화할 것인지 여부가 switched gain stage를 구현하는 데 따르는 가장 큰 쟁점이다. 이에 따라 FET를 사용하는 경우 [그림 9]와 같이 세 종류의 구조가 가능하다.

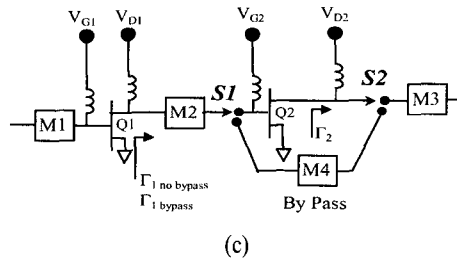
[그림 10]은 835 MHz 대역에서 3.5 V 배터리 전압에서 동작하는 IS-95 CDMA 전력 증폭기가 바이패스 모드와 직접 모드에서 동작했을 때 효율을 나타낸 것이다^[5]. 출력 전력이 18.5 dBm이 되는 지점에서 바이패스 모드로 전환하는 경우 평균 효율은 디



(a)

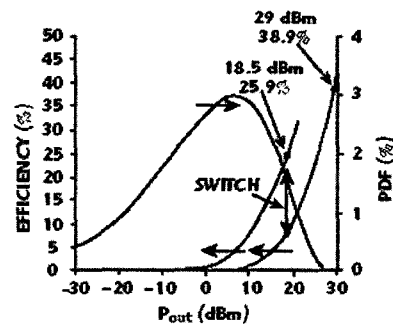


(b)



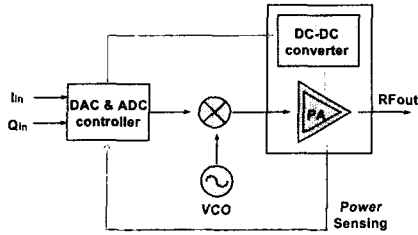
(c)

[그림 9] 스위치의 위치에 따라 서로 다른 구조



[그림 10] Switched gain stage 증폭기의 모드에 따른 전력 효율

렉트 모드에 비해 2.07 %에서 9.50 %로 4.5배 증가한



[그림 11] DC-DC Converter를 이용한 송신부

다. 전력 이득은 25 dB에서 13 dB로 급격히 감소하지만 단말기 내부의 power control을 통해 보완할 수 있다.

2-2 Dynamic Supply Voltage(DSV) PA

현재 연구가 활발히 진행 중인 Dynamic Supply Voltage를 사용한 구조는 Smart PA에 비해 좀 더 높은 효율을 얻을 수 있을 것으로 예상되고 있다. 이는 [그림 11]에서처럼 출력 RF 전력의 크기에 따라 전력 증폭 소자의 출력 바이어스를 미리 정해진 규칙에 따라 변화시키는 방법이다.

전력 증폭기의 효율은 RF 신호의 순간 최대 전압 (V_O)과 직류 서플라이 전압(V_{PA}) 간의 비율에 크게 의존한다. 식 (1)은 class A 전력 증폭기에서 관계식을 나타낸다.

$$\eta = \frac{(V_O/V_{PA})^2}{2} \quad (1)$$

일반적으로 증폭기 설계 시 최대 전력 지점에 맞추어 로드라인을 설정하기 때문에, 저전력 영역에서 순간 RF 전압은 서플라이 전압에 비해 매우 작아 효율이 작다. 만약 출력 전력의 감소에 맞추어 서플라이 전압을 감소시킨다면 이 비율을 높일 수 있어 저전력 영역의 효율이 증대될 것이다. 서플라이 전압 변화 회로를 구성하기 위해서 buck-type DC-DC 컨버터를 사용하여 배터리 전압과(V_{BAT}) 같거나 낮은 전압을 증폭기의 출력 전압에(V_{PA}) 인가하는 것이 일반

적이다. 이 경우 전력 증폭기의 효율이 상승하는 것 외에 배터리로부터 끌어내는 전류(I_{BAT})가 줄어들어 평균 전류 소모가 감소한다.

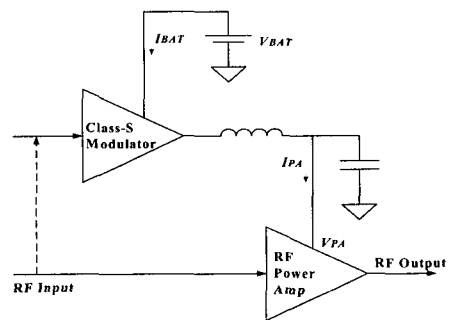
$$I_{BAT} = I_{PA} \cdot \frac{V_{PA}}{V_{BAT}} \cdot \frac{1}{Eff} \quad (2)$$

2-2-1 Envelope Following Technique

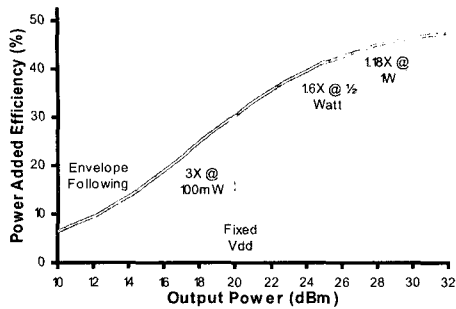
Envelope Following(EF) 증폭기^[6]는 입력 envelope 신호의 크기에 따라 순간적으로 서플라이 전압을 바꾸어 증폭 회로가 항상 포화 상태에서 동작하게 한다. 이로 인해 식 (1)에서처럼 V_O 와 V_{PA} 의 비가 증대되어 효율이 상승한다. 이때 증폭기가 소모하는 전력은 I_{PA} 와 V_{PA} 의 평균값을 곱한 것으로 고정된 V_{BAT} 를 사용하는 것보다 훨씬 작아질 수 있다. 또한 증폭기가 선형적으로 동작하기 위해서는 amplitude($E(t)$)와 phase($\Phi(t)$) 모두 다음의 선형 관계식을 만족해야 한다. 따라서 서플라이 전압 변화에 따라 정해진 선형성이 보장되는지 반드시 확인해야 한다.

$$\begin{aligned} \Phi_{out}(t) &= \Phi_{in}(t) + \Phi_{offset} \\ \frac{E_{out}(t)}{E_{in}(t)} &= G \end{aligned} \quad (3)$$

Si CMOS 공정을 이용하여 5 MHz로 스위칭하는 buck-type DC-DC 컨버터 형태로 class-S modulator를



[그림 12] 서플라이 전압 변화 방식을 이용한 전력 증폭기

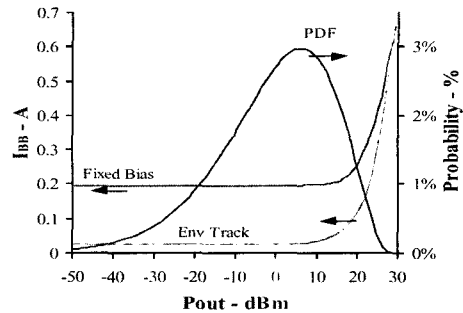


[그림 13] IS-136 신호를 입력한 후 EF 증폭기의 효율 개선

구현한 것에 따르면 3.5 V에서 1 A까지 약 90 %의 효율 특성이 보고되었다. [그림 13]은 IS-136 신호를 입력하여 EF 기술을 적용하기 전과 후의 효율을 나타낸 것이다. 저전력 영역으로 갈수록 EF 기술에 의한 효율 상승이 두드러져 최대 출력 지점에서 약 10 dB 후퇴한 지점에서 효율이 3배 상승하였다. DC-DC 컨버터에서 발생하는 스위칭 노이즈는 L/C 필터에 의해 감쇄된다.

2-2-2 Envelope Tracking Technique

앞 절의 EF 기술은 입력 envelope 신호의 변화에 반응하여 서플라이 전압을 제어할 수 있는 빠른 class-S modulator를 필요로 하기 때문에 대역폭이 넓은 신호가 입력될 경우 문제를 야기할 가능성이 있다. 대역폭이 넓어지면 스위칭 주파수를 높여야 하는데 이는 스위칭에 따른 dynamic loss를 증가시켜 class-S modulator의 변환 효율을 떨어뜨린다. 따라서 EF 기술은 IS-95 CDMA처럼 대역폭이 넓은 시스템에 적용되기 어렵다. CDMA 시스템은 휴대 단말기의 출력 전력을 조절하여 기지국에 도달하는 전력이 시간에 따라 균일하게 만드는 power control을 수행한다. 이는 단말기와 기지국 사이의 거리 및 환경적인 영향을 보상하기 위한 것으로서 시스템의 신호 대역폭보다 훨씬 느린 속도로 이루어지며, 이 결과 전력 증



[그림 14] IS-95 CDMA 신호를 입력한 후 ET 증폭기의 배터리 전류 감소

폭기는 최대 전력에서 많이 후퇴한 저전력 영역에서 주로 동작한다.

Envelope Tracking(ET) 기술^[7]은 EF 기술과 달리 입력 신호의 순간적인 크기가 아닌 RMS 크기에 반응하여 서플라이 전압을 조절하는 방식으로, 증폭기의 동작이 대부분 저전력 영역에서 이루어지는 상황에 매우 적합하다. 증폭 회로의 바이어스 전압은 DC-DC 컨버터에 의해 배터리 전압보다 낮춰진다. EF 기술과 유사하게 I_{PA} 와 V_{PA} 의 평균값의 곱으로 전력 소모가 나타내어지므로 효율 상승을 기대할 수 있다. [그림 14]는 IS-95 CDMA 신호를 인가한 후 ET 기술에 의해 배터리 전류가 감소한 것을 나타낸 것으로, PDF가 최대값을 형성하는 지점에서 1/4 이하로 감소하였다. 고정 서플라이 전압을 사용하는 경우와 비교하여 평균 전류 소모는 199 mA에서 39 mA로 감소하였으며, 이에 따라 평균 효율은 2.2 %에서 11.4 %로 상승하였다.

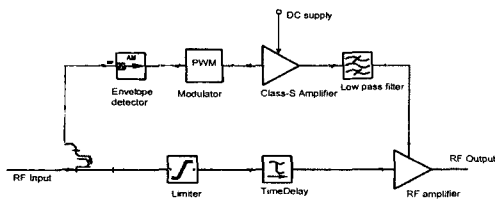
2-2-3 Improve Kahn Transmitter Architecture

전력 증폭기는 스위치처럼 포화 영역에서 동작하는 것이 고효율 특성을 얻는데 가장 유리하다. 이러한 종류인 Class-S 증폭기를 거친 디지털 신호는 필터링을 거치면 원래 RF 신호를 복원하는 것이 가능하기 때문에, 선형성을 해치지 않으면서 고효율 동

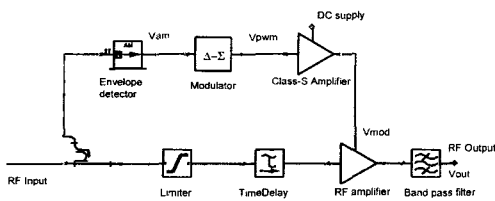
작이 가능한 해결책이 될 수 있다. Class-S 증폭기를 사용하는 구조 중 Kahn transmitter는 Envelope Elimination and Restoration(EER) 방식을 사용한다. 먼저 signal carrier와 envelope 신호를 분리한 후, envelope 신호는 저주파 고효율 증폭기에 의해 증폭된다. 최종 signal carrier 증폭기는 모듈레이터로 동작하면서 분리된 envelope 신호를 signal carrier와 재결합하는 작용을 한다. 따라서 전체 시스템의 효율은 envelope 신호를 담당하는 증폭기의 효율에 의해 결정된다.

개선된 Kahn transmitter는 Delta-Sigma 모듈레이터를 사용하여 envelope 신호를 디지털화 한 후 Class-S 증폭기로 증폭한다. 기존의 Kahn transmitter에서는 [그림 15]와 같이 signal carrier와 결합하기 전에 low-pass filter를 거치게 했으나, 개선된 transmitter에서는 [그림 16]과 같이 디지털화 된 envelope 신호를 RF 증폭기를 통해 직접 signal carrier와 결합한다. 그 결과 출력 신호가 최종 RF 증폭기에서 발생할 수 있는 비선형성의 영향을 받지 않는다. 최종 RF 신호는 band-pass filter를 거쳐서 복원된다.

변형된 Kahn transmitter는 현재까지 구현된 바 없



[그림 15] 기존의 Kahn transmitter

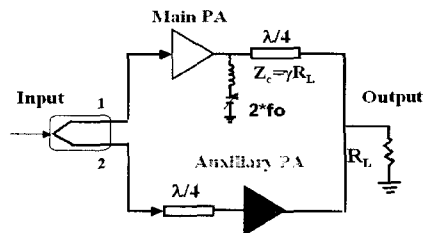


[그림 16] 개선된 Kahn transmitter

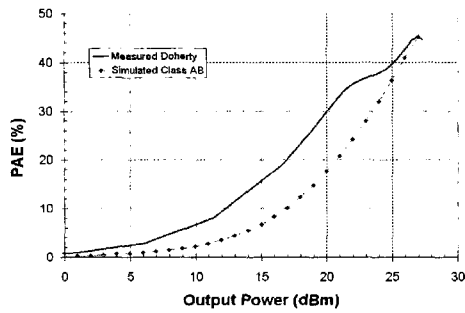
지만 시뮬레이션을 통해 그 가능성이 입증되고 있다^[8]. 1 GHz에서 기존 Kahn transmitter보다 1.5배 이상 효율이 향상되어 92 %의 효율을 가지며, 이와 더불어 Delta-Sigma 모듈레이터를 사용함으로써 선형성 역시 개선된 결과가 보고되었다.

2-3 Doherty Amplifier with DSP Control

Doherty 증폭기[그림 17]는 주증폭기와 보조 증폭기가 $\lambda/4$ -transformer에 의해 출력이 결합된 형태로 구성되어 있다^[9]. 출력에서 양 경로간 시간 지연을 맞추기 위해 보조 증폭기 입력단에 $\lambda/4$ -transformer가 추가되어 있다. 통상적으로 주증폭기는 class B에, 보조 증폭기는 class C에 동작점이 잡혀 있으며 주증폭기가 포화되는 시점에 보조 증폭기가 동작하기 시작한다. 보조 증폭기가 전류를 흐름에 따라 주증폭기가 보는 임피던스 값이 줄어드는데, 이런 load-pulling 효과에 의해 주증폭기는 더욱더 많은 전류를 공급한다. 이는 주증폭기가 계속해서 포화 상태에서 동작하는 것을 의미하며, 이런 포화 상태는 보조 증폭기가 포화될 때까지 계속 유지된다. 결국 모든 증폭기가 포화되기 전부터 주증폭기가 포화 상태에서 동작하기 때문에 저전력 영역에서 효율 상승이 가능하다. 그 결과 [그림 18]에서 보인 것처럼 일반적인 Class AB 증폭기에 비해 6 dB 만큼 변하는 출력 전력 영역에서 높은 효율(> 35 %) 특성을 보인다. 또한 매우 넓은 영역에 걸쳐 효율 상승이 일어나는 것을 확인할 수 있다.



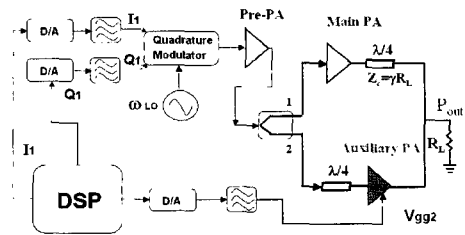
[그림 17] Doherty 증폭기의 구조



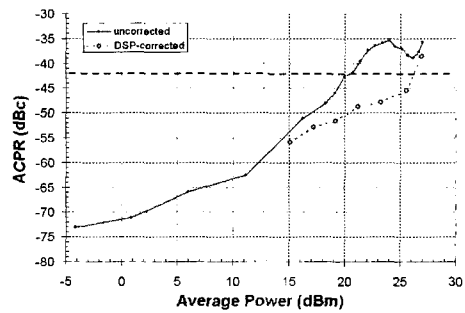
[그림 18] MESFET으로 구성된 Doherty 증폭기와 Class AB 증폭기의 효율 특성 비교

이와 같이 Doherty 증폭기는 넓은 출력 전력 범위에서 높은 효율 특성을 가지고 있기 때문에 최근 들어 새로운 관심을 받고 있다. 이 특징은 출력 전력이 20 dB 이상 변하는 이동 통신 분야에서 더욱 유리하게 작용한다. 하지만 Doherty 증폭기는 출력 전력 변화에 따라 변하는 전력 이득과 위상 전이 특성 때문에 ACPR이 좋지 않다는 단점이 있다.

Digital Signal Processing(DSP)은 주로 기지국 전력 증폭기의 선형성을 개선시키기 위해 베이스밴드에서 전치 왜곡된 디지털 신호를 공급하기 위해 주로 사용되었다. 이러한 DSP가 Doherty 증폭기의 이득 및 위상 특성을 보상하여 선형성을 개선하기 위한 목적으로 사용된다면, [그림 19]처럼 구성하여 증폭 소자의 게이트 바이어스를 제어하게 할 수 있다. 이때 DSP는 V_{gg2} 를 발생하여 auxiliary 증폭기의 게이트 전압에 공급한다^[9].



[그림 19] DSP 제어를 포함한 Doherty 증폭기



[그림 20] DSP 제어 전후 ACPR 특성 비교

Auxiliary 증폭기의 게이트 전압인 V_{gg2} 가 감소하면 고전력 영역에서 전체 시스템의 효율이 상승하는 반면, 전력 이득은 감소한다. 따라서, 입력 envelope 신호에 따라 V_{gg2} 를 동적으로 변화해 준다면 전력 이득을 평탄하게 만들 수 있어 Doherty 증폭기의 선형성을 개선할 뿐 아니라 효율이 최적화되는 바이어스 조건을 공급할 수 있다. 또한 이 시스템은 DSP를 사용하기 때문에 베이스밴드 대역에서 위상 전치 왜곡이 가능하다는 장점이 있다.

[그림 20]은 DSP 제어 전후의 ACPR 특성을 비교한 것으로, DSP 제어 후 더 큰 출력 전력 레벨에서 ACPR 사양을 만족하고 있다. 이는 게이트 전압이 전력 이득 특성을 보정하여 선형성을 향상하였기 때문이며, 그 결과 증폭기의 효율 역시 상승하였다.

2-4 Digital Predistorter

현재 기지국에서 시도되고 있는 Digital predistortion을 단말기용으로 적용하여 스위칭 전력 증폭기로 선형성을 얻을 수 있다면 현재 HBT 선형 증폭기에서 CMOS 스위칭 전력 증폭기로 옮겨갈 수 있는 기반을 마련할 수 있게 된다. 현재 사용되는 전력 증폭기용 DC-DC converter는 비교적 느린 속도로 평균 전력을 바꾸기 위해 사용되나, envelope을 따라갈 정도의 스피드로 동작시킬 수 있다면 효율과 선형성을 모두 해결할 수 있게 된다.

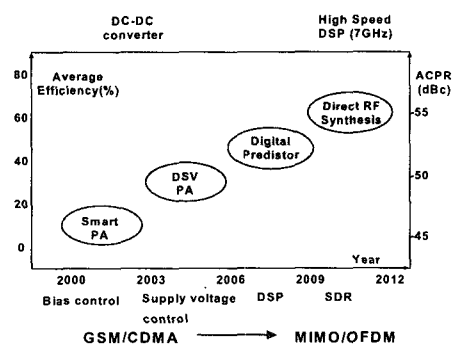
Digital predistortion은 크게 복소 mapping^[10]과 복소 이득 방식^[11]이 있다. 복소 mapping 방법은 입력 신호의 이전 predistortion 값이 LTU(look-up table)에 복소 값으로 저장되고 이를 이용하여 입력된 신호에 대한 predistortion을 수행한다. 복소 mapping 방식은 LTU에 저장되는 인덱스가 복소 값이기 때문에 메모리 크기가 커지고, 수렴 속도도 느린 단점을 갖는다. 복소 이득 방식은 입력 신호에 전력 증폭기 응답의 역수와 입력 크기의 함수로 나타내어지는 복소 이득이 곱해져서 predistortion을 수행하게 된다. 복소 이득 방식은 LTU에 복소 값의 크기만이 저장되기 때문에 메모리 크기도 작아지고 수렴 속도도 mapping 방식에 비해 빠르다. 기존의 기지국에 적용된 digital predistortion 기술은 전력 증폭기의 가격 경쟁력 측면이나 효율면에서 장점이 있다. 이를 단말기에 적용하게 되면 디지털 입력으로 시스템 구성이 간단해질 수 있어 저비용대의 이동통신 시스템 개발이 가능해지고 기존에 비해 대용량의 데이터 전송을 더 효율적으로 수행할 수 있다. 또한 기지국용은 multi-carrier signal을 고려하여 전력 증폭기를 설계해야 하지만, 단말기 부분에서는 single-carrier signal만 고려하므로 더 단순화시켜 생각할 수 있다. 그러나 기존의 기지국에 쓰이는 기술을 단말기에 그대로 적용하기에는 무리가 있다. 증폭기 출력 신호가 입력 베이스밴드로 되먹임되어야 하는 feedback loop가 형성되어 시스템의 복잡도, 크기, 가격 측면에서 문제가 생기기 때문이다. 그러므로 digital predistortion 기술을 단말기에 적용하기 위해서 대신호 입력에 따른 전력 증폭기의 비선형성을 분석하여 그와 상응된 특성을 가지면서 feedback이 없는 보다 간단한 구조를 연구해야 한다. 또한 다양한 알고리즘을 적용하여 각기 서로 다른 표준안의 신호 특성에 최적화된 것을 찾아내는 연구가 필수적이라 예상된다.

III. 결론 - 미래의 전력 증폭기 기술

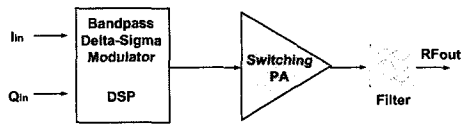
송신부는 통신 시스템의 성능에 크게 영향을 미칠 뿐만 아니라, 전력 소모가 가장 큰 부분이므로 축전지의 크기를 결정하고 사용 시간을 결정한다. 특히 디지털 모듈레이션을 이용하는 PCS, IMT-2000, EDGE, WLAN 등에서는 전력 증폭기의 효율성과 선형성이 큰 문제가 되므로, 여러 가지 차세대 지능형 고주파 송신 모듈이 제안되고 있다. 이들은 송신부의 고주파 전력 모듈과 I/Q 신호 정보를 포괄적으로 이용하여, 시스템의 성능을 전체적으로 개선시키는 방법으로서 차세대 무선통신 시스템 구현의 핵심 기술이 될 것이다.

일반적인 무선통신 고주파 송신 모듈은 독립된 I/Q 신호 모듈레이션단의 출력이 독립된 고주파 전력 증폭단의 입력으로 연결되어 있어 두 단 사이에는 신호의 입출력을 제외한 어떤 정보도 주고받지 않는다. 그러나 최근에는 I/Q 단에서 출력의 정보를 (포락선 신호 크기) 미리 예측할 수 있어서 이 정보를 이용하여 전력 증폭단의 효율과 선형성을 획기적으로 높일 수 있는 창의적인 방법들이 제안되고 있다. 즉, 디지털 단에서의 DSP 정보를 이용하여 RF 단을 제어하는 방법, 디지털 제어를 통한 송신부 전체를 최적화하려는 동향이 일고 있다.

이러한 동향에 발맞추어 향후 전력 증폭기 구조 기술은 저전력 고속 통신을 위하여 [그림 21]에서처럼 계속 발전할 것이다. 현재 게이트나 베이스 바이어스



[그림 21] 전력 증폭기 구조 및 성능 발전 예상도



[그림 22] Direct RF Synthesizer 송신부(one chip)

전압을 출력 전력의 크기에 따라서 바꾸는 스마트 전력 증폭기가 주종을 이루고 있으나, DC-DC 변환기를 사용하여 공급 전압을 바꾸는 Dynamic Supply Voltage(DSV) 방식과, 디지털 I/Q 신호의 정보를 이용하는 디지털 전치 왜곡기를 두어서 전력 증폭기의 비선형성을 효과적으로 선형화 하는 Digital Predistorter 방식이 조만간 상용화 될 전망이다. 궁극적으로 DSP 속도가 획기적으로 빨라지면 [그림 22]에서 처럼 전력 증폭기단에서 직접 고주파를 발생하는 Direct RF Synthesis 방식으로 발전될 것이며, 이런 일련의 과정을 거쳐 Software Defined Radio(SDR) 등의 제4세대 통신 기술이 가능하게 될 것이다.

지금까지 살펴본 바와 같이 차세대 지능형 송신부 구조를 예측하고 여기에 필요한 집적 회로의 칩셋을 개발하는 것은 매우 중요한 일이다. 송신부 구조는 디지털 제어부뿐만 아니라 MMIC 칩셋 및 RF 부품들의 사양을 결정하기 때문이다. 빠른 속도로 발전하는 차세대 송신부 구조에 대비하기 위해 전력 증폭기 등 단말기 부품의 개발이 기술 경쟁력의 확보가 시급한 일임은 매우 분명하다. 특히, 고주파 부품은 우리나라 내수 시장이 세계적이기 때문에 전력 증폭기 연구가 지능형 송신 모듈에 대한 연구와 종합적이면서 집중적으로 이루어진다면 수년 내에 세계적인 표준과 산업 경쟁력으로 이어질 가능성이 크다.

참 고 문 헌

[1] Thomas Fowler, "Efficiency improvement techni-

ques at low power levels for linear CDMA and WCDMA power amplifiers", in *IEEE Radio Frequency Integrated Circuits Symp. Dig.*, pp. 41-44, 2002.

[2] Peter M. Asbeck, "Synergistic design of DSP and power amplifiers for wireless communications", *IEEE Trans. Microwave Theory Tech.*, vol. 49, pp. 2163-2169, Nov. 2001.

[3] Hyun-Min Park, Sang-Hoon Cheon, Jae-Woo Park, and Songcheol Hong, "Demonstration of on-chip appended power amplifier for improved efficiency at low power region", in *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 691-694, 2003.

[4] Joe Staudinger, "Stage bypassing in multi-stage PAs", *IEEE MTT-S Symposium Workshop on Efficiency & Linearity Enhancement Methods for Portable RF/MW Power Amplifier*, Jun. 2000.

[5] J. Staudinger, "Applying switched gain stage concepts to improve efficiency and linearity for mobile CDMA power amplification", *Microwave Journal*, pp. 152-162, Sep. 2000.

[6] J. Staudinger, "An overview of efficiency enhancements with application to linear handset power amplifiers", in *IEEE Radio Frequency Integrated Circuits Symp. Dig.*, pp. 45-48, 2002.

[7] J. Staudinger, "High efficiency CDMA RF power amplifier using dynamic envelope tracking technique", in *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 873-876, 2000.

[8] Yuanxun Wang, "An improved Kahn transmitter architecture based on delta-sigma modulation", in *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1327-1330, 2003.

[9] Yu Zhao et al., "Doherty amplifier with DSP control

to improve performance in CDMA operation", in *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 687-690, 2003.

[10] Y. Nagata, "Linear Amplification Technique for Digital Mobile Communications", *Proceedings IEEE Vehicular Technology Conference*, pp. 159-

164, 1989.

[11] A. A. M. Saleh, J. Salz, "Adaptive linearization of power amplification in digital radio systems", *Bell System Technical Journal*, vol. 62, no. 4, Apr. 1983.

≡ 필자소개 ≡

박 현 민



1976년 10월 1일생
1997년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
1999년 2월: 과학기술원 전기 및 전자공학과 (공학석사)
2003년 8월: 한국과학기술원 전자전산학과 (공학박사)

[주 관심분야] 전력증폭기 설계, 대신호 모델

홍 성 철



1959년 2월 19일생
1982년 2월: 서울대학교 전자공학과 (공학사)
1984년 2월: 서울대학교 전자공학과 (공학석사)
1989년 4월: University of Michigan 전자공학과 (공학박사)

1985년~1989년: Univ. of Michigan Research Assistant

1991년 8월~1992년 3월: University of Michigan Visiting Professor

[주 관심분야] 반도체소자 모델, MMIC 회로설계, 광소자 및 양자기능소자