

論文2003-40SD-10-9

MRAM의 Bit Line Sense Amplifier에 대한 연구

(Study of Bit Line Sense Amplifier for MRAM)

洪承均*, 金仁模**, 柳慧承***, 金壽遠****, 宋尙憲*

(Seung-kyun Hong, In-mo Kim, Hye-Seung Yu, Soo-Won Kim,
and Sang-Hun Song)

요약

본 논문에서는 MRAM에서 사용될 수 있는 새로운 Bit Line Sense Amplifier(BLSA)를 제안하였다. 기존의 BLSA는 기본적으로 Latch형 회로를 사용하여 Memory Cell로부터의 신호를 증폭한다. 제안된 BLSA는 Cross-coupled PMOS 트랜지스터를 사용하여 회로를 단순화하였으며, 기존 BLSA의 약 85% 정도의 작은 면적을 차지하면서도 시뮬레이션상에서는 같은 동작 속도를 보이고 있다.

Abstract

This paper proposes a new BLSA(Bit Line Sense Amplifier) for MRAM. Current BLSA employs a latch-type circuit to amplify a signal from the selected memory cell. The proposed BLSA simplifies the circuit by amplifying the signal using cross-coupled PMOS transistors. It shows the same operation speed as the latch-type BLSA in simulation and occupies only 85% of the area taken by the latch-type BLSA.

Keyword : MRAM, Sense Amplifier, MTJ

I. 서론

MRAM은 현재 연구 및 개발이 진행중인 비휘발성 메모리로서, 빠른 응답속도, 높은 집적도, 적은 전력소모 등의 특징을 가지고 있다^[1]. MRAM에 사용되는 소자로서 PSV(Pseudo Spin Valve), GMR(Giant Magneto-Resistance), SV(Spin Valve)등 여러 가지 소자들이

개발되었지만, 현재는 MTJ(Magnetic Tunnel Junction)를 이용하여 많은 연구가 이루어지고 있다^[2].

MRAM의 경우 DRAM과는 달리 MTJ의 자화 방향에 따라 나타나는 저항값(TMR)의 차이를 이용하여 Data를 저장하고 읽을 수 있다. DRAM의 경우에 BLSA의 입력, 즉 Bit Line에 나타나는 전압차는 100-200mV정도로 알려져 있지만^[3], MRAM의 경우에는 약 50-100mV 정도로 나타나게 된다^[4]. 다시 말해서 BLSA (Bit Line Sense Amplifier)의 입력단으로 들어오는 전압의 차이가 DRAM의 경우보다 더 작다. 그러므로 BLSA는 작은 전압차를 빠른 시간에 증폭할 수 있는 능력을 가져야 한다.

지금까지 발표된 MRAM 구조로는 여러 가지가 있으나 가장 대표적인 것은 두 개의 Cell을 이용하여 서로

* 正會員, ** 學生會員, 中央大學校 電子電氣工學部
(School of Electrical and Electronic Engineering,
ChungAng University)

**** 正會員, *** 學生會員, 高麗大學校 電子工學科.
(Dept. of Electronic Engineering, Korea University)

※ 이 논문은 한국과학재단 목적기초연구사업(R01-2001-00533)의 지원을 받아 이루어졌습니다.

接受日:2003年4月3日, 수정완료일:2003年9月23日

다른 정보를 저장하고 하나의 Cell을 Reference로 이용하는 Twin Cell(2T2MTJ) 구조^[5]와 Reference Generator를 따로 두는 1T1MTJ 구조^[6]이다. Twin Cell구조는 차지하는 면적이 큰 반면, 두 개의 MTJ가 항상 반대의 값을 저장하고 있기 때문에 Bit Line에 보내는 신호의 차이가 다른 구조보다 큰 이점이 있다. 이는 1T1MTJ구조보다 면적은 커지지만 동작 속도에서는 보다 빠르게 된다^[7]. 그러므로 메모리에서 셀 다음으로 많은 면적을 차지하는 BLSA의 면적을 가능한 줄임으로서 Twin Cell구조의 MRAM의 면적을 줄일 수가 있다. 이 논문에서는 Twin Cell 구조를 가지는 MRAM에서 기존의 BLSA보다 면적을 적게 차지하는 BLSA를 설계하고 그 성능을 비교하였다.

II. 기존의 Sense Amplifier

Twin Cell 구조에서의 BLSA는 <그림 1>과 같다^[1]. M1, M2, M4, M5가 Latch 구조로서 M6, M7의 Gate로 들어오는 입력을 증폭하여 출력단, 즉 Data Line으로 보내게 된다. M3와 M8은 Sense Amplifier의 동작을 제어하는 역할을 한다. sa_enable 가 HIGH가 되면 M8이 ON, M3가 OFF되어서 BLSA가 정상적으로 동작할

수 있도록 해준다. 반대로 LOW가 되면 M8은 OFF, M3는 ON이 되어서 양 출력단(Outa와 Outb)의 전압을 같게 해주는 역할을 하게 된다. M3가 없으면 입력이 없어도 출력단에는 서로 반대되는 값을 가지고 있게 된다. 이런 상태에서 M6, M7에 새로운 값이 들어오면 빠르게 출력값을 변화시킬 수 없기 때문에 M3를 이용하여 미리 두 출력단의 값을 같게 해주어 Sensing 속도를 빠르게 할 수 있다.

III. 제안한 Sense Amplifier

이 논문에서 제안하는 BLSA 회로는 <그림 2>와 같다. MTJ는 Bias 전압에 따라서 저항 특성이 변하는 성질을 가지고 있다^[8]. 그러므로 BLSA의 출력과 입력이 같은 노드에 연결되어 있으면, BLSA가 입력을 증폭하는 동안 Bit Line에 나타나는 전압변화 때문에 MTJ의 저항 특성이 변할 수 있다. 그러므로 입력과 출력을 다른 노드에 연결하여 BLSA에 의해서 MTJ가 영향을 받지 않도록 설계하였다.

Twin Cell구조에서의 BLSA는 Bit Line마다 한 개의 BLSA가 들어가야 하기 때문에 메모리에서 BLSA가 차지하는 전체 면적은 상당히 크고, 따라서 같은 성능

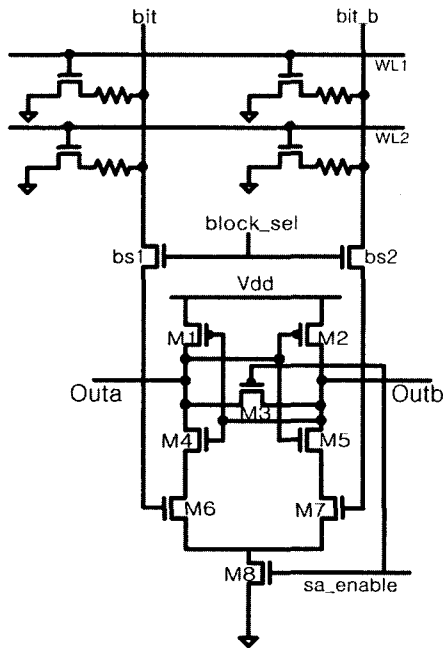


그림 1. BLSA 회로
Fig. 1. BLSA circuits.

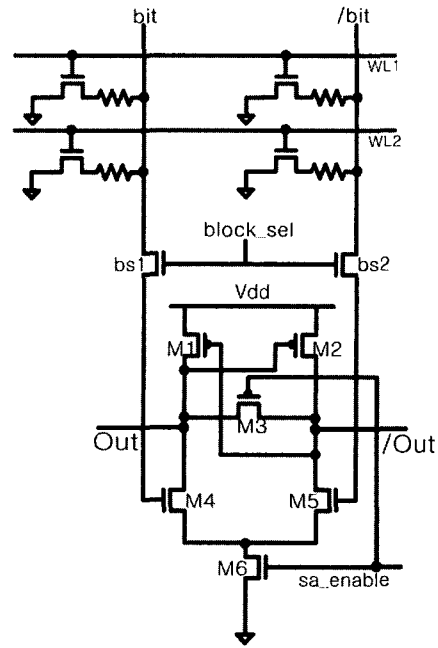


그림 2. 제안한 BLSA 회로
Fig. 2. Proposed BLSA circuit.

을 가질 경우 가능한 작은 면적을 가질수록 좋다. <그림 1>에서 M4, M5를 사용하지 않고 PMOS에 의해서만 증폭을 하도록 한 것이 <그림 2>와 같은 회로이다. M4, M5의 Gate에서 들어오는 입력의 차이가 Out과 /Out 노드에 전압 차를 가져오면 Cross-Coupled PMOS (M1, M2)에 의해 증폭하도록 하였다. M3, M6는 <그림 1>에서의 M3, M8과 같이 BLSA의 동작을 제어하는 역할을 한다.

IV. 시뮬레이션 결과

MRAM은 Back-end 공정에서 MTJ가 제조되기 때문에 DRAM과는 달리 Bit Line이 상위의 Metal Layer를 이용하게 된다^[7]. 그러므로 Bit Line과 Word Line에 발생하는 Coupling-Capacitance의 크기는 DRAM보다 작다. DRAM과 MRAM의 Coupling-Capacitance를 Elmasry의 공식^[9]에 의해 계산한 것을 <표 1>에 정리하였다. <표 1>에서 보는 바와 같이 DRAM의 경우 Bit Line과 Word Line의 Coupling Capacitance는 약 129.4 2aF이지만 MRAM의 경우는 약 11.51aF로 나타난다. DRAM에서 Word Line에 3.3V의 전압천이가 Coupling Capacitance에 의해서 Bit Line에 유기되는 전압이 50 ~ 120mV정도^[3] 알려져 있는 것을 고려하면 MRAM에서는 5 ~ 10mV가 된다.

표 1. Coupling-Capacitance 비교
Table 1. Comparison of Coupling-Capacitance.

	DRAM	MRAM
두께	0.6um	0.6um
폭	1um	1um
높이	0.6um	6.68um
Coupling-Capacitance	129.42aF	11.51aF

MTJ에서 RA(Resistance Area) Product의 Mismatch는 약 5%정도이다^[7]. MTJ 저항이 2k, 2.9k일 때 Mismatch에 의한 저항값의 변화는 100 - 150 정도이다. 그러므로 Read-Out시 10uA의 전류를 흘려줄 경우 1mV ~ 1.5mV 정도의 전압 변동이 나타나게 된다. Twin Cell에서 발생하는 전압의 차이가 약 50 ~ 100 mV정도이기 때문에 이러한 Noise가 BLSA에 미치는 영향은 상

당히 작다.

BLSA의 동작 속도에 가장 크게 영향을 미치는 부분은 출력단, 즉 Data Line에 존재하는 기생성분 Capacitance를 포함한 부하 Capacitance이다. 이 값은 Layout상 Data Line의 길이를 고려하여 0.1pF의 Capacitor를 연결하여 시뮬레이션하였다.

기존의 BLSA 회로를 HSPICE를 이용하여 시뮬레이션한 결과가 <그림 3>이다. Bit Line에 전압차가 발생하면 sa_enable 신호를 ON시켜서 BLSA를 작동시킨다. 그림에서 보는 바와 같이 3.3ns의 지연후에 full swing

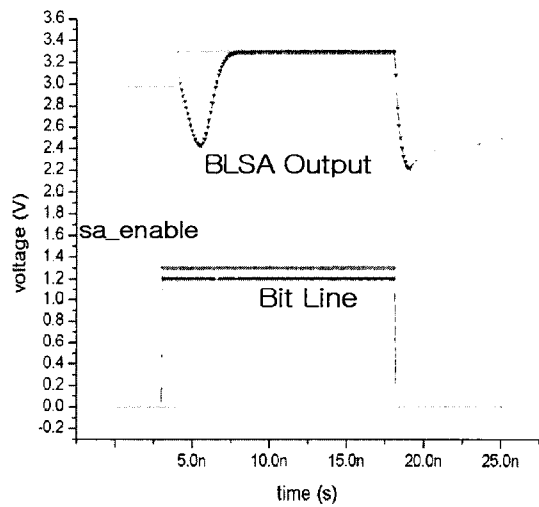


그림 3. 기존의 BLSA의 시뮬레이션 결과
Fig. 3. Simulation result of current BLSA.

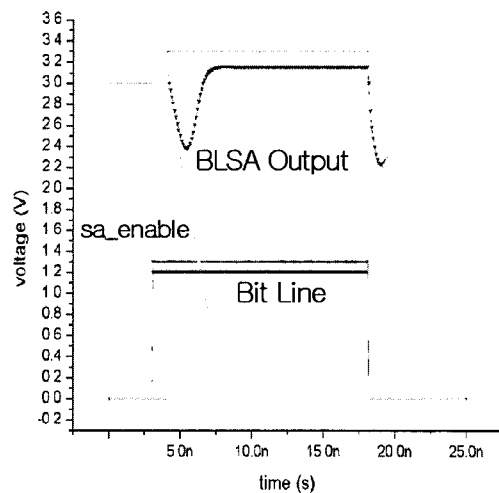


그림 4. 제안한 BLSA의 시뮬레이션 결과
Fig. 4. Simulation result of proposed BLSA.

의 90%에 도달하는 것을 볼 수 있다. 또한, 앞에서 설명한 바와 같이 sa_enable 신호가 OFF되었을 때 BLSA Output이 같은 전압으로 유지되는 것을 볼 수 있다.

<그림 4>는 제안한 BLSA를 시뮬레이션한 결과이다. <그림 3>과 동일한 조건에서 시뮬레이션 하였으며, 두 결과를 비교하면 같은 동작 속도를 보이는 것을 볼 수 있다. 제안한 BLSA의 경우 출력이 정확하게 0-VDD를 가지지 못하는 것 이외에는 동일한 동작을 하고 있다.

<그림 1>의 기존의 BLSA 회로에서 M4와 M5는 M1, M2와 함께 pull up 또는 pull down되었을 때 전류의 흐름을 끊어주는 역할을 한다. <그림 2>의 회로에서는 NMOS가 사용되지 않았기 때문에 pull up - pull down시에도 한쪽의 Branch를 통해서 전류가 흐르게 된다. 만약 Out 노드가 High인 상태라면 M4는 saturation 영역에서 동작하게 되고, M1과 M6는 triode 영역에서 동작을 하게 되므로 전류가 흐르게 된다. 이 전류에 의해서 Out에는 정확하게 V_{DD} 전압을 나타내지 않고, M1의 ON저항에 의한 전압 강하에 의하여 V_{DD} 보다 약 0.1V 정도 낮은 전압을 보이고 있다. 이 때 M2는 Cut-off 영역에 있으므로 /Out으로 흐르는 전류는 없으나, M5가 triode영역에 있기 때문에 M6의 Drain전압이 그대로 /Out에 나타나게 되므로 0V가 아닌 50mV 정도의 값을 가지게 되는 것을 볼 수 있다.

이렇게 한쪽 Branch를 통하여 흐르는 전류에 의해서 제안한 BLSA는 기존의 BLSA보다 약 70%정도 더 많은 전력 소모를 가져오게 된다. 하지만 메모리에서는 BLSA의 Output, 즉 Data Line에 data가 실리게 되면 이를 DBSA(Data Bus Sense Amplifier)에 의해서 다시 한 번 증폭된 후에 메모리의 Output으로 보내게 된다. 그러므로 제안한 BLSA가 정확히 0-VDD의 출력을 내고 있지는 않지만 DBSA가 동작하기에는 충분한 신호를 내보내고 있기 때문에 전체 메모리 회로의 동작에 미치는 영향은 없다고 볼 수 있다. 전력 소모면에서도 DBSA를 작동시키는 시점을 현재의 시뮬레이션보다 앞당기면 전력 소모량은 줄일 수 있으며, 현재의 시뮬레이션 상에서 하나의 BLSA를 작동시켰을 때의 전력소모가 2.4pW정도이므로 크게 영향을 끼칠 것으로 생각되지 않는다. 즉 기존의 BLSA를 제안한 BLSA로 대체할 경우에 메모리의 동작 속도등에는 전혀 영향을 미치지 않으면서 동일한 동작을 할 수 있다. <표 2>은 두 회로의 시뮬레이션과 Layout한 결과를 비교하여 나

표 2. 기존의 BLSA와 제안한 BLSA의 비교
Table 2. Comparison of current BLSA and proposed BLSA.

	기존의 BLSA	제안한 BLSA
공정	0.35um 3 Metal 1Poly CMOS	
Area	4.220.2 um ²	4.1517.2 um ²
Delay Time	3.3ns	3.3ns

타낸 것이다.

V. 결 론

이 논문에서는 MRAM에 사용되는 새로운 BLSA를 제안하였다. 제안된 BLSA는 기존의 BLSA와 모든 면에서 동일한 동작 특성을 보이고 있다. 두 회로를 0.35um CMOS 공정으로 3 Metal 1 Poly 를 이용하여 Layout한 결과 제안한 BLSA가 기존의 BLSA에 비해서 15%정도 면적을 줄일 수 있었다. 이는 Bit Line마다 하나의 BLSA가 들어가게 되므로 MRAM의 전체 면적에서 상당한 감소를 가져올 것이라고 생각된다. 작은 면적을 차지함에도 같은 동작속도를 보이고 있으므로 점차 고집적, 고용량화되는 Twin-Cell 구조의 MRAM에 유용하게 사용되어질 것으로 생각된다.

참 고 문 헌

- [1] M. Durlam, P. Naji, M. DeHerrera, S. Tehrani, G. Kerszykowski, K. Kyler, "Nonvolatile RAM based on Magnetic Tunnel Junction Elements", ISSCC Digest of Technical Paper, pp. 130-131, Feb. 2000.
- [2] S. S. P. Parkin, K. P. Roche, M. G. Samant, P. M. Rice, R. B. Beyers, and R. E. Scheuerlein, "Exchange-biased magnetic tunnel junctions and application to nonvolatile magnetic random access memory", J. Appl. Phys., Vol. 85, NO. 8, pp. 5828-5833, Apr. 1999.
- [3] 유희준, "DRAM의 설계", 홍릉과학출판사, 1996, pp. 37-52
- [4] Eun-Jung Jang, Jung-Hwa Lee, Ji-hyun Kim, and Seungjun Lee, "A Novel Sensing Circuit for 2T-2MTJ MRAM Applicable to High Speed

Synchronous Operation”, JSTS, Vol. 2, NO. 3, pp. 173-179, Sep. 2002.

[5] Roy Scheuerlein, William Gallagher, Stuart Parkin, Alex Lee, Sam Ray, Ray Roberlazzi, and William Reohr, “A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Paper, pp. 128-129, Feb. 2000.

[6] M. Durlam, P. Naji, A. Omair, M. DeHerrera, J. Calder, J. M. Slaughter, B. Engel, N. Rizzo, G. Grynkewich, B. Butcher, C. Tracy, K. Smith, K. Kyler, J. Ren, J. Molla, B. Feil, R. Williams, S. Tehrani, “A low power 1Mbit MRAM based on ITIMTJ bit cell integrated with Copper Interconnects”, 2002 Symposium On VLSI Circuits Digest of Technical Papers, pp. 158-161, 2002.

[7] S. Tehrani, J. M. Slaughter, M. DeHerrera, B. N. Engel, N. D. Rizzo, J. Salter, M. Durlam, R. W. Dave, J. Janesky, B. Butcher, K. Smith, G. Grynkewich, “Magnetoresistive Random Access Memory Using Magnetic Tunnel Junctions”, Proceedings of the IEEE, Vol. 91, NO. 5, pp. 703-714, May. 2003.

[8] M. Motoyoshi, K. Moriyama, H. Mori, C. Fukumoto, H. Itoh, H. Kano, K. Bessho, and H. Narisawa, “High-Performance MRAM Technology with an Improved Magnetic Tunnel Junction Material”, 2002 Symposium On VLSI Technology Digest of Technical Papers, pp. 212-213, 2002.

[9] M. I. Elmasry, “Capacitance calculation in MOSFET VLSI,” IEEE Electron Device Lett., Vol. EDL-3, pp. 6-7, 1981.

저 자 소 개



洪承均(正會員)
2002년 2월 : 중앙대학교 전자전기공학부 졸업. 현재 : 중앙대학교 전자전기공학부 석사과정



金仁模(學生會員)
2003년 2월 : 중앙대학교 전자전기공학부/학사. 현재 : 중앙대학교 전자전기공학부 석사과정



柳慧承(學生會員)
2003년 2월 : 동국대학교 반도체학과 졸업. 현재 : 고려대학교 전자컴퓨터공학과 석사과정

金壽遠(正會員) 第39卷 SD編 第12號 參照
현재 : 고려대학교 전기전자전파공학부 정교수



宋尙憲(正會員)
1986년 : 서울대학교 전자공학과(공학사). 1988년 : 미국 Princeton University(M.A.). 1997년 : 미국 Princeton University(Ph.D.). 1997년~1999년~(주)LG반도체 책임연구원보 1999년~2000년 : 서울시립대학교, 양자정보처리연구단 연구위원. 2000년~2001년 : 고려대학교 BK21 정보처리연구단 계약교수. 2001년~ 현재 : 중앙대학교 전자전기공학부 조교수. <주관심분야 : 반도체 소자 및 시스템, 양자전자공학>