

論文2003-40SD-10-8

3치 논리 게이트를 이용한 3치 순차 논리 회로 설계

(The Design of the Ternary Sequential Logic Circuit
Using Ternary Logic Gates)

尹炳熙*, 崔永熙*, 李哲雨*, 金興壽*

(Byoung-Hee Yoon, Young-Hee Choi, Chol-U Lee, and Heung-Soo Kim)

요약

본 논문에서는 3치 논리 게이트, 3치 D 플립플롭과 3치 4-디지털 병렬 입력/출력 레지스터를 제안하였다. 3치 논리 게이트는 n 채널 패스 트랜지스터와 뉴런 MOS(ν MOS) 임계 인버터로 구성된다. 3치 논리 게이트들은 다양한 임계 전압을 갖는 다운 리터럴 회로를 사용하였고 전송함수를 바탕으로 설계되었다. 뉴런 MOS 트랜지스터는 다치 논리 구현에 가장 적합한 게이트이고 다양한 레벨의 입력 신호를 갖는다. 3치 D 플립 플롭과 3치 레지스터는 3치 데이터를 임시로 저장할 수 있는 저장 장치로 사용할 수 있다. 본 논문에서는 3.3V의 전원 전압을 사용하였고 0.35 μ m 공정 파라미터를 이용하여 모의 실험을 통해 그 결과를 HSPICE로 검증하였다.

Abstract

This paper discusses ternary logic gate, ternary D flip-flop, and ternary four-digit parallel input/output register. The ternary logic gates consist of n-channel pass transistors and neuron MOS(ν MOS) threshold inverters on voltage mode. They are designed with a transmission function using threshold inverter that are in turn, designed using Down Literal Circuit(DLC) that has various threshold voltages. The ν MOS pass transistor is very suitable gate to the multiple-valued logic(MVL) and has the input signal of the multi-level ν MOS threshold inverter. The ternary D flip-flop uses the storage element of the ternary data. The ternary four-digit parallel input/output register consists of four ternary D flip-flops which can temporarily store four-digit ternary data. In this paper, these circuits use 3.3V low power supply voltage and 0.35 μ m process parameter, and also represent HSPICE simulation result

Keyword : Neuron MOS, DLC, Ternary gate, D-F/F, Register

I. 서론

현재 사용되고 있는 논리회로 시스템은 부울 함수를 기초로 한 2진 논리회로로 구성되어 있으며 지난 수십

년간의 빠른 기술의 발달은 칩의 집적도와 성능을 비약적으로 향상시켰다. 그러나 최근 집적회로 기술의 발전에 따라 회로가 복잡해지고, 집적도 등이 증가하게 되었다. 이와 같은 문제는 칩의 VLSI화에 따른 내부 상호 연결선들의 증가로 인하여 신호지연, 전력소비, 잡음 등의 증가를 야기 시켰다. 이러한 문제점들의 해결 방법의 하나로 다치 논리(Multiple-Valued Logic)를 집적회로 내에 적용하면 상호연결선들을 감소시킬 수 있

* 正會員, 仁荷大學校 電子工學科

(Dept. of Electronics Engineering, InHa University)

接受日字:2003年6月23日, 수정완료일:2003年10月10日

으므로 이에 대한 연구가 활발히 진행되고 있다^[11].

다치 논리 게이트를 실현하는 회로는 I^2L 기술, 전하 결합 소자, 전류모드 CMOS 기술, 전압모드 CMOS 기술, 최근에는 뉴런 MOS 기술 등을 이용하여 설계되고 있다^[13].

다치 논리의 다양한 형태 중, 3치 논리는 가장 널리 알려진 논리중 하나이다. 그 이유는 3치 논리는 회로 구현이 가장 간단한 회로이고 상호 연결선이 적고 또한 적은 칩 면적을 요구하는 장점이 있기 때문이다^[3]. 이러한 3치 논리의 장점 때문에 최근에 정적이고 동적인 3치 논리 회로가 계속 제안되어지고 있다.

최근에 다치 논리 회로를 구현하기 위해 CMOS 기술을 많이 이용하고 있으며 그 중에서도 전류모드 방식과 전압모드 방식을 이용하고 있다. 전류모드 방식의 경우에는 다치 레벨을 표현하기 쉽기 때문에 회로 구현이 쉽고 전달지연시간이 거의 없으므로 각 입력에 해당하는 출력을 쉽고 정확하게 얻을 수 있지만 각각의 입력과 내부 회로에서 전류 값에 따라서 구동하기 때문에 대부분 전류원이 회로 내에 필요하게 되고, 실제 시스템 내에서 입력 값의 통일이 어렵고, 실제 전압으로 구동하는 시스템에 적합하지 않다. 또한 전압모드 방식의 경우에는 다치 레벨을 표현하기 위해서는 다중 문턱전압이 필요하고 또한 그러한 특성을 가지는 트랜지스터를 제작하는 것이 쉽지 않기 때문에 회로 구현이 어렵고, 또한 발생하는 전달지연시간으로 인해 원하는 출력을 얻을 수도 있다. 그러나 뉴런-MOS의 등장으로 인하여 다치 논리 체계를 일반적인 전압모드 CMOS 기술로 구현하는 것이 용이해졌다.

Wang shoujue^[6]는 다치 β 트랜지스터를 이용하여 고속 3치 논리 게이트를 설계하였으나 다치 β 트랜지스터는 다중 에미터 트랜지스터에 기초한 트랜지스터로서 실제로 구현하기가 어렵다. A.H.M Shousha^[9]는 MIN, MAX 연산과 보수연산을 이용하여 스위치 전류모드 3치 논리 게이트를 설계하고 이를 이용하여 인코더와 디코더를 구현하는 방법을 제안하였다. 잡음 여유가 좋고 전달 지연시간이 1ns 보다 적다는 장점이 있지만 전류모드 기술을 이용하기 때문에 전류원이 필요하고 칩 면적이 커지게 된다. Yasunori Nagata^[8]는 MIN, MAX 연산과 보수연산을 이용하여 전압모드 3치 논리 게이트를 설계하여 비동기 디지털 시스템 내에서 2치와 3치 회로를 결합시켰으며 3치 논리 게이트를 설계하는데 전압원 2V와 4V 2개를 사용하였고 CMOS 트

랜지스터와 SOI 트랜지스터를 사용하여 설계하였다. 위의 방법은 전압원을 2개, CMOS TR과 SOI TR을 같이 사용하기 때문에 실제 칩 면적을 많이 차지하고 비용이 많이 든다

본 논문에서는 다양한 임계 인버터를 갖는 패스트 트랜지스터를 사용하여 3치 기본 논리 게이트를 설계하였다. 여기서 임계 인버터는 다운 리터럴 회로(Down Literal Circuit: DLC)를 이용하여 설계하였다. 뉴런 MOS는 기존의 MOS 소자의 변형으로서 고정되어진 문턱전압이 아닌 다중 문턱전압을 구현할 수 있다는 것을 큰 장점으로 하는 소자이다. 게이트의 구조가 일반적인 MOS의 게이트와 다른 여러 개의 게이트 전압을 인가할 수 있도록 만들어져 있다. 이러한 구조에 의해 각각의 게이트에 인가되는 전압으로 인하여 문턱전압이 달라지는 다중 문턱전압을 실현 할 수 있다^[11-13]. 본 논문에서 설계한 3치 논리 게이트는 3치 인버터, 3치 MIN, MAX, NMN, NMAX이다. 3치 인버터는 MIN과 MAX의 출력 단에 연결함으로써 NMN과 NMAX 게이트를 쉽게 구현할 수 있다. 또한 3치 D 플립플롭은 TNMIN 게이트와 TINV를 사용하여 설계하였다. 그리고 3치 D 플립플롭을 사용하여 3치 4-디지털 데이터를 저장할 수 있는 동기식 3치 4-디지털 병렬 입력/출력 레지스터를 설계하였다. 본 논문에서 설계한 회로들은 3.3V 단일 공급 전원에서 0.35um N-Well 2-poly 4-metal CMOS technology의 파라미터를 사용한 Hspice를 이용하여 모의 실험을 하였다.

II. 3치 논리 게이트

본 절에서는 뉴런 MOS와 DLC에 대해서 간략하게 설명하고, 이를 이용한 3치 기본 논리 게이트의 전송 함수를 바탕으로 한 수학적 배경과 회로 설계에 대해 나타내었다.

1. Neuron MOS와 Down-Literal Circuit

1) Neuron MOS

이 소자는 기존의 MOS 소자의 변형으로서 고정된 문턱전압이 아닌 다중 문턱 전압을 구현할 수 있다는 것을 큰 장점으로 하는 소자이다. 기본구조를 <그림 1>에 나타내었다.

<그림 1>에서 일반적인 MOS와 다른 부분은 게이트의 구조이다. 기존의 하나의 게이트가 아닌 여러 개의

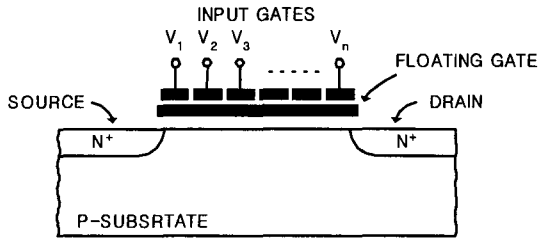


그림 1. νMOS의 기본적인 구조
Fig. 1. Basic structure of νMOS.

게이트전압을 인가할 수 있도록 만들어져 있다. 이러한 구조에 의해 각각의 게이트에 인가되는 전압으로 인하여 문턱전압이 달라지는 다중 문턱전압이 실현 가능해지며 이 다중 문턱전압에 의하여 기존의 트랜지스터와는 다른 동작특성을 얻을 수 있다. <그림 1>을 등가회로로 고쳐서 다시 생각해 보면, 아래의 <그림 2>와 같이 표현되어질 수 있다.

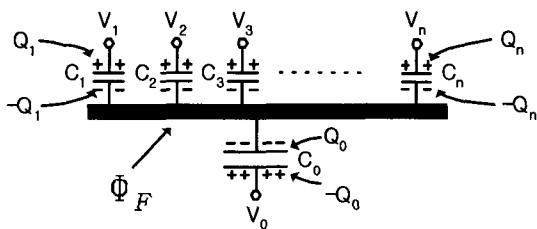


그림 2. 게이트전압과 커패시터와의 관계
Fig. 2. The relationship between gate voltage and capacitor coupling.

위의 커패시터들(C_1, C_2, \dots, C_n)은 게이트영역의 폴리 위에 하나의 폴리를 더 첨가하여 구현 가능하며 커패시터의 값은 폴리의 면적을 조정함으로써 조절 가능하다.

<그림 2>에서 각각에 해당하는 기호들은 아래를 의미한다.

- Φ_F : floating 게이트의 전위
- V_1, V_2, \dots, V_n : 입력전압
- C_1, C_2, \dots, C_n : 입력게이트와 floating 게이트사이의 커패시터값
- C_0 : floating 게이트와 substrate사이의 커패시터값
- Q_1, Q_2, \dots, Q_n : 각각의 capacitor에 저장된 전하량
- 여기서 floating 게이트의 전하량 Q_F

아래의 <그림 3>은 하나의 게이트를 -5V에서 5V로

변화시키면서 입력 신호를 인가했을 때의 νMOS의 동작특성 그래프이다.

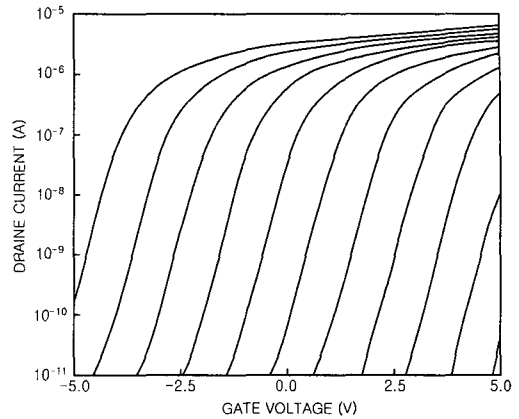


그림 3. νMOS의 동작특성
Fig. 3. Operation characteristic curve of νMOS.

2) DLC(Down-Literal Circuit)

전압모드에서 νMOS의 특징을 잘 살리며 또한 기본이 되는 회로가 아래의 <그림 4>와 같은 구조를 가진 DLC이다.

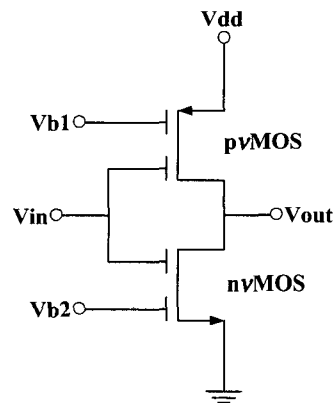


그림 4. Down-literal circuit의 회로도
Fig. 4. Circuit diagram of Down-literal circuit.

이 회로는 하나의 p-채널 νMOS와 하나의 n-채널 νMOS로 이루어져 있으며 2진 체계에서의 인버터와 유사한 형태를 가지고 있다. 이 회로의 수학적 배경을 정의하기 위하여 Down-literal function이라는 것을 정의하면 다음 식 (1)과 같다.

$$D_i(x) = \begin{cases} r^{-1} & X \leq i \\ 0 & X \geq i+1 \end{cases} \quad (1)$$

여기서 $i \in \{0, 1, \dots, r-2\}$, $X \in \{0, 1, \dots, r-1\}$ 인 관계를 가지게 된다. 즉 입력 X 가 문턱전압 i 보다 클 경우 0의 값을 가지며 그 반대의 경우 $r-1$ 의 값을 가진다는 것이다. (여기서 3치이므로 $r=3$) 즉 회로문턱전압 V_{TC} (Circuit threshold voltage)보다 입력이 적을 경우 출력이 출력은 V_{DD} 를 출력하며, 그보다 커질 경우 0의 값을 출력한다는 것을 의미한다.

다음 식 (2)는 DLC의 바이어스 전압(V_{bi} , V_{bi2})에 변화에 따른 V_{TC} 를 결정할 수 있는 방정식이다.

$$V_{TC} = V_{DD} - \frac{V_{bi} + V_{bi2}}{2} \quad (2)$$

식 (2)에서 알 수 있듯이 하나의 구현되어진 회로에서 정해진 입력에 대해 바이어스전압을 달리함으로써 그 회로의 문턱전압을 변화시킬 수 있으며 그에 따라 동일한 회로가 동일한 입력에 대하여 다른 출력 값을 가질 수 있다.

2. 3치 논리 게이트

1) 임계 인버터

본 절에서는 DLC를 사용하여 다양한 문턱 전압을 갖는 인버터를 설계하였다. 임계 인버터의 구조는 DLC와 같으나 bias 전압을 식 (2)에 따라 원하는 문턱 전압을 얻을 수 있다. 본 논문에서 사용된 공급 전압은 3.3V이고 3치 논리이기 때문에 논리 레벨을 0V(0), 1.65V(1), 3.3V(2)으로 구분하였다. 즉, 임계 인버터는 0.825V와 2.475V의 임계 전압을 갖도록 설계하였다. 아래 <표 1>은 본 논문에서 사용된 bias 전압에 따른 V_{TC} 를 나타내었다.

표 1. 바이어스전압에 따른 V_{TC} 의 변화

Table 1. The transformation of V_{TC} about bias voltage.

$V_{DD}=3.3V$	V_{TC}	V_{bi}	V_{bi2}
$V_{th}(0.5)$	0.825V	2.95V	2V
$V_{th}(1.5)$	2.475V	1.75V	0V

위의 <표 1>에 의하면 V_{th} 값이 0.5일 때 즉, 입력 전압이 0V(0) 일 때는 V_{TC} 값이 0.825V이므로 출력 값은 High, 1.65(1)V 또는 3.3V(2) 일 때는 Low 값을 갖는다. 반면에 V_{th} 값이 1.5일때는 V_{TC} 값이 2.475V이

로 출력 값은 0V(0)와 1.65V(1) 일 때는 High, 3.3V(2) 일 때는 Low 값을 갖는다. 다음 <그림 5>는 각각 $V_{th}=0.5$, $V_{th}=1.5$ 일 때의 임계 인버터의 기호를 나타낸다.

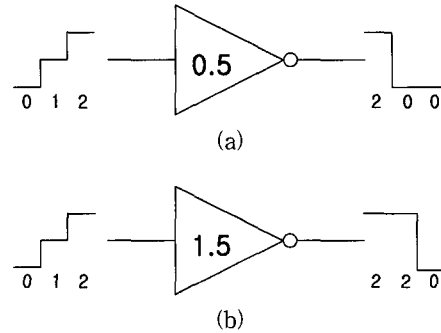


그림 5. 임계 인버터의 기호 (a) $V_{th}=0.5$ (b) $V_{th}=1.5$
Fig. 5. Symbol of the threshold inverter (a) $V_{th}=0.5$ (b) $V_{th}=1.5$.

다음 <표 2>는 위의 <그림 5>를 입력에 따른 출력을 나타내는 진리표로 나타내었고 임계 인버터의 전달 특성을 모의 실험한 결과는 <그림 6>과 같다.

표 2. 임계 인버터의 진리표($V_{th}=0.5$, $V_{th}=1.5$)
Table 2. Truth table of threshold inverter ($V_{th}=0.5$, $V_{th}=1.5$).

Input	$V_{th}(0.5)$	$V_{th}(1.5)$
0V(0)	3.3V	3.3V
1.65V(1)	0V	3.3V
3.3V(2)	0V	0V

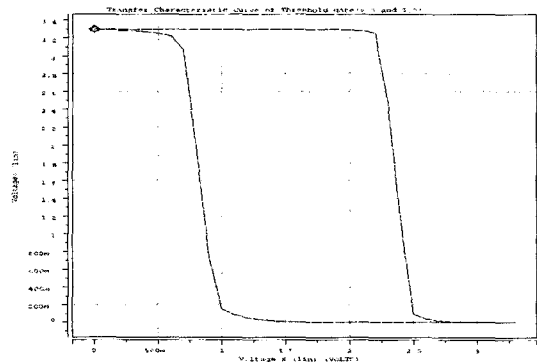


그림 6. 임계 인버터($V_{th}=0.5$, $V_{th}=1.5$)의 전달 특성
Fig. 6. Transfer characteristic curves of the threshold inverter($V_{th}=0.5$, $V_{th}=1.5$).

νMOS를 갖는 임계 인버터에 의해 다치 논리에서 필요한 리터럴 연산을 수행하여 전송 함수를 다치 논리에 적용시키는데 용이해졌다.

2) 3차 인버터(TINV)

본 절에서는 3차 논리 소자들 가운데서도 가장 기본이 되는 회로이며 가장 많이 사용되는 TINV의 설계에 대하여 논의하였다. νMOS를 사용하는 3차 인버터는 4차 인버터보다 설계하기가 쉽다. 그 이유는 νMOS의 전달 특성 곡선을 보면 3차 인버터인 경우 중간 값(1.65V)을 추출하는 것이 쉽기 때문이다. TINV에 공급된 바이어스 전압은 V_{TC} 값이 1.65V 이므로 식 (2)에 의해 V_{bi} 은 1.99V, V_{bz} 는 1.21V 이다.

TINV의 기호와 전달 특성 곡선은 다음 <그림 7>과 같다.

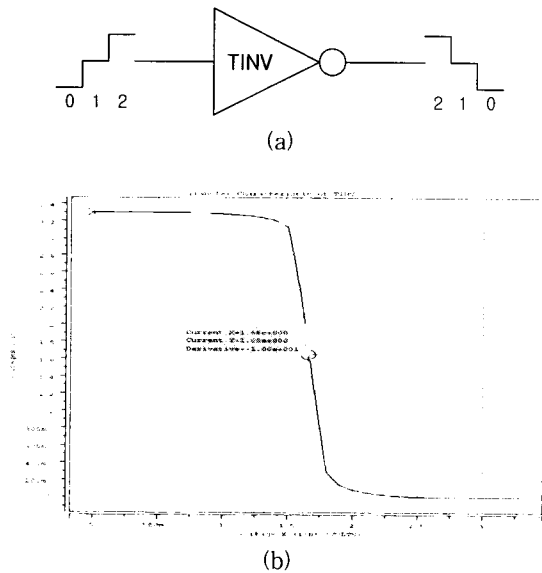


그림 7. (a) 3차 인버터의 기호 (b) 3차 인버터의 전달 특성 곡선

Fig. 7. (a) A symbol of the TINV (b) Transfer characteristic of the TINV.

3) 3차 MAX(TMAX)와 3차 negated MAX(TNMAX)

다치 논리에서 사용되는 논리 연산자 중 하나으로써 입력 중 최대 값을 출력으로 내보내는 연산이 MAX 연산이다. 본 절에서는 TMAX 연산과 TNMAX 연산에 대해 정의하고, νMOS를 갖는 전송함수를 바탕으로 TMAX 회로를 설계하였고 TNMAX는 출력에 TINV를 연결하여 설계하였다.

먼저 TMAX 연산의 수학적 표현은 다음 식 (3)과 같다.

연산자 \vee 또는 \oplus 는 MAX(최대)연산

$$x_1 \vee x_2 \vee \dots \vee x_n = TMAX(x_1, \dots, x_n)$$

$$x_1 \oplus x_2 \oplus \dots \oplus x_n = TMAX(x_1, \dots, x_n) \quad (3)$$

예를 들어 $2 \vee 1 = 2 \oplus 1 = MAX(2, 1)$ 일 경우 2의 값을 가지게 된다.

전송 함수를 바탕으로 한 TMAX는 다음 <표 3>의 진리표를 갖는다. 이 진리표에 의해 리터럴 연산이 가능하며, 연산식을 함축시킨 수식은 (5)와 같다.

표 3. TMAX의 진리표
Table 3. Truth table of the TMAX.

x \ y	0	1	2
0	0	1	2
1	1	1	2
2	2	2	2

$$F(x, y) = 0 \langle x^0 y^0 \rangle + 1 \langle x^0 y^1 \vee x^1 y^0 \vee x^1 y^1 \rangle + 2 \langle x^0 y^2 \vee x^1 y^2 \vee x^2 y^0 \vee x^2 y^1 \vee x^2 y^2 \rangle \quad (4)$$

$$F(x, y) = x \langle y^0 \rangle + y \langle x^{0,1} \cdot y^{1,2} \rangle + x \langle x^2 \cdot y^{1,2} \rangle \quad (5)$$

<표 3>의 진리표에 의해 식 (4)를 유도하였고 (4)식을 함축시킨 결과를 식 (5)에 나타내었다. 수식 (5)를 바탕으로 TMAX 연산 회로를 구성하면 다음 <그림 8(b)>와 같다. <그림 8>에는 TMAX와 TNMAX의 기호와 회로를 나타내었다.

<그림 8(b)>에서 출력단 F에 TINV를 연결하면 TNMAX를 구성할 수 있다. TMAX의 회로는 식 (5)에 의해 구성되었으며 +는 병렬 연결, ·는 직렬 연결을 나타낸다. TMAX의 회로내에는 위에서 설명한 임계 인버터, 2진 인버터와 패스 트랜지스터로 구성되어 있다. 입력 x, y 값은 임계 인버터를 거쳐 각각의 패스 트랜지스터의 게이트에 연결되어 있다. 입력 값에 따라 M1~M5가 도통이 되거나 차단이 되므로 출력단 F에

는 TMAX 연산에 맞는 출력 값을 생성해 낼 수 있다. 예를 들면, 입력 x 는 2, y 는 1이라고 가정했을 때, x 값 2에 의해 M4는 차단, M2는 도통, y 값 1에 의해 M1은 도통, M3와 M5는 차단되므로 출력단에 x 값 2가 생성 된다.

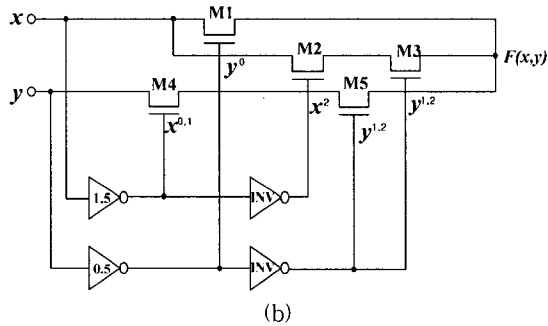
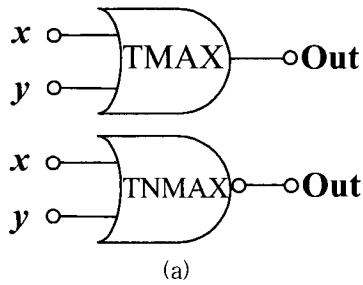


그림 8. (a) TMAX와 TNMAX의 기호 (b) TMAX의 회로도
Fig. 8. (a) A symbol of the TMAX and TNMAX (b) A circuit diagram of the TMAX.

4) 3치 MIN(TMIN)과 3치 negated MIN(TNMIN)
본 절에서는 TMIN 회로와 3치 D 플립 플롭의 모듈이 되는 TNMIN 회로에 대한 정의와 회로 설계에 대해 제안하였다. TNMIN 회로는 TNMAX 회로와 같이 출력에 TINV를 연결함으로써 설계하였다. 다음 식 (6)은 TMIN 연산의 수학적 표현을 나타낸다.
연산자 \cdot 또는 \wedge 는 TMIN(최소) 연산

$$x_1 \cdot x_2 \cdot \dots \cdot x_n = TMIN(x_1, \dots, x_n)$$

$$x_1 \wedge x_2 \wedge \dots \wedge x_n = TMIN(x_1, \dots, x_n) \quad (6)$$

예를 들어 $2 \cdot 1 = 2 \wedge 1 = TMIN(2, 1)$ 일 경우 1의 값을 가지게 된다.

전송 함수를 바탕으로 한 TMIN 연산은 다음 <표 4>의 진리표를 갖는다. 이 진리표에 의해 리터럴 연산

표 4. TMIN의 진리표
Table 4. Truth table of the TMIN.

$x \backslash y$	0	1	2
0	0	0	0
1	0	1	1
2	0	1	2

이 가능하며, 리터럴 연산은 임계 인버터로 구현할 수 있다.

$$F(x, y) = 0 \langle x^0 y^0 \vee x^0 y^1 \vee x^0 y^2 \vee x^1 y^0 \vee x^2 y^0 \rangle$$

$$= 1 \langle x^1 y^1 \vee x^1 y^2 \vee x^2 y^1 \rangle + 2 \langle x^2 y^2 \rangle \quad (7)$$

$$F(x, y) = x \langle y^0 \rangle + y \langle x^{0,1} \cdot y^{1,2} \rangle + x \langle x^2 \cdot y^{1,2} \rangle \quad (8)$$

<표 4>의 TMIN에 대한 진리표는 식 (7)과 같이 나타낼 수 있고 식 (7)을 축약하면 식 (8)과 같이 표현된다. 식 (8)을 바탕으로 TMIN 연산 회로를 구성하면 다

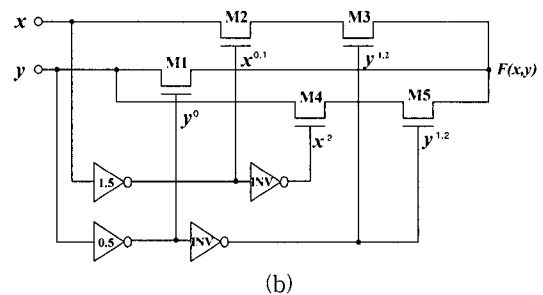
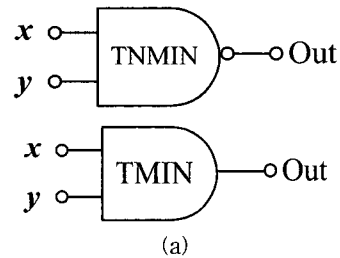


그림 9. (a) TMIN와 TNMIN의 기호 (b) TMIN의 회로도
Fig. 9. (a) A symbol of the TMIN and TNMIN (b) A circuit diagram of the TMIN.

음 <그림 9(b)>와 같다. <그림 9>에는 TMIN와 TNMIN의 기호와 TMIN 회로를 나타내었다.

<그림 9(b)>에서 출력단 F에 TINV를 연결하면 TNMIN 회로를 구성할 수 있다. TMIN 회로는 식 (8)에 의해 구성되었다. TMIN의 회로 내에는 TMAX와 같은 모듈이 사용되었다. 입력 x, y 값은 임계 인버터를 거쳐 각각의 패스 트랜지스터의 게이트에 연결되어 있다. 입력 값에 따라 M1~M5가 도통이 되거나 차단이 되므로 출력단 F에는 TMIN 연산에 맞는 출력 값을 생성해 낼 수 있다. 예를 들면, 입력 x는 2, y는 1이라고 가정했을 때, x값 2에 의해 M2는 차단, M4는 도통, y값 1에 의해 M1은 차단, M3와 M5는 도통되므로 출력단에 y값 1이 생성된다.

III. 3차 D 플립-플롭과 레지스터

본 절에서는 본 논문에서 제안한 TNMIN 회로와 TINV 회로를 이용하여 3차 D F/F을 설계하였고, 4-디지트의 3차 데이터를 일시적으로 저장할 수 있는 3차 레지스터를 설계하였다.

1. 3차 D 플립 플롭

SR latch는 어떤 조건에 대하여 F/F을 세트하고 조건이 변하면 리세트할 필요가 있는 제어 계통 등에서 유용하다. 이 때 세트, 리세트 입력은 독립적으로 제어한다. 그러나 흔히 우리는 한 신호선상의 정보(digit)를 다른 곳에 저장하는 래치를 필요로 하며 D(데이터) F/F이 이런 용도에 사용된다. 본 논문에서는 3차 D-플립 플롭을 설계하여 3차 데이터를 저장할 수 있는 저장 소자를 설계하였다. <그림 10>에는 3차 D 플립 플롭(TDFF)을 나타내었다.

TDFF는 2진 논리와 같은 구조를 가지고 있다. 예를

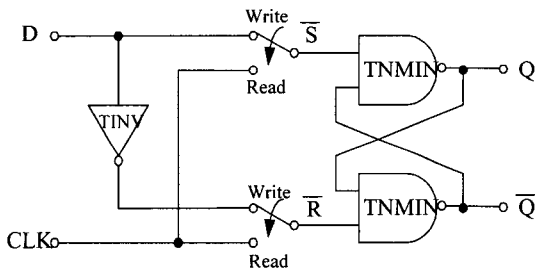


그림 10. TDFF의 블록 다이어그램
Fig. 10. A Block diagram of the TDFF.

표 5. TDFF의 진리표
Table 5. Truth table of the TDFF.

D	Clk	\bar{S}	\bar{R}	$\overline{Q(t+1)}$
0	0	0	2	2
0	2	2	2	2
1	0	1	1	1
1	2	2	2	1
2	0	2	0	0
2	2	2	2	0

들어 2진 논리를 바탕으로 한 DFF은 NAND 게이트나 NOR 게이트를 사용하지만, 3차 논리에서는 TNMIN 게이트나 TNMAX 게이트를 사용한다. 그러므로, 2진 논리에서의 DFF회로에 본 논문에서 제안한 TNMIN 게이트를 대치하면 원하는 3차 논리에서의 TDFF의 출력값을 얻을 수 있다.

먼저, TDFF는 두 개의 TNMIN 회로와 한 개의 TINV 회로로 구성되어 있다. 플립플롭이 쓰기 기능을 할 때는 D 입력이 \bar{S} 와 인버팅된 D 입력이 \bar{R} 로 입력된다. 다음에는 읽기 기능을 할 때는 D 입력은 끊기고 CLK(High)이 인가된다. 그러므로 D 입력을 유지할 수 있게된다. \bar{S} 와 \bar{R} 단의 값은 Q와 \bar{Q} 의 현재상태에 의해 Q의 차기 상태가 결정된다. 즉, D 입력이 0이면 $\overline{Q(t+1)}$ 은 2, 1이면 $\overline{Q(t+1)}$ 은 1, 2이면 $\overline{Q(t+1)}$ 은 0이 된다.

TDFF의 진리표를 다음 <표 5>에 나타내었다.

2. 3차 병렬 입력/출력 4-디지트 레지스터

본 절에서는 위에서 제안한 TDFF을 4개를 사용하여 4-디지트의 3차 데이터를 일시적으로 저장할 수 있는 3차 병렬 입력/출력 4-디지트 레지스터를 설계하였다. n개의 디지트의 데이터를 저장하기 위해서는 n개의 플립 플롭이 필요하다. n-디지트의 데이터를 입력시킬 때, n-디지트를 동시에 시프트 시켜 입력시킬 수도 있고(병렬시프트), 한 디지트 씩 시프트 하면서 입력시킬 수도 있다(직렬시프트). 마찬가지로 저장된 데이터를 출력할 때에도 두 가지 방식이 있다. 따라서 레지스터에는 4가지 기본형이 있는데 병렬입력-병렬출력, 직렬입력-직렬출력, 병렬입력-직렬출력, 직렬입력-병렬출력이다. 본 논문에서는, 병렬 입력-병렬 출력 레지스터를

사용하여 설계하였다. 3치 4-디지트 병렬입력/병렬출력 레지스터의 블록도를 <그림 11>에 나타내었다.

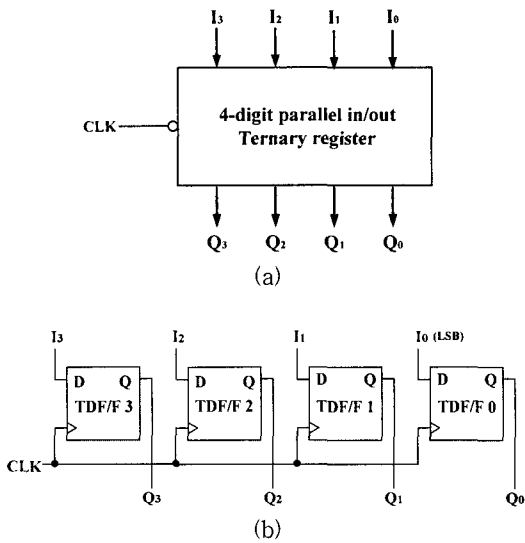


그림 11. (a) 3치 4-디지트 병렬 입력/출력 레지스터의 기호 (b) 3치 4-디지트 병렬 입력/출력 레지스터의 블록 다이어그램

Fig. 11. (a) Symbol of the ternary 4-digit parallel input/output register. (b) A block diagram of the ternary 4-digit parallel input/output register.

데이터의 입력을 제어하기 위한 클럭에 의해 MSB부터 LSB까지의 입력이 위의 <표 5>와 같이 각 단의 출력 Q3~Q0에 나타난다.

IV. 실험 결과

본 절에서는, 지금까지 제안한 회로들을 CMOS 0.35um 공정에 대한 파라미터를 갖는 HSPICE 모의실험을 통해 각각의 회로 성능에 대해 검증하였다.

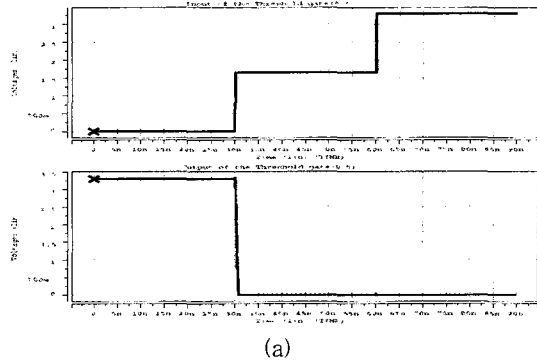
1. 임계 인버터와 TINV

본 논문에서 제안한 임계 인버터와 TINV 회로를 모의 실험 결과를 <그림 12>에 나타내었다.

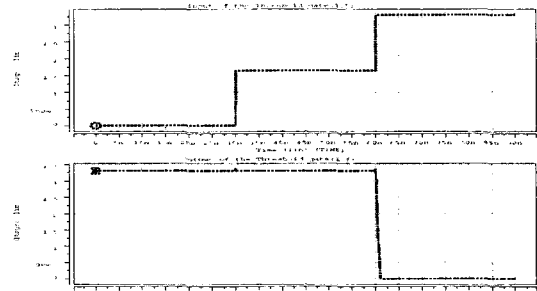
위의 임계 인버터와 TINV 회로는 지연 시간이 각각 1ns, 2.5ns로써 회로 사용에 적합한 결과를 나타내었다.

2. TMAX(TNMAX)와 TMIN(TNMIN)

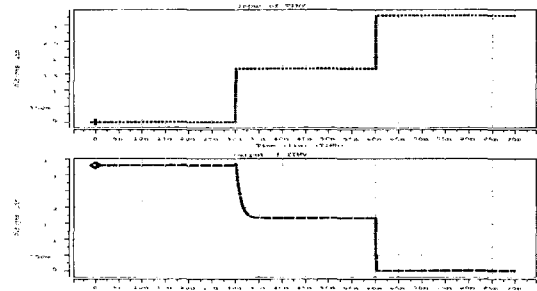
위에서 설명한 것과 같이 TMAX(TNMAX) 회로와 TMIN(TNMIN)회로는 임계 인버터와 2진 인버터, 패스



(a)



(b)



(c)

그림 12. (a) 임계 인버터($V_{th}=0.5$) (b) 임계 인버터 ($V_{th}=1.5$) (c) 3치 인버터

Fig. 12. (a) Threshold inverter($V_{th}=0.5$) (b) Threshold inverter($V_{th}=1.5$) (c) Ternary inverter.

트랜지스터로 구성되어 있다. 내부 구성회로들은 30MHz의 샘플링 속도와 TMAX(TNMAX) 회로와 TMIN(TNMIN) 회로는 10MHz의 샘플링 속도에서 원활한 결과 값을 갖는다. 다음 <그림 13>은 TMAX(TNMAX)와 TMIN(TNMIN) 회로에 대한 모의 실험 결과를 나타낸다.

각각의 회로에 대한 전력소모와 최대 지연 시간을 살펴보면 TMAX와 TMIN 회로는 1.25uW의 전력소모와 2ns의 최대 지연 시간을 갖고 있고, TNMAX와

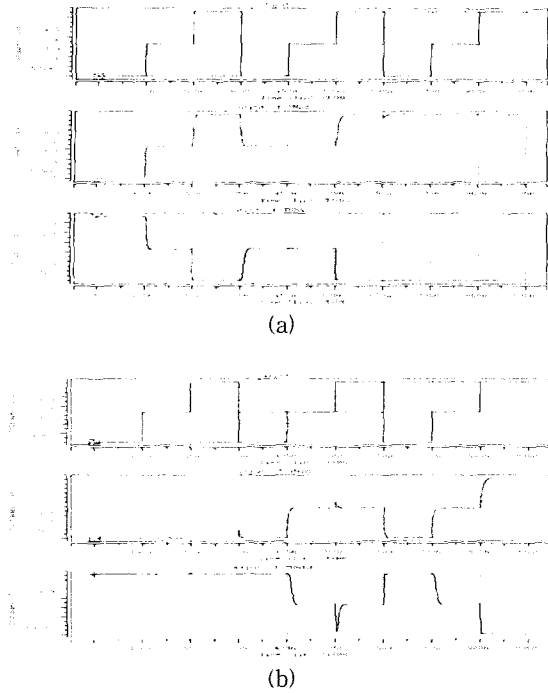


그림 13. (a) TMAX 게이트와 TNMAX 게이트의 모의 실험 결과 파형 (b) TMIN 게이트와 TNMIN 게이트의 모의 실험 결과 파형
 Fig. 13. (a) Simulation result of the TMAX gate and TNMAX gate (b) Simulation result of the TMIN gate and TNMIN gate.

TNMIN 회로는 1.35uW의 전력소모와 2ns의 최대 지연 시간을 갖는다.

3. TDFE와 3차 레지스터

다음 <그림 14>에 보여질 TDFE와 3차 레지스터는 각각 6uW, 25uW의 전력소모를 갖고 있고, 최대 지연 시간은 각 4.5ns와 8ns를 갖는다. TDFE는 \bar{S} 와 \bar{R} 에 따른 출력의 변화를 모의 실험을 통해 나타내었고, 3차 레지스터는 4개의 TDFE를 병렬로 연결하여, 4개의 병렬 입력(I3~I0)과 병렬 출력(Q3~Q0)을 나타내었다.

4. 비교 및 검토

TDFE와 3차 레지스터의 시뮬레이션 결과에 따른 회로의 성능을 다음 <표 6>에 나타내었다.

본 논문에서 제안한 TDFE는 Prosser^[11]와 Current^[12]에 의해 제안된 TDFE와 세부적으로 비교하여 다음 <표 7>에 나타내었다. Prosser에 의해서 제안된 DFF은 다양한 문턱 전압을 갖는 MOS를 제작하기 어렵다는 단점이 있고, Current에 의해서 제안된 DFF은 비록

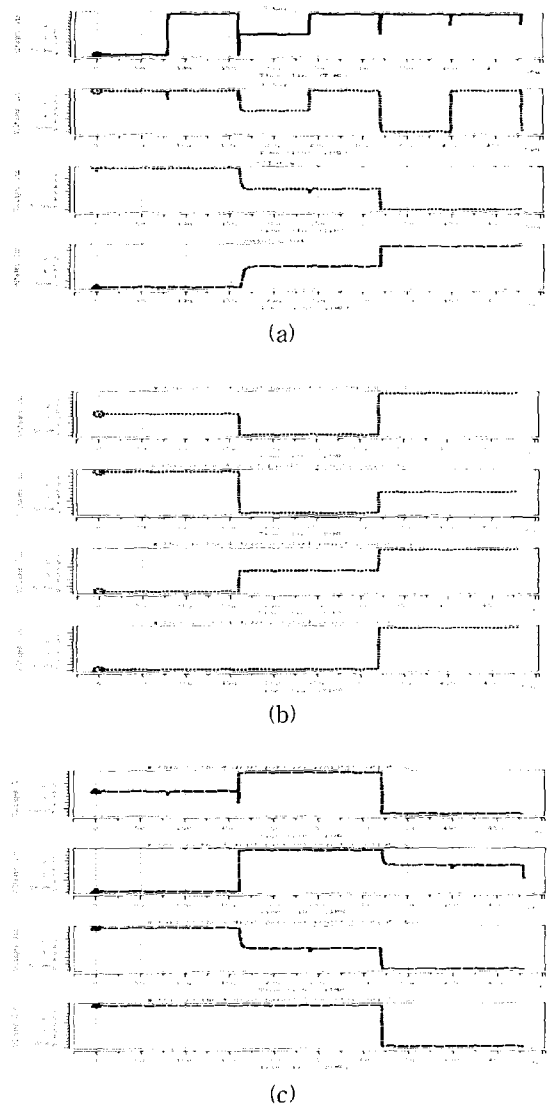


그림 14. (a) TDFE의 모의 실험 결과 파형 (b) 4-디지털 병렬 레지스터의 입력 파형(I3~I0) (c) 4-디지털 병렬 레지스터의 출력 파형(Q3~Q0)

그림 14. (a) Simulation result of the TDFE (b) Input of the 4-digit parallel register (I3~I0) (c) Output of the 4-digit parallel register (Q3~Q0).

4차 이지만 5V의 높은 전압과 많은 트랜지스터 수, 그리고 전류 모드와 전압 모드를 혼합해서 사용하는 것이 단점이고, 특히, 문턱 전압이 고정되어 있어서 다양한 문턱전압을 실현할 수 없는 단점을 나타내고 있다. 비교 결과 본 논문에서 제안한 TDFE가 보다 적은 면적과 적은 소비 전력 그리고 빠른 비율의 동작 속도를 나타내고 있다.

표 6. TDFF와 3치 레지스터의 성능표
Table 6. The performances of the TDFF and the ternary register.

	TDFF	4-digit Ternary Register
Technology	CMOS n-well 0.35m	CMOS n-well 0.35m
Power supply	3.3V	3.3V
Time delay (worst case)	4.5ns	8ns
Power dissipation	6uW	25uW

표 6. 제안된 TDFF와 [11], [12]와의 비교
Table 6. Comparison among the proposed TDFF, [11] and [12].

	Ref. [11]	Ref. [12]	Proposed TDFF
Voltage Supply	-	5volts	3.3volts
Technology	-	2um	0.35um
Threshold Voltage (Fabrication)	Variable (Not easy)	Fixed	Variable (Easy)
Clock pulse used			
Internal conversion binary logic	No	Yes	No
Transistor count	33	73 or 78	26
Time Delay	-	7nsec	4.5nsec
Radix	R=3	R=4	R=3
Mode	Voltage	Mixed current voltage	Voltage

IV. 결론

본 논문에서는 3치 논리 게이트인 TINV, TMAX (TNMAX), TMIN(TNMIN) 회로를 ν MOS 패스트랜지스터를 이용하여 설계하였고, TNMIN과 TINV를 이용하여 3치 데이터를 저장할 수 있는 TDFF와 4 개의 디지털을 저장할 수 있는 병렬 입력-병렬 출력 레지스터를 설계하였다. 이 모든 회로들의 성능 검증은 CMOS 공정 0.35um에서 수행하였다. 제안된 레지스터는 적은 전력 소모를 갖고 있다. TDFF의 출력 Q가 되먹임 되어서 다른 입력으로 사용되기 때문에 출력 신호가 어떤 데이터 구간에서는 양의 되먹임 때문에 발진되는 경우도 발생한다. 이런 경우에는 각각의 소자비

(W/L)를 조절함으로써 줄일 수 있다.

끝으로, 본 저자는 Multi-ALU에 큰 관심을 가지고 있다. 즉, 본 논문에서 제안한 레지스터는 ALU에서 발생한 다치 데이터를 저장하는 소자로 사용하고자 한다. 그러나 현재로서는 레지스터의 속도를 더 빠른 처리 속도로 설계하는데 연구의 목적을 두고 있다.

참고 문헌

- [1] K. C. Smith, The prospects for multi-valued logic: A technology and applications view, IEEE Trans. Comput., vol. C-30, pp. 619-634, Sept. 1981.
- [2] T. Shibata, Neuron MOS binary-logic integrated circuits-part I : Design fundamentals and soft-hardware-logic circuit implementation, IEEE Trans Electron device, vol. 40, no. 3, pp. 570-576, Mar. 1993.
- [3] S. L. Hurst, Multi-valued logic-Its status and its future, IEEE Trnas. Comput., vol. C-33, pp. 1160-1179, 1984.
- [4] H. T. Mouftah and I. B. Jorden, Integrated circuits for ternary logic, IEEE Proc. ISMVL, May 1974, pp. 285-302.
- [5] H. T. Mouftah and K. C. Smith, Design and implementation of three-valued logic systems with MOS. integrated circuits, Proc. Inst. Elec. Eng., vol. 127, pt. G, pp. 165-168, Aug. 1980.
- [6] A. Hueng and H. T. Mouftah, Depletion/enhancement CMOS for a low power family of three valued logic circuits, IEEE J. Solid-State Circuits, vol. SC-20, pp. 609-616, Apr. 1985.
- [7] X. W. Wu and F. P. Prosser, CMOS ternary logic circuits, Proc. Inst. Elec. Eng., vol. 137, pt. G, pp. 211-217, Feb. 1990.
- [8] Wang Shoujue, The high speed ternary logic gates based on the multiple β transistors, Proc. 25th ISMVL, pp. 178-181, May. 1995.
- [9] A. H. M. SHOUSHA., Switched-current CMOS ternary logic circuits" INT. J. ELECTRONICS, vol. 79, No. 5, pp. 617-625, 1995.
- [10] Yasunori Nagata., Design of an Asynchronous

Digital System with B-ternary Logic” Proc. 27th ISMVL, pp. 256-271, May. 1997.

[11] Prosser, F., Wu, X., Chen, X., CMOS ternary flip-flops and their applications, Computers and Digital Techniques, IEE Proc. vol.135, pp. 266-272, Sep. 1988.

[12] Current, K.W., Multiple-valued logic memory circuit, Int. Journal of Electronics, pp. 547-555, 1995, 78(3)

[13] Jing Shen, “Down literal circuit with neuron MOS transistor and its applications, Proc. 29th ISMVL, May 1999.

[14] Jing Shen, Multi valued logic pass gate network using neuron MOS transistors, Proc. 30th ISMVL, May 2000.

[15] Motoi Inaba, Realization of NMAX and NMIN Functions with Multi-Valued Voltage Comparator, Proc. 31th ISMVL, pp. 27-32, May. 2001.

저 자 소 개



尹炳熙(正會員)

1997년 2월 : 원광대학교 전자공학과 졸업(공학사). 1999년 2월 : 인하대학교 대학원 전자공학과 졸업(공학석사). 1999년 3월~현재 : 인하대학교 대학원 전자공학과 박사과정(박사수료). <주관심분야 : 다

치 프로세서, 다치 저장 소자 설계, VLSI 설계>

李 哲 雨(正會員)

1998년 2월 : 인하대학교 전자공학과 졸업(공학사). 2000년 2월 : 인하대학교 대학원 전자공학과 졸업(공학석사). 2000년 3월~현재 : 인하대학교 대학원 전자공학과 박사과정(박사 수료). <주관심분야 : 다치논리, GRM 설계>

金 興 壽(正會員) 第40卷 SC編 第3號 參照

현재 : 인하대학교 전자공학과 교수



崔 永 熙(正會員)

1980년 2월 : 단국대학교 전자공학과 졸업(공학사). 1982년 8월 : 인하대학교 대학원 전자공학과 졸업(공학 석사). 1985년 3월~현재 : 재능대학 정보전자 계열 교수. 2000년 3월~현재 : 인하대학교 대

학원 전자공학과 박사과정(박사수료). <주관심분야 : 다치논리, VLSI 설계, SMPS>