

論文2003-40SD-10-7

## 2-패턴 테스트를 고려한 스캔 기반 BIST 구조 (The Scan-Based BIST Architecture for Considering 2-Pattern Test)

孫 允 植 \* , 鄭 正 和 \*

(Yoon Sik Son and Jong Wha Chong)

### 요 약

본 논문에서는 2-패턴 테스트를 고려한 스캔 기반 BIST 구조를 제안한다. 제안하는 BIST는 STUMPS 구조를 기반으로 하고 있다. STUMPS 구조는 테스트 생성기로 선형 귀환 시프트 레지스터(LFSR)를 사용하고, 응답 압축기로는 다중 입력 시프트 레지스터(MISR), 그리고 다중 스캔 패스 구성에는 시프트 레지스터 래치(SRL)을 사용한다. 제안하는 BIST 구조에서는 degenerate MISR이 SRL 채널을 구성하도록 하여, STUMPS 기법에 비하여 원래 회로에 부가되는 BIST 회로의 크기를 줄이고 전체 시스템의 성능에 거의 영향을 주지 않도록 한다. 클럭 당 테스트와 스캔 당 테스트가 모두 지원되는 구조로 설계되며, 특히 스캔 당 테스트에서 스캔 데이터의 회로에 대한 영향을 억제하여 회로의 전력 소모를 크게 줄일 수 있다. ISCAS 89 벤치마크 회로에 대한 실험 결과로부터, SRL 채널 내 데이터의 해밍 거리를 고려하여 제안된 BIST가 경로 지연 고장의 검출에도 적용될 수 있음을 확인한다.

### Abstract

In this paper, a scan-based low power BIST (Built-In Self-Test) architecture is proposed. The proposed architecture is based on STUMPS, which uses a LFSR (Linear Feedback Shift Register) as the test generator, a MISR(Multiple Input Shift Register) as the response compactor, and SRL(Shift Register Latch) channels as multiple scan paths. In the proposed BIST a degenerate MISR structure is used for every SRL channel; this offers reduced area overheads and has less impact on performance than the STUMPS techniques. The proposed BIST is designed to support both test-per-clock and test-per-scan techniques, and in test-per-scan the total power consumption of the circuit can be reduced dramatically by suppressing the effects of scan data on the circuits. Results of the experiments on ISCAS 89 benchmark circuits show that this architecture is also suitable for detecting path delay faults, when the hamming distance of the data in the SRL channel is considered.

**Keyword** : BIST, MISR, Signature, STUMPS

### I. 서 론

지난 20여년간 컴퓨터, 무선 통신, 네트워크 장비, 휴대용 전자 기기 등의 급속한 확산과 함께 반도체 산업은 크게 성장하였다. 최근 몇 년간 아날로그 회로, DSP, 프로세서 및 메모리를 하나의 칩에 집적된 다양한 SoC 제품이 출시되고 있으며, 앞으로도 더욱 저렴

\* 正會員, 漢陽大學校 電子工學科  
(Hanyang University, Department of Electronic Engineering)  
接受日字:2003年9月15日, 수정완료일:2003年10月11日

한 가격으로 더 많은 기능을 갖는 SoC 제품에 대한 요구가 더욱 증대될 것이다. 이러한 반도체 제품을 테스트 하는 기술은 아직까지 고가의 외부 테스트 장비에 의존하고 있으나, 회로의 복잡도 및 성능이 증가함에 따라 외부 테스트 장비가 갖는 한계는 더욱 확연해지고 있다. 이러한 기존의 테스트 방식을 개선할 것으로 업계에서 널리 주목하고 있는 것이 BIST이다. ITRS(International Technology Roadmap for Semiconductor)은 BIST를 SoC의 내부 코어를 테스트 할 가장 현실적인 방법으로 제안하기도 하였다.

BIST는 테스트 대상이 되는 칩 자체 내에 테스트 패턴을 생성하고 그 응답을 분석하는 기능을 내장시켜 테스트를 수행하는 방법이다<sup>[1]</sup>. 모든 테스트 응답의 정상 여부를 평가하기 위해서는 테스트 대상 회로가 테스트 패턴에 대한 모든 정상 응답을 가지고 있어야 한다. 그러나 데이터 저장을 위한 메모리 공간의 크기가 너무 크므로 현실적으로 이 방법은 불가능하며, 일반적으로 BIST는 테스트 응답들을 수 비트 크기의 signature로 최종 압축하는 기술인 signature analysis 라는 기법을 사용한다. 테스트 세션의 마지막 단계에서, 최종 signature를 미리 계산해놓은 정상적인 signature 와 비교함으로써 테스트 대상 회로가 고장을 포함하고 있는지 여부를 판단할 수 있다.

스캔 기반 BIST 구조에서 사용되는 테스트 인가 방법은 스캔 당 테스트(test-per-scan)와 클럭 당 테스트(test-per-clock)로 나누어진다<sup>[2]</sup>. 스캔 당 테스트 BIST 기법에서는 테스트 레지스터 블록이 내부 스캔 경로에 입력 패턴을 넣고 그 응답을 분석하는 작업을 처리한다<sup>[3-5]</sup>. 한 테스트 패턴이 회로에 인가되기 이전에 테스트 생성기가 모든 스캔 경로를 입력 패턴으로 채워야 하므로, 한 테스트 패턴의 길이는 내부 스캔 경로의 크기만큼 증가한다. 즉, 만약 내부 스캔 경로의 길이가 K 라면 하나의 테스트 패턴을 내부 회로에 입력하기 위해서는 내부 스캔 경로를 1비트씩 차례로 채우는데 K 클럭이 필요하고, 주입력과 내부 스캔 경로의 값으로 테스트 패턴을 입력하는데 한 클럭이 필요하다. 따라서 테스트 대상 회로에 한 입력 패턴을 인가하기 위해서는 K+1만큼의 클럭이 요구된다.

클럭 당 테스트 BIST 기법에서는 테스트 벡터의 인가와 테스트 응답을 압축하는 과정이 한 클럭 만에 완료된다<sup>[7-10, 13]</sup>. 일반적으로 클럭 당 테스트 BIST 기법에는 입력 패턴 생성기로서 LFSR이 사용되고 응답 압

축기로서 MISR을 사용된다. 회로의 모든 출력과 회로 내부의 관측지점(observation point)은 MISR에 병렬로 인가되어, 각 테스트 입력에 대한 회로의 응답은 매 클럭 사이클마다 압축된다. 클럭 당 테스트 BIST 기법은 테스트 패턴의 인가가 한 클럭 만에 완료되므로 스캔 당 테스트 BIST 기법에 비하여 테스트 인가 시간에서 큰 차이를 갖는다. 전형적인 클럭 당 테스트 BIST로는 BILBO(Built-In Logic Block Observer)가 있다.

본 논문에서는 클럭 당 테스트와 스캔 당 테스트 기법에 모두 적용될 수 있는 새로운 BIST 구조를 제안한다. 이 구조는 기존의 STUMPS를 기반으로 한다. 모든 내부 스캔 경로인 SRL 채널에 degenerate MISR 기능을 적용하여, STUMPS에 비해 면적의 증가와 성능에 대한 영향을 크게 줄일 수 있다. 또한 클럭 당 테스트 기법에 적용될 때 회로의 전체 전력 소모를 크게 줄일 수 있도록 SRL을 설계한다.

본 논문은 다음과 같이 구성된다. II장에서는 기존의 BIST 구조에 대한 간략한 설명이 제시된다. III장에서는 E-BIST 구조와 동작 모드에 대하여 살펴보고, E-BIST의 저전력화 방안에 대해서 논의한다. IV장에서 ISCAS 89 벤치마크 회로에 대한 실험결과를 제시하고, V장에서 결론을 맺는다.

## II. 기존의 BIST 구조

### 1. STUMPS

가장 널리 알려진 스캔 당 테스트 BIST 기법이 STUMPS(Self-Testing Using MISR and Parallel SRSG)이다. 이 기법은 보드 수준 테스트 방법으로 제안되었으나, 현재는 칩 수준 테스트에서도 고려되고 있다.

<그림 1>은 STUMPS의 전체 구조를 잘 보여주고 있다. 스캔 경로에는 PRPG에 의해 병렬로 한 비트씩 입력되고, MISR을 이용하여 각 스캔 경로에서 출력되는 응답을 압축한다. 회로 내부의 스캔 경로를 작은 크기로 분할하여 다중 스캔 경로를 구성함으로써 테스트 패턴 인가 시간을 크게 단축할 수 있다. 각 스캔 경로의 길이가 동일하지 않은 경우, PRPG는 다중 스캔 경로 중에서 길이가 가장 긴 스캔 경로를 기준으로 테스트 패턴을 인가한다. 이 경우 길이가 작은 스캔 경로에서는 PRPG에 의한 테스트 패턴이 넘쳐서 MISR에 입력되지만, 그 동작을 미리 예측할 수 있으므로 압축 과

정에는 영향이 없다.

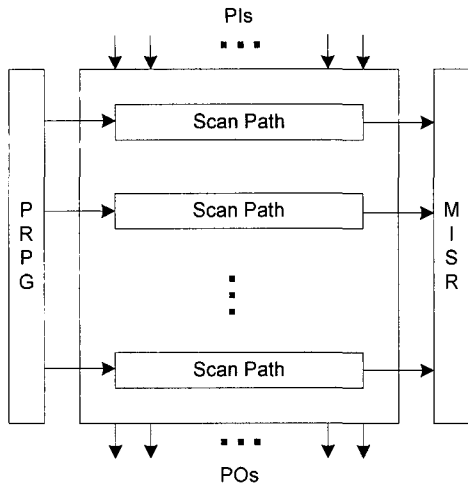


그림 1. STUMPS 구조  
Fig. 1. STUMPS architecture.

2. fast-forward STUMPS

Bardell은 STUMPS를 클록 당 테스트에 효과적으로 적용될 수 있도록 수정한 fast-forward STUMPS 구조를 제안하였다. 이 구조는 <그림 2>와 같이 SRL 채널에 두 가지의 패리티 검사 회로가 포함하고 있다.

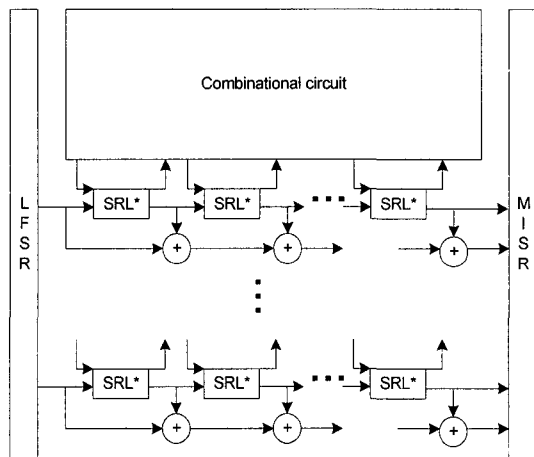


그림 2. Fast forward STUMPS 구조  
Fig. 2. Fast forward STUMPS architecture.

Fast forward 모드에서 첫 번째 패리티 검사 회로는 <그림 2>에 표시된 XOR 네트워크이며, 테스트 패턴이 인가될 때 마다 SRL 채널의 현재 상태에서부터 하나의 패리티를 생성하여 MISR로 출력한다. 두 번째 패리티

검사 회로는 <그림 2>의 SRL\* 내부에 존재하며, 테스트가 진행되는 동안 각 SRL의 시스템 데이터 입력 핀에 입력되는 비트 스트림의 패리티를 검사한다. <그림 3>은 fast-forward STUMPS 구조에 사용되는 SRL\*의 구조를 보인 것이다.

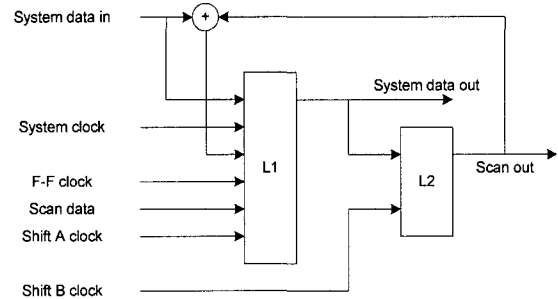


그림 3. 시프트 레지스터 래치(SRL\*)의 구성  
Fig. 3. The structure of the shift register latch (SRL\*).

Fast-forward STUMPS가 클록 당 테스트 BIST 기법을 갖는 구조이기는 하나, 몇 가지 구조적인 문제점을 안고 있다. STUMPS 구조에 비해 각 SRL에는 두 개의 2-입력 XOR 게이트가 추가된다. 또한 fast-forward 모드에서 사용되는 F-F 클록과 L2 나 L1에서 SRL의 시스템 데이터 입력으로 귀환하는 신호선이 부가된다. 또한 SRL 채널의 XOR 게이트 네트워크가 갖는 과도한 지연 시간은 테스트 속도를 크게 떨어뜨리게 되며, 따라서 지연 고장을 검출하기에는 적합하지 않은 구조라고 할 수 있다.

III. E-BIST

앞에서 언급한 바와 같이 STUMPS는 가장 널리 사용되는 BIST 구조이기는 하지만, 속도와 면적 면에서 부가되는 오버헤드가 크다. 따라서 본 장에서는 이러한 문제점을 해결할 수 있는 E-BIST 구조를 제안한다.

1. MISR의 특성

일반적으로 테스트 응답을 수 비트의 signature로 압축하는데 널리 사용되는 것이 MISR이다. MISR에서의 응답 압축 과정은 다음과 같은 두 가지 압축 동작으로 나누어 볼 수 있다.

(1) 공간 압축(space compaction)

크기가 N인 degenerate MISR은 N 비트 크기의 입

력 패턴 L 개를 N+L-1 크기의 비트 스트림으로 압축하는 것을 공간 압축이라고 한다.

(2) 시간 압축(time compaction)

MISR과 동일한 생성 다항식을 갖는 LFSR에 의해 N+L-1 크기의 비트 스트림을 N비트의 signature로 압축한다.

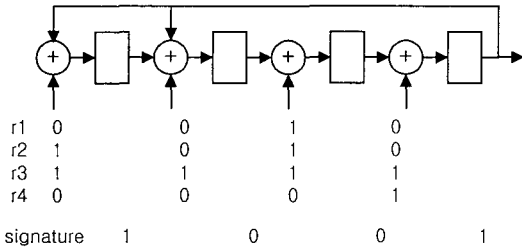


그림 4. 귀환 다항식이  $x^4+x+1$ 인 MISR의 구조  
Fig. 4. The structure of MISR with feedback polynomial of  $x^4+x+1$ .

예를 들어 <그림 4>를 살펴보자. MISR의 귀환 다항식(feedback polynomial)은  $x^4+x+1$  이며, MISR에 병렬로 입력되는 응답 패턴은 0010, 1010, 1111, 0001이다. MISR의 초기 상태가 0000으로 가정하면, <그림 4>에서 보인 바와 같이 4개의 응답에 대한 압축이 끝난 다음에 MISR이 갖는 상태인 signature는 1001이다.

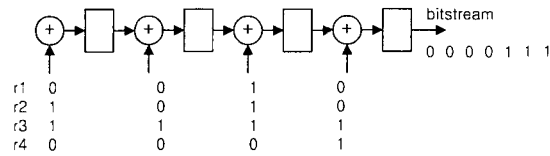


그림 5. Degenerate MISR에 의한 공간 압축  
Fig. 5. Space compaction by the degenerate MISR.

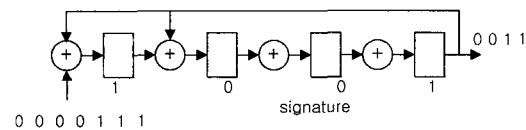


그림 6. LFSR에 의한 시간 압축  
Fig. 6. Time compaction by the LFSR.

이와 같은 압축 과정은 <그림 5>와 <그림 6>의 두 가지 압축 동작으로 나누어 설명될 수 있다. 먼저 MISR과 동일한 크기의 degenerate MISR로 0011, 1000, 1111, 0101을 차례로 압축하면 비트 스트림

00001111 을 얻을 수 있다. 그리고 이 비트 스트림을 MISR과 동일한 귀환 다항식을 갖는 LFSR로 압축하면, LFSR에 남는 최종 signature는 <그림 4>와 동일한 1001이다.

2. E-BIST의 구조 및 동작 모드

<그림 7>은 E-BIST의 전체 구조를 보인 것이다. E-BIST는 SRL 채널 구성에 degenerate MISR 을 사용한다. 이는 기존 fast-forward STUMPS 구조에서 사용한 두 가지 XOR 네트워크의 기능을 degenerate MISR이 갖는 공간 압축 기능으로 대체하기 위해서이다.

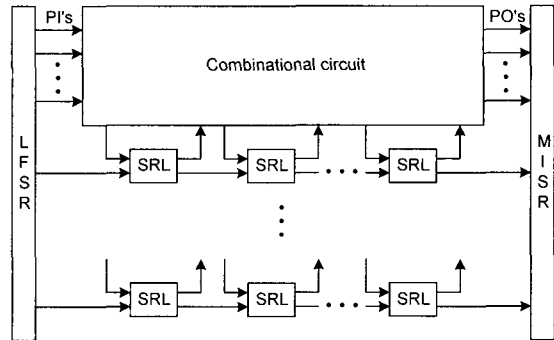


그림 7. E-BIST 구조  
Fig. 7. The E-BIST architecture.

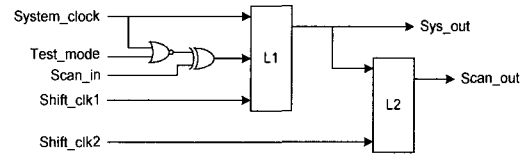


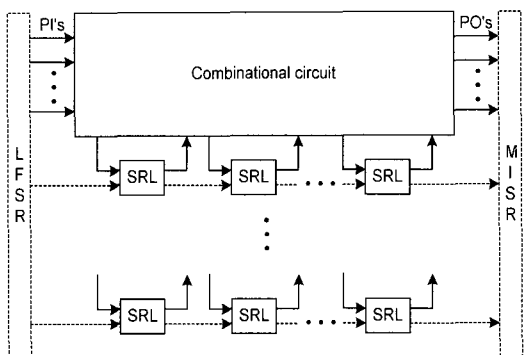
그림 8. E-BIST의 시프트 레지스터 래치  
Fig. 8. The shift register latch in E-BIST.

<그림 8>은 변경된 SRL 구조이다. Fast forward 모드에서 동작을 설명해 보기로 하자. PRPG, MISR, 그리고 모든 SRL이 초기 상태에 있으며, Test\_mode가 0 이면 회로는 fast forward 모드로 들어간다. Shift\_clk1 클럭을 일정 시간동안 on 시켰다가 다시 off 시킨다. 이 때 L1의 출력은 Sys\_data와 Scan\_in에 의해서 결정된다. Shift\_clk2 클럭이 일정 시간동안 on 되었다가 다시 off 된다. 이 때 L1의 출력은 L2를 통해서 다음 SRL의 Scan\_in 입력으로 시프트되고, 동시에 Sys\_out 을 통해 테스트 대상 회로의 입력 값으로 인가된다. 한 테스트 동작을 완료하는 클럭 순서는 Shift\_clk1,

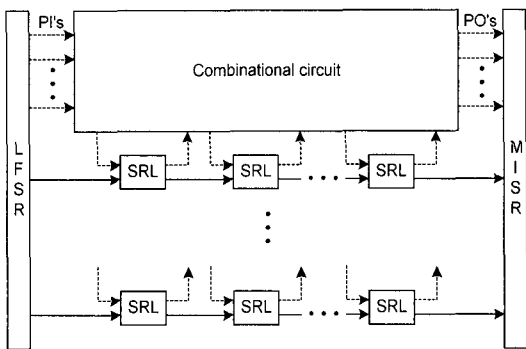
Shift\_clk2이다. 충분히 많은 클럭을 발생시킨 다음에 Test\_mode를 1로 만들어 SRL 채널 내에 있는 압축 결과를 MISR로 시프트 시키면서 압축한다.

E-BIST는 정상 동작 모드, 스캔 테스트 모드, fast forward 모드의 세 가지 동작을 지원한다. 정상 동작 모드는 테스트 대상 회로가 정상적인 회로로서 동작하는 모드이다. 이때 SRL의 입력은 Sys\_data이며, 출력은 Sys\_out이다. 스캔 테스트 모드는 스캔 당 테스트

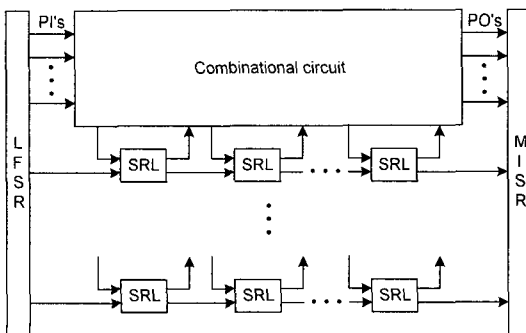
BIST로 동작하는 모드이다. 이때 SRL의 입력과 출력은 Scan\_in과 Scan\_out이며, SRL 채널을 스캔 체인을 구성한다. Fast forward 모드는 클럭 당 테스트 BIST로 동작하는 모드이다. 이때 SRL의 입력 값은 Sys\_data와 Scan\_in에 의해 결정되며, SRL의 Sys\_out은 다음 클럭에서의 테스트 입력으로 사용된다. <그림 9>는 세 가지 모드에서의 회로 상태를 잘 보여주고 있다.



(a) 정상 동작 모드



(b) 스캔 테스트 모드



(c) fast forward 모드

그림 9. E-BIST의 세 가지 동작 모드  
Fig. 9. Three operation modes of E-BIST.

### 3. 스캔 기반 저전력 BIST

스캔 기반 BIST에서 SRL 채널에 한 입력 패턴을 채우기 위해서는 다수의 시프트 동작이 필요하다. 그러나, 이 시프트 동작동안 발생하는 각 SRL의 출력에서의 논리 값의 변화는 테스트 대상 회로 내부로 그대로 전파되어 불필요한 스위칭 동작이 발생하게 된다. 반면에 시프트 동작 중에 발생하는 이런 논리 값의 변화를 SRL을 스캔 출력핀으로만 전파한다면 BIST 동작 동안 소모되는 전력을 크게 줄일 수 있다.

<그림 10>은 E-BIST의 수정된 SRL을 보여주고 있다. Sys\_clk는 시프트 동작과 시스템의 정상 동작의 기준이 되는 클럭 신호이며, Fast\_mode와 Test\_mode라는 모드 선택 신호를 두었다. 상세한 내부 구성을 <그림 11>에서 살펴보자.

Test\_mode와 Fast\_mode가 모두 0이면 래치 1의 Scan\_in 경로는 고 임피던스 상태에 있으므로 SRL은

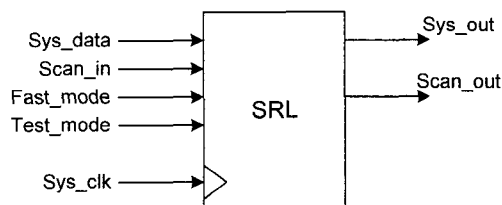


그림 10. E-BIST의 저전력 SRL  
Fig. 10. The low power SRL in E-BIST.

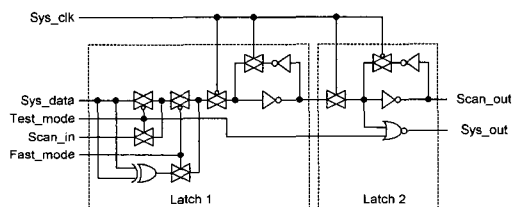


그림 11. 저전력 SRL의 상세 내부 구성  
Fig. 11. The detail structure of the low power SRL.

표 1. 제어 신호와 SRL의 동작 모드

Table 1. The control values and the operation modes of SRL.

Test_mode	Fast_mode	SRL의 동작 모드
0	0	정상 동작 모드
1	0	스캔 당 테스트 모드
X	1	클럭 당 테스트 모드

일반적인 이중 래치로 동작한다.

Test\_mode가 1이고 Fast\_mode가 0이면 SRL은 시프트 동작만 수행한다. 이때 Test\_mode가 1이면 Sys\_out은 0으로 고정되므로, SRL 채널로 시프트되는 테스트 패턴이 Sys\_out 값을 변화시키지 않으므로 테스트 대상 회로의 내부에 전혀 영향을 주지 않는다. 즉, 시프트 동작에서는 SRL 채널 내부에서만 전력 소모가 발생한다.

Test\_mode가 0이고 Fast\_mode가 1이면, SRL은 fast forward 모드로 동작한다. 즉, 래치 1의 출력은 Sys\_data와 Scan\_in에 의해 결정되며, Sys\_clk가 0인 구간에 Scan\_out과 Sys\_out으로 전파된다. 각 제어 신호와 SRL의 동작 모드를 <표 1>에 정리하였다.

#### IV. 실험 결과

경로 지연 고장을 검출하기 위해서는 두 개의 입력 패턴이 요구된다. 첫 번째 입력 패턴에 의해 테스트 대상이 되는 경로를 초기화 시킨다. 다음 클럭에서 두 번째 입력 패턴으로 대상 경로에 천이를 주어 주출력이나 SRL 까지 전달시켜 원하는 시간 내에 천이가 전파되는 가를 평가한다.

E-BIST 구조의 PRPG로 채용한 LFSR과 SRL 채널 구성에 사용한 degenerate MISR에서 매 클럭마다 생성되는 패턴은 바로 전 패턴과 높은 상관도(correlation)을 갖는다. 이와 같이 상관도가 높은 패턴들을 경로 지연 고장의 검출에 바로 적용하게 되면 고장 검출율을 떨어뜨리는 원인이 된다. 예를 들어, ISCAS 89 벤치마크 회로 중에 하나인 S838에 E-BIST 구조를 적용하여 본 결과 LFSR과 degenerate MISR에 의해 생성된 1000개의 입력 패턴쌍에서 0에서 1또는 1에서 0으로 천이가 매우 드물게 발생한다. 따라서 천이가 자주 발생하는 SRL을 천이 발생이 적은 SRL 그룹에 함께 포함되도록 재배열함으로써 전체 테스트 패턴에서의 천

이 회수를 크게 증가시킬 수 있다.

제안한 BIST 기법의 유용성을 평가하기 위해서 ISCAS 89 벤치마크 회로를 대상으로 1000개의 의사 랜덤 패턴 쌍에 의한 경로 지연 고장의 검출에 대하여 실험하였다. 실험의 편의를 위해서 다중 스캔이 아닌 단일 스캔의 E-BIST 구조를 적용하였다. 실험에 사용된 ISCAS 89 벤치마크 회로의 특성을 <표 2>에 정리하였다.

표 2. ISCAS 89 벤치마크 회로

Table 2. ISCAS 89 benchmark circuits.

회로	주입력 수	주출력 수	SRL 수	게이트 수
s208	10	1	8	66
s526	3	6	21	140
s838	34	1	32	288
s953	16	23	29	311
s1423	17	5	74	490
s5378	35	179	49	1004

E-BIST 구조를 첨가한 수정된 벤치마크 회로에 대하여 경로 지연 고장에 대한 시뮬레이션을 수행하였다. 그 결과는 <표 3>에 정리하였다.

표 3. 실험 결과

Table 3. The experimental results.

회로	재배열 이전		재배열 이후	
	Robust	Non-robust	Robust	Non-robust
s208	120	2144	118	2311
s526	278	4722	356	5808
s838	177	3133	190	3200
s953	333	8486	535	12455
s1423	1123	39249	1145	41981
s5378	1660	103179	2114	116192

<표 2>에서 '재배열 이전' 항목은 벤치마크 회로의 netlist에 주어진 순서대로 SRL 채널을 구성한 결과이며, '재배열 이후'항은 SRL에서의 천이 발생 확률을 고려하여 SRL 채널을 구성한 결과이다. 표에서 알 수 있는 바와 같이, SRL 재배열을 통해 제안된 BIST 구조는 지연 고장 검출에도 효과적으로 적용될 수 있다.

#### V. 결론

본 논문에서는 클럭 당 테스트와 스캔 당 테스트 기법에 모두 적용될 수 있는 새로운 BIST 구조를 제안하

였다. 이 구조는 기존의 STUMPS를 기반으로 한다. 기존의 fast forward STUMPS는 클럭당 테스트 시에 SRL 채널에서 갖는 긴 지연 시간으로 인해 2-패턴 테스트에 적용되기가 어려우나, E-BIST 구조는 SRL 채널에 degenerate MISR 기능을 적용하여, STUMPS에 비해 면적의 증가와 성능에 대한 영향을 크게 줄일 수 있다. 또한 클럭 당 테스트 모드에서 회로의 전체 전력 소모를 크게 줄일 수 있는 SRL의 설계 방안을 제시하였다. ISCAS 89 벤치마크 회로에 대한 실험결과 해밍 거리를 고려한 SRL 재배치를 고려함으로써 제안한 스캔 기반 BIST 구조가 2-패턴 테스트가 요구되는 지연 고장의 검출에 큰 효과가 있음을 확인할 수 있었다.

### 참 고 문 헌

- [1] M. Abramovici, M. A. Breuer, A. D. Friedman, Digital Systems Testing and Testable Design, Computer Science Press, 1990.
- [2] P. H. Bardell, W. H. McAnney, J. Savir, Built-in Test for VLSI: Pseudorandom Techniques, John Wiley and Sons, New York, 1987.
- [3] P.h. Bardell, W. H. McAnney, "Parallel Pseudorandom Sequences for Built-In Test," Proc. Int'l Test Conf. pp. 302-308, 1984.
- [4] P.H. Bardell, W.H. McAnney, "Simultaneous Selt-Testing System," U. S. Patent No. 4, 513, 418, April 23, 1985.
- [5] S. DasGupta, P. Goel, R. F. Walter, T. W. Williams, "A Variation of LSSD and its Implications on Design and Test Pattern Generation in VLSI," Proc. Int'l Test Conf., pp. 63-66, 1982.
- [6] B. Nadeau-Dostie, D. Burek, A. Hassan, "ScanBist: A Partial Scan Based BIST Method," IEEE Design and Test of Computer, pp. 1-16, Spring, 1994.
- [7] C. Lin, Y. Zorian, and S. Bhawmik, "PSBIST: A Partial Scan Based Built-In Self-Test Scheme," Proc. Int'l Test Conf., pp. 507-516, 1993.
- [8] H. Wunderlich and G. Kiefer, "Bit-Flipping BIST," ICCAD 96, pp. 337-343, 1996.
- [9] A. Krasniewski, S. Pilarski, "Circular Self-Test Path: A Low-cost BIST Technique for VLSI Circuits," IEEE Trans. on CAD, pp. 46-55, 1989.
- [10] J. Savir, "Reducing the MISR Size," IEEE Trans. on Computer, pp. 930-938, 1996.
- [11] Y. Zorian, A. Ivanov, "An Effective BIST Scheme for ROM's," IEEE Trans. on Computer, pp. 646-654, 1992.
- [12] T. Kameda, S. Pilarski, A. Ivanov, "Notes on Multiple Input Signature Register," IEEE Trans. on Computer, pp. 228-234, 1993.
- [13] Y. Son, J. Chong, and G. Russell, "E-BIST: enhanced test-per-clock BIST architecture," IEE Proc. Comput. Digit. Tech., Vol. 149, No 1, pp. 9-15, 2002.
- [14] S. Gerstendorfer and H. Wunderlich, "MINIMIZED POWER CONSUMPTION FOR SCAN-BASE BIST," Proc. Int'l Test Conf., pp. 77-84, 1999.

### 저 자 소 개

孫 允 植(正會員) 第40卷 SD編 第9號 參照  
현재 : 한양대학교 박사과정

鄭 正 和(正會員) 第40卷 SD編 第9號 參照  
현재 : 한양대학교 정보통신대학 교수