

論文2003-40SD-10-1

전해도금법을 이용한 구리 박막의 성장 및 열처리 효과

(Growth and Annealing Effect of Cu thin Films Using Electroplating Technique)

朴炳男*, 姜炫在*, 崔時永*

(Byung Nam Park, Hyun Jae Kang, and Sie Young Choi)

요약

본 연구는 Cu/Ta/Si 기판 위에 전해 도금법으로 성장 시킨 구리 박막을 성장 시켰다. 성장 속도는 음극 전류 밀도에 비례하고 용액의 유량에 반비례하였다. 성장된 구리 박막의 저항률은 약 $2.1 \mu\Omega\text{cm}$ 이었고, $\text{Int}_{(111)}/\text{Int}_{(200)}$ 비는 5.4였으며, 박막내에 불순물은 발견 되지 않았다. 성장후에 10^{-3} torr의 진공 중에서 온도를 변화해 가면서 열처리를 수행하였다. 열처리후에 저항률은 17 %, 결정성은 40 %의 향상을 보였으며 170 °C 까지는 박막의 스트레스는 변화가 없었다.

Abstract

Copper thin films were deposited on a Cu/Ta/Si substrate using the electroplating technique. Deposition rate was about 200 nm/min in proportion to current density and in inverse proportion to flow rate. Resistivity of copper thin film was approximately $2.1 \mu\Omega\text{cm}$ and $\text{Int}_{(111)}/\text{Int}_{(200)}$ ratio of copper film was 5.4 and no significant impurities were detected. After the deposition, electroplating copper films were annealed at various temperatures in a background pressure of 10^{-3} torr. The resistivity of copper thin films were improved by ~17 % and texture was improved by ~40 % after annealing at 170 °C. The stress in films was not reduced much after annealing below 170 °C.

Keyword : Copper, electroplating, annealing, resistivity, deposition rate

1. 서론

최근 반도체 소자 개발의 추세는 많은 기능을 가지면서도 크기가 작은 제품을 개발하기 위해서 높은 소자 집적도를 가지는 초고집적회로의 개발이 가속화되고 있다. 집적회로에서 단위 소자의 크기가 감소되면 게이트 지연 시간이 감소하고 보다 더 많은 소자를 기판에 집적시킬 수 있게 된다. 그러나 소자의 미세화 및

고집적화는 결과적으로 소자 배선 단면의 감소를 초래하여 배선의 저항을 상승시키고 배선간의 간격이 좁아짐에 따른 배선 기생 전기 용량의 증가를 야기한다. 배선 지연 시간을 감소시키기 위해서는 저 저항의 배선 재료와 저유전율의 층간 절연막을 사용하여야 한다^[1]. 현재 배선 물질로 사용되고 있는 알루미늄의 경우 저항이 비교적 낮고, SiO_2 와의 접착력이 좋은 장점이 있으나, 600 °C 정도로 녹는점이 낮아 고온 공정에서 hillock이 쉽게 생기며 electro-migration과 stress-migration에 취약하여 배선에 대한 전류밀도가 높아질 경우 배선 안정성이 떨어지는 문제점이 있다. 이러한

* 正會員, 慶北大學校 電子電氣工學部

(School of Electronics and Electrical Engineering
Kyungpook National University)

接受日字:2003年1月29日, 수정완료일:2003年10月9日

문제점을 해결해 줄 수 있는 배선 물질로서 구리에 대한 연구가 최근 국내외적으로 활발히 이루어지고 있다^[2-4]. 구리 박막은 알루미늄에 비해 낮은 비저항을 가지고 있어 RC 지연 시간을 줄여 소자의 동작 속도를 향상시킬 수 있고, EM과 SM에 대한 내성이 알루미늄보다도 뛰어난 것으로 알려져 있다. 구리 박막은 스퍼터링^[5], MOCVD(metal organic chemical vapor deposition)^[6], 도금법^[7,8] 등으로 주로 제작하고 있다.

스퍼터링법은 기존의 생산장비를 사용할 수 있고 양호한 막질을 얻을 수 있으며 양산이 용이하다는 장점을 가지고 있으나, via hole이나 contact hole의 중형비가 클 경우에 단차피복성의 한계를 극복하기 어려워 hole 내부에 void가 형성되거나 dual-damascene의 공정이 곤란하다는 단점이 있다. MOCVD법은 스퍼터링의 단점인 단차피복성에 대해 우수한 성질을 가지고 있어 미세화에 대응이 가능하다. 그러나 높은 원료비용과 낮은 성장속도, 재현성 등의 신뢰성이 떨어진다는 단점이 있다. 도금법에는 무전해 도금법(electroless plating)과 전해도금법(electroplating)이 있다. 무전해도금법은 고 중형비에서도 우수한 gap filling 특성을 보여 준다^[9]. 그러나 grain 크기가 작아 EM에 대한 내성이 낮고 반응 화학성도 복잡하여 제어가 어렵다.

전해도금법은 첨가제를 포함하는 황산구리용액 속에 웨이퍼와 함인동을 넣고 웨이퍼 표면에 음극을 함인동에 양극을 연결하여 전류를 인가하면 용액 중에서 구리 이온이 발생하여 음극으로 끌려 당겨진다^[10]. 그리고 seed layer를 재료로 하여 구리가 성장한다^[11, 12]. 전해도금법은 성장속도가 높을 뿐만 아니라, 화학적 반응이 비교적 간단하고 취급이 쉬우며 grain 크기가 크고 양호한 막질을 얻을 수 있으므로 EM에 대한 내성이 우수하다. 그러나 전해도금법은 반드시 seed layer가 필요하다는 단점이 있다. 전해도금으로 성장시킨 구리 박막의 경우 스퍼터링법으로 성장시킨 구리 박막보다 비저항이 조금 높지만 열처리를 하게 되면 결정이 성장하고 표면이 부드러워지고 박막의 내부 결함도 줄일 수 있기 때문에 충분히 보완할 수 있을 것으로 예상된다.

본 연구에서는 전해도금법으로 구리 박막을 성장시킨 후 열처리를 하여 비저항, 결정성, stress, 표면 거칠기, 조성비등의 변화를 알아보았다. 측정 장비로는 4탐침법(four point probe), XRD(x-ray diffraction), SEM(scanning electron microscopy), AFM(atomic force microscopy), AES(auger electron spectroscopy) 등이

이용되었다.

II. 실험

1. 기판의 준비

사용된 기판은 4" p-type (100) Si wafer 이고 기판 표면의 오염 물질을 제거하기 위하여 반도체 표준 세척 공정에 의해 세척한 후 10:1 HF 용액으로 자연 산화막을 제거하고, DI water로 씻은 후 질소 가스를 이용하여 기판을 건조 시켰다.

Seed layer를 형성하기 위해 스퍼터링 방법으로 증착한 구리박막은 대기에 노출되어 구리 산화 피막이 형성될 수 있다. 따라서 전해액 내에 기판을 담그기전에 10% HCl 수용액에 10초 정도 담그어 구리 seed layer의 산화막을 제거하고, DI water로 씻은 후 질소 가스를 이용하여 기판을 건조 시켰다

2. 구리 전해도금

<그림 1>은 본 실험에 사용된 전해도금 장비의 개략도이다. 전해도금이 수행되는 반응기는 내산성을 가지는 테프론 재질로 제작하였고, 순환경로와 연결 이음새는 PE(polyethylene)재질로 제작하였다. 황산구리 용액은 마그네트론 펌프에 의해 순환하도록 하였고, 공기의 유입으로 용액이 산화되는 것을 방지하기 위해 반응성이 없는 O-ring으로 sealing이 되도록 하였다. 반응기 내부로 이물질의 유입을 막기 위해 1 μm 용 여과기를 사용하였고, 테프론 재질의 밸브 2개를 설치해 하나는 스위칭 밸브로 나머지 하나는 유량조절용 밸브로 사용해 용액의 흐름을 정확히 조절하였다.

웨이퍼가 설치될 음극과 전해도금 시에 황산구리 용액에 구리이온을 공급하는 양극은 슬러지의 발생을 줄이기 위해 함인동 재질로 제작하였으며, 음극의 면적은 20 cm^2 이다. 그러므로 만약 전류공급원으로부터 0.5 A의 전류를 공급했을 때 전류밀도로 환산하면 25 mA/cm^2 의 음극전류밀도를 인가하는 것이 된다. 구리 박막의 균일성 개선과 양극에서의 슬러지 발생을 줄이기 위해 음극보다 양극의 면적을 크게 하였다.

전해도금을 하기 전에 구리가 실리콘 내부로 확산되는 것을 막기 위한 확산방지막으로서 스퍼터링 방법으로 Ta을 400 Å 두께로 증착 하였으며 in-situ로 전극으로 사용될 seed layer로서 Cu를 600 Å 두께로 증착한 다음 구리를 전해도금으로 성장시켜 Cu/Ta/Si 구조를

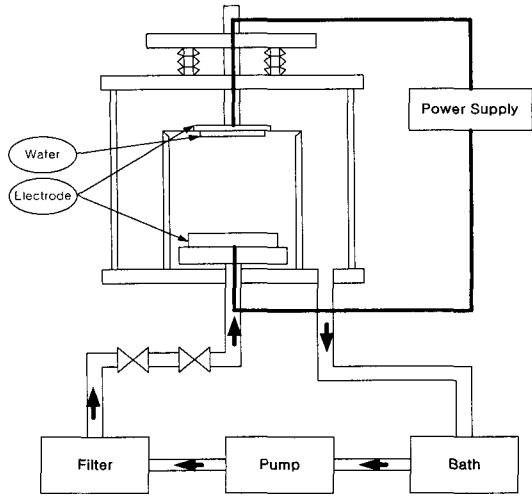


그림 1. 전해도금 장비의 개략도
Fig. 1. Schematic diagram of electroplating system.

표 1. 전해도금 구리 막의 성장조건

Table 1. The growth conditions of electroplating copper films.

parameters	values
electrode distance	4 cm
current density	15 ~ 35 mA/cm ²
flow rate	600 ~ 2200 ml/min
temperature	23 ~ 25 °C

형성하였다. 황산구리 용액은 일본 EEJA사의 Cu MICROFAB200 제품을 구입하여 사용하였으며 성장조건은 <표 1>과 같다.

3. 구리박막의 열처리

전해도금으로 성장시킨 구리 박막의 열처리 후 미세구조의 변화를 알아보기 위하여 <표 2>와 같이 조건별로 진공에서 열처리를 하였다. 열처리 시간은 설정 온

표 2. 전해도금 구리 박막의 열처리 조건

Table 2. Annealing conditions of electroplating copper films.

parameters	values
substrate temperature	100 ~ 500 °C
annealing time	30 min
pressure	10 ⁻³ torr
temperature raising rate	5 °C/min

도 도달시점부터 적용하였으며 열처리가 끝난 후에는 진공을 유지하면서 서냉하였다.

4. 측정 및 분석

여러 가지 조건으로 성장시킨 구리 박막의 특성과 열처리 전후의 특성변화를 조사하기 위해 비저항, 결정성, stress, 표면구조, 단면구조, 화학조성 등을 측정 및 분석하였다.

구리 박막의 비저항 변화를 측정하기 위해서 SEM 단면 사진과 4 탐침법(four-point probe)을 이용하였고, 결정성의 변화를 측정하기 위해서는 XRD를 이용하였고, stress를 측정하기 위해서는 HR-XRD를 이용하였고, 표면구조와 단면의 미세구조를 알아보기 위해서는 AFM과 SEM을 이용하였고, 화학조성을 분석하기 위해서는 AES를 이용하였다.

III. 결과 및 고찰

1. 성장조건별 구리박막의 특성

전해도금의 막 성장 메커니즘은 전기분해에 의한 이온들의 반응이므로 전류밀도가 가장 큰 변수이다. 그래서 이러한 특성을 알아보기 위해서 전류밀도를 15 mA/cm² 에서 35 mA/cm² 까지 5 mA/cm² 간격으로 각각 박막을 성장시켰다. 이 때의 다른 공정 조건은 시간은 3 min 으로 하였고 유량은 600 ml/min 으로 고정시켰다. <그림 2>는 전류밀도에 따른 성장률을 나타낸 것이다. 성장속도는 분당 200 nm정도로 CVD나 스퍼터 등 다른 방법에 비교해서 상당히 빠름을 알 수 있다. 전류밀도가 증가함에 따라 막 성장속도가 빨라지지만 증가율은 감소함을 알 수 있다. 이는 구리이온들의 움직임이 전류밀도에 비례하지 못하고 양극에서 슬러지의 발생이 증가하기 때문이다.

<그림 3>은 전류밀도별 성장률을 계산한 다음 1 μm 의 두께로 성장시켜서 비저항을 알아보았다. 박막의 비저항은 박막 미세구조에 있어 결정립의 크기가 크고 고르며, void가 적을수록 낮은 값을 가진다. 따라서 비저항은 미세구조 변화의 중요한 척도이며 EM 현상은 이 비저항 값의 변화에 가장 큰 영향을 받는다. 그래프에서 알 수 있듯이 전류밀도가 30 mA/cm² 가 되는 시점부터 비저항이 급격히 증가하는 특성을 보였다. 저 전류밀도에서 낮은 비저항 값을 나타내는 것은 기판 표면에 구리가 천천히 균일한 핵 형성이 이루어지면서

도금되어 void와 같은 결함이 생기는 확률이 줄어들기 때문이며 전류밀도가 증가할수록 구리이온들의 전착속도가 빠르기 때문에 전류밀도가 낮을 때 보다 작은 결정이 성장하고 막의 치밀성도 떨어져 매우 거친 표면을 나타내기 때문에 자연히 비저항이 증가한다.

전류밀도일 때는 결정성장이 원활하지 못하기 때문이다. 같은 조건이라도 막의 두께가 증가하면 $Int_{(111)}/Int_{(200)}$ 비는 감소하게 되는데 이는 전착 초기에는 (111) 방향으로 우세하게 성장되지만 두께가 증가할수록 접착 grain들이 (200)방향으로 성장하기 때문이다.

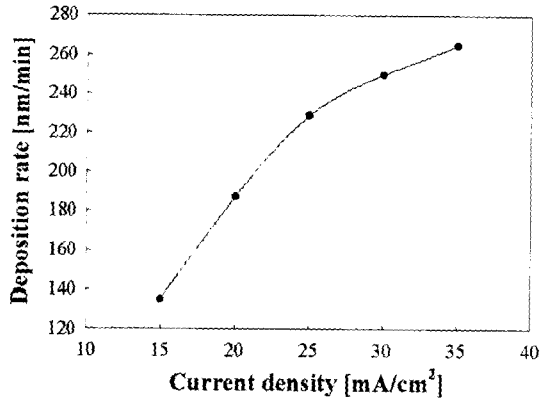


그림 2. 전류밀도에 따른 구리 박막의 성장률
Fig. 2. Deposition rate of Cu thin films as a function of current density.

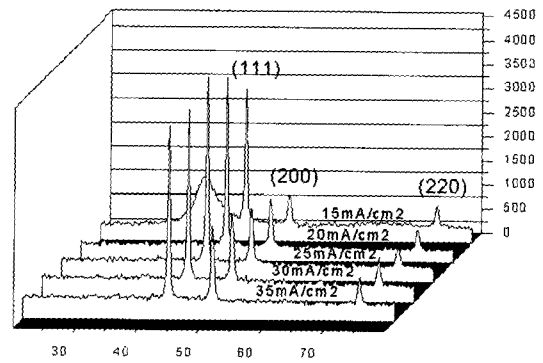


그림 4. 전류밀도에 따른 구리 박막의 XRD 패턴
Fig. 4. XRD pattern of Cu thin films as a function of current density.

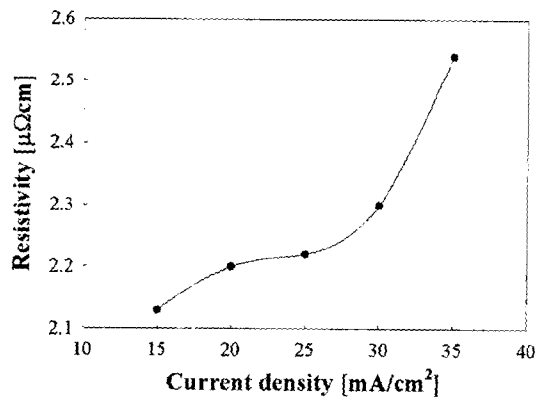


그림 3. 전류밀도에 따른 구리 박막의 비저항
Fig. 3. Resistivity of Cu thin films as a function of current density.

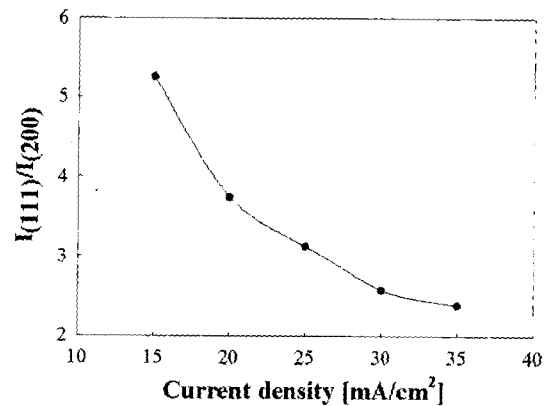


그림 5. 전류밀도에 따른 구리박막의 $Int_{(111)}/Int_{(200)}$ 비
Fig. 5. $Int_{(111)}/Int_{(200)}$ ratio of Cu thin films as a function of current density.

<그림 4>은 전류밀도에 따른 XRD 패턴이고, <그림 5>은 전류밀도에 따르는 $Int_{(111)}/Int_{(200)}$ 비의 변화이다. 성장된 구리박막은 모두 다결정 구조이며 43° 근처에서 (111)방향이 지배적이다. 구리박막의 결정성에 있어서 (111)방향은 (200)방향에 비해서 EM 저항성이 우수하며 이는 (111)방향이 배선에 평행하기 때문이다. 전류밀도가 증가함에 따라 $Int_{(111)}/Int_{(200)}$ 비가 감소함을 알 수 있는데 이는 비저항에서의 특성과 마찬가지로 고

<그림 6>는 유량별로 성장시킨 막의 성장속도이다. 유량의 조절 범위는 최저 600 ml/min 에서 최고 2200 ml/min 까지 400 ml/min 간격으로 변화시켰다. 성장조건은 전류밀도는 25 mA/cm² 로 고정시키고 도금시간은 3 분으로 하였다. 600 ml/min 와 1000 ml/min 일 때의 성장속도는 230 nm/min 정도이나 유량이 증가할수록 감소하는 경향을 보였다. <그림 7>은 위와 같은 조건에서 성장시킨 막의 비저항을 나타낸 그림이다. 비저항

변화에서의 특성은 성장속도에서 나타난 특성과 반대로 600 ml/min 와 1000 ml/min 일 때는 2.2 $\mu\Omega\text{cm}$ 이나 유량이 증가할수록 증가한다. 다시 말해서 전해도금을 할 때 도금용액의 유량이 작을수록 성장속도와 비저항 면에서 우수한 결론을 얻을 수 있다.

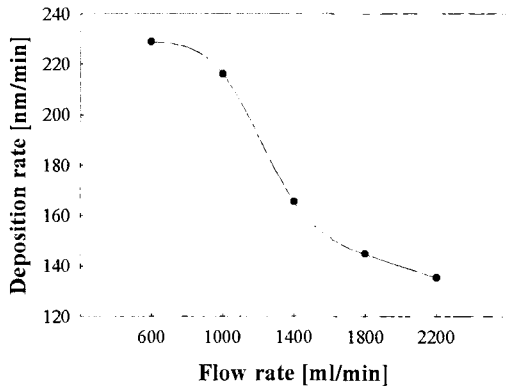


그림 6. 유량에 따른 구리 박막의 성장률
Fig. 6. Deposition rate of Cu thin films as a function of flow rate.

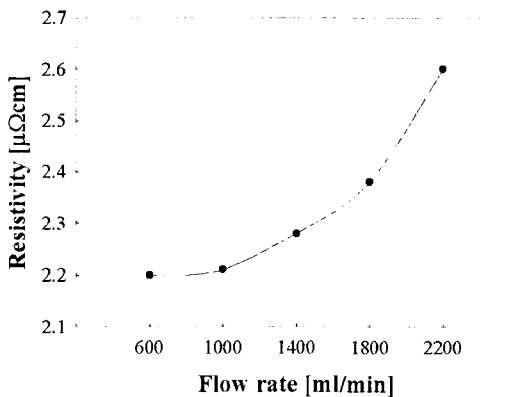


그림 7. 유량에 따른 구리 박막의 비저항
Fig. 7. Resistivity of Cu thin films as a function of flow rate.

2. 구리박막의 열처리 특성

전해도금된 구리박막의 열처리가 박막에 미치는 특성을 알아보기 위하여 30 mA/cm², 600 ml/min, 4 min 의 조건으로 1 μm 의 두께로 성장시킨 막을 열처리하여 비저항, 결정성, stress에 관한 특성을 알아보았다. 열처리는 100부터 500 $^{\circ}\text{C}$ 까지 100 $^{\circ}\text{C}$ 간격으로 하였다. 구리막의 산화를 막기 위해 진공(10^{-3} torr)에서 5 $^{\circ}\text{C}/\text{min}$ 의 온도상승률로 가열한 다음 열처리 온도 도달시점부

터 30분 동안 열처리 후 진공을 유지하면서 서냉하였다.

<그림 8>는 100부터 500 $^{\circ}\text{C}$ 까지 열처리 온도에 따르는 비저항의 변화를 나타내었다. 열처리하기 전의 구리박막의 비저항은 2.3 $\mu\Omega\text{cm}$ 이었으나 열처리후의 비저항감소는 100부터 계속 증가하여 500 $^{\circ}\text{C}$ 에서는 19 % 까지 향상된 값을 나타내었다. 이 때의 비저항은 1.863 $\mu\Omega\text{cm}$ 이다. 그림에서 보면 120부터는 비저항의 향상이 서서히 증가하면서 200 $^{\circ}\text{C}$ 이상에서는 서서히 포화되는 것을 볼 수 있다. 이것은 120 $^{\circ}\text{C}$ 가 되면 성장된 구리 박막의 grain들이 거의 성장을 다했으며 200 $^{\circ}\text{C}$ 가 되면 인접 grain들이 서로 뭉쳐져 grain boundary가 현저하게 줄었기 때문이며, 그러므로 그이상의 온도에서는 비저항 감소 변화의 폭이 적었다.

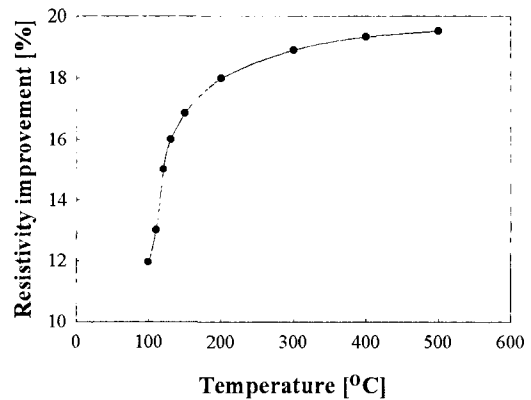


그림 8. 열처리 온도에 따른 구리 박막의 비저항 향상 정도
Fig. 8. Resistivity improvement of Cu thin films annealed at various temperatures.

<그림 9>은 100 $^{\circ}\text{C}$ 부터 500 $^{\circ}\text{C}$ 까지 열처리 온도에 따르는 $\text{Int}_{(111)}/\text{Int}_{(200)}$ 비의 변화를 나타내었다. 열처리를 하지 않았을 때는 1.5정도의 값을 가지고 170 $^{\circ}\text{C}$ 까지는 $\text{Int}_{(111)}/\text{Int}_{(200)}$ 비가 증가하여 2.1정도의 값을 가지며 그 이후부터는 점점 감소함을 알 수 있다. 이는 열처리를 통해 박막이 재결정화 할 때 grain크기가 증가해 인접 grain들이 뭉쳐지므로 결정성이 좋아져 $\text{Int}_{(111)}/\text{Int}_{(200)}$ 비가 증가하나 170 $^{\circ}\text{C}$ 이상의 온도부터는 (200)방향의 결정이 증가하는 것으로 생각할 수 있다.

<그림 10>은 100부터 500 $^{\circ}\text{C}$ 까지 열처리 온도별로 stress변화를 나타내었다. 열처리를 하지 않았을 때 구리박막의 stress값은 20 Mpa 인데 170 $^{\circ}\text{C}$ 까지는 선형

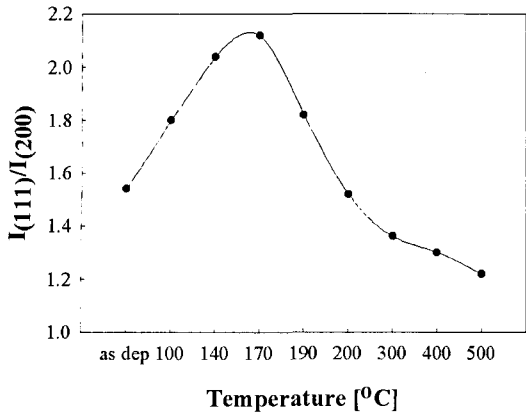


그림 9. 열처리 온도에 따른 구리 박막의 Int₍₁₁₁₎/Int₍₂₀₀₎비
Fig. 9. Int₍₁₁₁₎/Int₍₂₀₀₎ ratio of Cu thin films annealed at various temperatures.

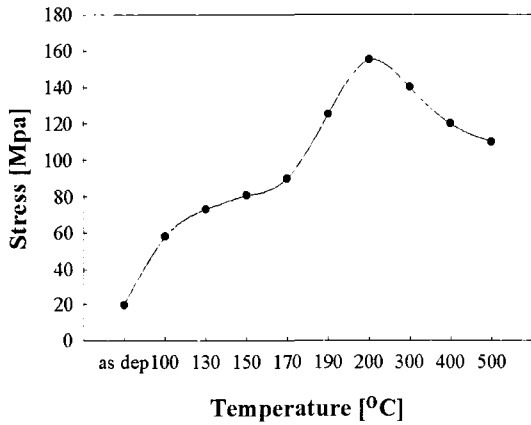


그림 10. 열처리 온도에 따른 구리 박막의 stress
Fig. 10. Stress of Cu thin films annealed at various temperatures.

적으로 서서히 증가해서 80 Mpa 이나 170 °C부터 급격히 증가한 후 200 °C에서는 160 Mpa 까지 증가하였다가 다시 조금 감소하였다. 이 원인을 정확히 밝혀지지 않았으며 결론적으로 stress는 200 °C에서 최고 높았으며 200 °C이후에 다시 이완되는 특성을 알 수 있다.

이로써 앞의 결과를 종합하면 비저항은 고온에서 열처리할수록 계속 향상하였으나 200 °C에서 거의 포화하였고, 결정성은 170 °C에서 가장 좋았으며, stress는 170 °C까지는 비교적 낮은 값을 가지므로 전해도금된 구리박막을 열처리 할 때는 170 °C가 가장 적당하다는 결론을 얻을 수 있다.

<그림 11>은 열처리 이전의 박막과 170, 500 °C에서

열처리한 박막의 단면을 비교한 그림이다. 열처리를 거친 박막은 표면이 현저하게 평탄화 되었고 밀집도도 향상되었으며 전체적 두께에는 변화가 없었다. 온도별 열처리에 따른 박막의 변화를 SEM으로 관찰해본 결과

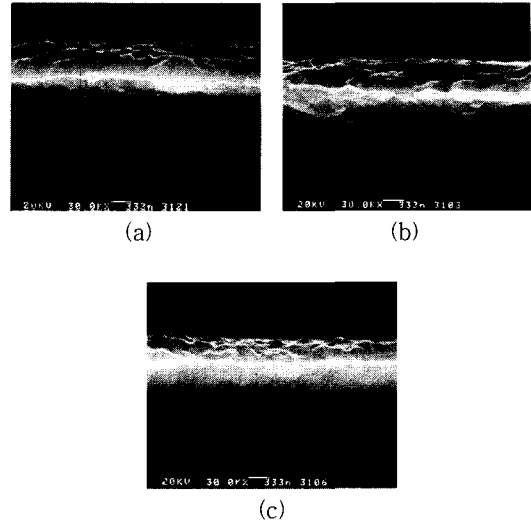


그림 11. 구리 박막의 단면 SEM 사진 (a) 열처리 전, (b) 170°C, (c) 500°C
Fig. 11. SEM cross-sectional photographs of Cu thin films. (a) as dep, (b) 170°C, and (c) 500°C

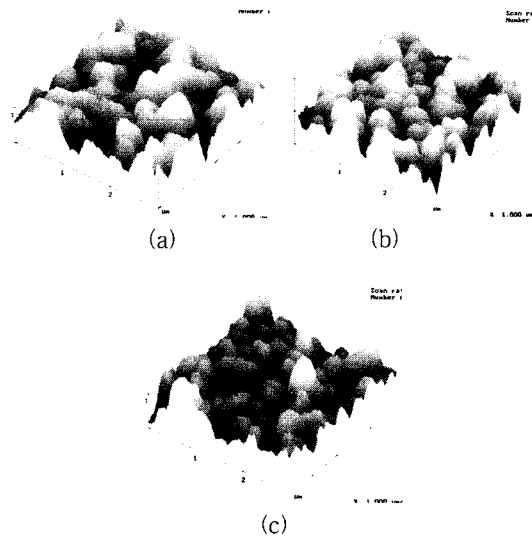


그림 12. 전해도금된 구리박막의 3차원 AFM image (a) 열처리하기 전, (b) 170 °C, (c) 500 °C
Fig. 12. Three-dimensional AFM image of electroplated Cu thin film. (a) as dep, (b) 170 °C, and (c) 500 °C

로는 열처리 이전의 박막은 표면이 거칠고 각진 형태이나 200 °C부터는 void가 많이 줄었고 grain이 커지고 둥글며 고르게 평탄화가 되었음을 알 수 있다

박막의 평탄도를 알아보기 위해 AFM장비를 이용해 roughness를 측정하였다. <그림 12>는 AFM 3차원 이미지를 나타내었다. 온도가 올라갈수록 박막이 고르게 평탄화 된 것을 눈으로 확인할 수 있었고 <표 3>의 AFM 데이터 값을 통해 170 °C에서 열처리했을 때 Rms roughness 값이 12 %의 향상정도를 나타내었으며, 500 °C에서 열처리했을 때와 비교했을 때는 별 차이가 없었다.

표 3. 열처리 온도에 대한 AFM data
Table 3. Data of AFM at various annealing temperatures.

Annealing Temp.	Img. Raw mean (nm)	Img. Rms (Rq) (nm)	Img. Ra (nm)	Img. Rmax (nm)
as dep	72.68	31.82	25.91	206.03
170°C	40.38	28.01	22.79	186.37
500°C	-299.8	27.97	22.27	216.86

여기서, Img. Raw mean : 표면교정을 거치지 않은 상태에서의 이미지 데이터의 평균치

Img. Rms(Rq) : 교정된 평면으로부터의 높이차의 Rms 평균치

Img. Ra : 교정된 평면에서부터의 높이차 절대치의 산술평균

Img. Rmax : 이미지 내의 가장 높은점과 낮은 점의 높이차

VI. 결 론

본 연구의 결과 200 nm/min 정도의 성장속도로 성장속도는 전류밀도에 비례하였으며 600 ml/min 에서 2200 ml/min 의 범위에서 유량에는 반비례하여 성장하는 특성을 알 수 있었다. Cu 박막의 비저항은 저전류밀도와 저유량일 경우 가장 낮은 저항값 2.1 μΩcm를 가졌고, Int₍₁₁₁₎/Int₍₂₀₀₎비는 전류밀도가 가장 낮았을 때 4.5로서 가장 높았고, 전류밀도가 증가함에 따라 그 비는 감소하였다. 이로써 전해도금 방법으로 구리박막을 성장시킬 경우 전류밀도와 유량은 가능하면 작을수록 결정

성이 좋고, 비저항값도 낮았으며, SEM 표면사진을 통해 grain이 크고 고르며 void가 없는 막을 얻을 수 있음을 확인할 수 있었다.

30 mA/cm², 600 ml/min, 4 min의 조건으로 성장시킨 구리박막을 10⁻³ torr 의 진공에서 열처리하여 비저항, 결정성, stress특성을 알아보았다. 열처리 온도가 증가함에 따라 비저항은 계속하여 감소하였는데 결정립들이 서로 뭉쳐져 void와 grain boundary가 감소하기 때문이라고 생각되며 120부터 500 °C까지는 큰 차이를 보이지 않았다. 500 °C에서 30분간 열처리하였을 때 최고 19 %까지 감소하였다.

결정성에 관한 특성을 알아보면 열처리결과 열처리를 하지 않은 구리박막의 Int₍₁₁₁₎/Int₍₂₀₀₎비는 1.5인데 170 °C까지의 열처리에서는 Int₍₁₁₁₎/Int₍₂₀₀₎비가 증가하여 2.1까지 향상되었다가 170 °C보다 높은 온도에서는 점점 (200)방향의 결정이 증가하여 Int₍₁₁₁₎/Int₍₂₀₀₎비가 감소하였다.

Stress에 관한 특성을 알아보면 열처리 전의 Cu 박막의 stress는 20 Mpa 인데 170 °C까지의 열처리에서는 stress가 선형적으로 증가하여 비교적 낮은 값을 가지나 170 °C를 넘어서 부터는 stress값이 급격히 증가하다가 200 °C부터 다시 조금 감소하였다.

따라서, 열처리 온도가 170 °C일 때 특성이 가장 좋을 수 있다. SEM사진과 AFM data를 비교한 결과 170 °C에서 이미 평탄화가 많이 되었으며, 이보다 높은 온도에서 열처리한 경우와 비교했을 때 큰 차이를 보이지 않았다. 170 °C로 열처리 할 경우 비저항은 17 %향상되고, 결정성은 40 %향상되었으며 stress는 80 Mpa 정도로 비교적 낮았다.

참 고 문 헌

- [1] K. Suzuki, T. Fujikawa and N. Kawakami, "Application of high pressure process into Cu/Low-k technologies", Proc. of Interconnect Technology Conference on IEEE, p105, 2000.
- [2] R. J. Contolini, L. Tarte, R. T. Graff and L. B. Evans, "Copper electroplating process for sub-half-micron ULSI structures", Proc. of VMIC '95, Santa Clara, CA, p322, 1995.
- [3] C. E. Murray and K. P. Rodbell, "Texture inheritance in Al(Cu) interconnect materials",

- Journal of Applied Physics, vol. 89, no. 4, p2337, 2001.
- [4] C. R. Simpson, D. M. Pena and J. V. Cole, "Considerations for integration of electroplated copper onto semiconductor substrates", Proc. of Electrochemical Society, vol. 98-6, p59, 1998.
- [5] T. G. Koetter, H. Wendrock, H. Schuehrer, C. Wenzel and K. wetzig, "Relationship between microstructure and electromigration damage in unpassivated PVD copper damascene interconnects", Microelectronics Reliability, vol. 40, p1295, 2000.
- [6] K. K. Choi and S. W. Rhee, "Chemical vapor deposition of copper film from hexafluoroacetylacetonateCu(I)vinylcyclohexane", Thin Solid Films, vol. 397, p70, 2001.
- [7] S. D. Yosi and S. Lopatin, "Integrated electroless metallization for ULSI", Electrochimica Acta, vol. 44, p3639, 1999.
- [8] B. N. Park, S. C. Bae, S. H. Son, J. H. Lee and S. Y. Choi, "Film properties of copper grown by the electroplating process", J. Kor. Phys. Soc., vol. 38, no. 3, p232, 2001.
- [9] S. I. Wakabayashi et al., "A build-up substrate utilizing a new via fill technology by electroplating", Proc. of 4th International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing, p 280, 2000.
- [10] R. D. Mikkola and L. Chen, "Investigation of the roles of the additive components for second generation copper electroplating chemistries used for advanced interconnect metalization", Proc. of Interconnect Technology Conference on IEEE, p 117, 2000.
- [11] K. C. Park et al., "Process integration of CVD Cu as a seed layer for Cu electroplating and a plug-fill application", Proc. of Interconnect Technology Conference on IEEE, p43, 2000.
- [12] K. Weiss et al., "Development of different copper seed layers with respect to the copper electroplating process", Microelectronic Engineering, vol. 50, p433, 2000.

 저 자 소 개

朴炳男(正會員)

1997년 2월 : 경북대학교 전자공학과 학사. 1999년 2월 : 경북대학교 대학원 전자공학과 석사. 2001년 8월 : 경북대학교 대학원 전자공학과 박사수료

崔時永(正會員) 第33卷 A編 第12號 參照

姜炫在(正會員)

2000년 2월 : 계명대학교 물리학과 학사. 2002년 2월 : 경북대학교 대학원 전자공학과 석사. 2002년 10월 : (주) 멘텍 제직