

마이크로 전자패키지용 Substrates 원자재에 대한 기술동향 및 특성

이규제¹, 이효수^{1,2} 이근희³

(주) 삼성전기 기판연구소 소재개발팀
한국원자력연구소

Recent Technical Trend and Properties on Raw Materials of Substrates for Microelectronic Packages

Gyu-Jei Lee, Hyo-Soo Lee, Geun-Hee Lee

¹Samsung Electro-Mechanics Co. LTD.,

581, Myunghak-Li, Dong-Myon, Yeongi-Gun, Chungchungnam-Do, Korea, 339-702

²The Korean Institute of Metals and Materials, 4F, East Wing,

POSCO Center, 892 Daechi-4 dong, Kangnam-gu, Seoul 135-777, Korea

³Korea Atomic Energy Research Institute, P.O.Box 105, Yuseong, Daejeon, Korea 305-600

초 록: 최근 IT 산업의 발달과 그에 따른 전자부품기술의 발전이 가속화됨에 따라, 전자부품의 경박 단소화 및 고성능에 대한 요구는 전자패키지(electronic package) 및 반도체기판(PKG substrate) 업체들로 하여금 고밀도의 입출력(I/O)과 우수한 열적, 전기적 특성을 보유하면서 높은 양산수율로 제품이 가격 경쟁력을 갖도록 유도하고 있다. 이러한 경향에 따라 세계적인 반도체 회사(chip-maker)들은 더욱 혹독한 조건의 신뢰성 표준을 마련하여 제반 산업에 전반적인 적용을 요구하고 있으며, 환경친화 및 고주파, 고성능의 특성을 지닌 새로운 소재를 개발하도록 촉구하고 있는 실정이다. 반도체기판은 구성소재에 따라 구현되는 특성의 범위가 매우 크므로 우수한 특성의 소재를 반도체기판에 적용할 때 고객의 요구조건에 충분히 만족시킬 수 있을 것으로 기대된다. 따라서, 기판업계에서는 우수한 특성을 나타내는 원자재의 개발 및 수급이 절실하게 되었으며 급변하는 원자재의 기술 동향에 대한 분석은 향후 전자패키지 및 기판제품의 경쟁력을 향상시킬 수 있을 것이므로 본 연구에서는 최신 반도체기판 원자재의 기술 동향과 원자재의 특성을 분석하고자 하였다.

Abstract: As the development of IT industries and their electronic device manufacturing technology have been accelerated recently, the request for electronic devices with small size, light weight, and high performance has been inducing that electronic package and substrate (PCB) companies have to develop substrates with low cost, high dense I/O, excellent thermal properties and electrical properties. Therefore, world-wide chip makers have been setting their own severe reliability standards and requiring their suppliers to keep specification and to develop green, high frequency and high-performing substrates. Because properties of substrates are dependent mainly on their constituent materials, the application of them showing superior properties is expected to satisfy the customer's requirement. Therefore, substrate companies should ensure the superiority of materials and assure their competitive capability of substrates by analyzing the latest trends of technology and properties of the materials.

Keywords: IT industry, Package, Substrate, PCB, Reliability, Material

I. 서 론

1. 연구배경

최근 IT산업의 발전이 급속도로 진행됨에 따라 해당 분야별 요구특성을 만족시키기 위해 전자부품의 소형, 경량화 및 다기능성의 요구가 시장을 통해 빠른 속도로 진행되고 있으며^{1,2)}, 반도체 칩, 패키지, 반도체기판 등의 기반산업에까지 그 여파가 파급되고 있다^{3,4)}. 이러한 요구에 따라서 반도체 기판업체에서는 더 작은 회로 폭을 가진 고밀도의 입출력 회로의 설계, 개발 및 반도체기판의 우수한 열적, 전기적 특성을 목표로 고수율을 통한 저가의 부품을 생산하기 위해 노력하고 있다. 반도체패키지는 반도체기판과 반도체 칩의 연결 기술로 정의되는데⁵⁾, 현재 전세계 반도체패키지 기술은 주로 BGA(Ball Grid Array), CSP(Chip Scaled Package), FC(Flip-Chip)등의 SMT(Surface Mounting Technology)가 90% 이상의 시장을 확보하여 제품양산에 응용되고 있다⁶⁾. 세계적으로 영향력 있는 반도체패키지 업체인 Intel, STM, Infineon, Amkor 등은 저마다의 우수한 열, 전기적 특성을 지닌 반도체패키지 부품을 양산하기 위해 더욱 가혹한 조건으로 TC(Thermal Cycling), THB(Thermal Humid Bias), PCT(Pressure Cooker Test), HAST(Highly Accelerated Stress Test)등의 열충격 신뢰성 표준테스트를 실시하고 있으며⁷⁻⁹⁾, 이에 반도체기판업체는 우수한 성능을 확보할 수 있는 원자재의 수급이 절실하게 되었다. 또한 점차 부각되고 있는 환경문제 및 우수한 전기적, 기계적, 열적 특성에 대한 요구와 맞물려 전자부품 업체들도 몇몇 당면과제를 갖게 되었으며 크게 세 가지로 분류될 수 있다. 첫째 일본, 유럽 등지에서 향후 몇 년 후부터 실시될 정부의 친 환경정책에 대응하기 위해 제품 경쟁력 확보방안의 일환으로 패키지 기술의 주요 연결매체의 하나인 땀납(solder)에 포함된 납(lead, Pb)의 사용 규제가 진행 중이다¹⁰⁾. 이러한 무연(lead-free)제품의 요구가 증가될 경우에 반도체기판은 패키지공정(IR re-flow)의 더욱 혹독한 고온 가공조건(260°C)을 극복하기 위한 고내열(high Tg) 특성을 가진 원자재가 필요하게 되었다¹¹⁾. 둘째는, 전자부품의 난연성을 확보하기 위해 기존에 원자재에 첨가하던 할로젠족 원소의 하나인 브롬(Br)화합물이 최근 발암 및 유전적 돌연변이를

일으키는 환경호르몬 문제를 야기함에 따라 원자재의 할로젠-프리(halogen free)를 요구하게 되었다¹²⁾. 이런 친 환경적 대응뿐만 아니라 셋째로, 최근 통신산업의 발달에 따라 점차 고주파대역에서 거동하는 전자부품의 수요가 늘어나게 되었고 이에 따른 임피던스의 간섭에 의한 절연손실을 줄여 신호의 품질을 높이고자 저 유전율(Low Dk) 원자재의 필요성이 급증하게 되었다.

이러한 반도체패키지 산업의 전반적인 경향에 따라 반도체기판 업체는 주요 원자재인 프리프레그(prepreg)와 CCL(Copper Clad Laminates)에 대한 관심 및 의존도가 증가하게 되었고, 경쟁사간 제품의 가격경쟁력을 확보하기 위해 관련 원자재 업체들과의 공동개발협력을 강력히 추진 중에 있다¹³⁻¹⁵⁾.

2. 연구목적 및 필요성

일반적으로 반도체패키지 제품은 에폭시물딩과 같은 부도체, 칩 다이와 같은 반도체, 그리고 골드와이어, 기판 회로패턴과 같은 도체로 미세하게 구성된 이상(異相) 복합재료를 전기적으로 연결시켜주는 것이고 이러한 제품을 생산하기 위해서는 서로 다른 열충격 조건의 수많은 공정을 거쳐야만 하는 가혹한 제조환경이 수반되어야 한다¹⁶⁾. 이렇게 고유한 물리적, 화학적 특성이 다른 재료를 복합적으로 구성하여 제품화하기 위해 공정을 진행시키다 보면 구성소재 각각의 열팽창계수(CTE; Coefficient of Thermal Expansion)의 차이로 인한 부품의 치수 불안정, 휨(warping) 현상이 문제점으로 나타난다^{17,18)}. 이런 현상은 칩 다이를 반도체기판에 골드와이어 또는 땀납 볼을 이용하여 연결할 때 칩과 반도체기판 사이의 불일치 현상을 초래하고, 전단응력을 발생시켜 제품에 균열 및 파단을 야기함으로써 제품의 수명에 치명적인 영향을 끼칠 수가 있다. 이런 문제점들을 극복하기 위해 다각도의 방향에서 연구가 진행되고 있으며, 원자재 자체의 극복 능력 향상이 중요 방법중의 하나로 판단되고 있다. 또한, 현재 대두되고 있는 친 환경 무연자재와 맞물려 원자재의 우수한 특성이 이러한 문제를 푸는 열쇠가 될 것이라는 생각이 지배적이다¹⁹⁾. 이와 마찬가지로 제품의 수명이 다하여 소각 처리하는 과정에서 환경호르몬을 발생시키는 브롬(Br), 염소(Cl) 등의 할로젠족 화합물이 향

후 몇 년 안에 정책적으로 규제될 경우를 대비하여 상기 화합물의 첨가 없이도 난연성(UL)을 인증 받을 수 있는 원자재의 개발이 시급하며, 고주파 대역의 통신장비의 급증에 따른 고품질 신호 확보를 위한 원자재의 저 유전율화 필요성이 증가하고 있다. 이에 본 논문에서는 최신 경향의 원자재들을 업체별, 개발방향 별로 정리하고 각각의 특성을 분석하여 그것을 바탕으로 현재의 사업 현황을 고찰하고 향후 반도체기판업체 및 원자재 업체가 나아가야 할 방향을 예측해 보고자 한다.

3. 반도체 기판 분류 및 적용 원자재

본 절에서는 대표적인 표면실장(SMT) 패키지인 PBGA(Plastic BGA), CSP, Flip-chip BGA의 구조와 적용원자재에 대해 설명하고자 한다. 아래 설명에서도 알 수 있듯이, 반도체기판의 층 구조에서 기판 원자재가 차지하는 비율이 60% 이상으로 가장 크고, 원자재들의 복합체로서 휼, 뒤틀림 등의 변형 및 외부 충격으로부터 칩 다이를 보호하는 반도체기판은 그 원자재의 특성에 따라 가장 큰 영

향을 받고 있다²⁰⁾.

4층 PBGA의 일반적인 구조는 SR(Solder Resist) 잉크, 전해동박, 프리프레그, CCL로 층 구성되어 있다. SR 잉크는 반도체 칩과 반도체기판사이의 절연층 역할을 하며, 각 층의 동박 회로는 반도체 칩의 전기적 신호를 전달하는 회로역할을 한다. 반면에, Bismaleimide Triazine^{21,22)} 또는 High Tg FR4²³⁾와 같은 원자재는 프리프레그 및 CCL의 형태로 삽입되어 각 층의 절연 역할을 한다. 프리프레그는 직조유리섬유(glass fabric)에 레진(resin)이 함침된 구조이며 CCL은 몇 장의 프리프레그와 2개 층의 전해동박이 접합된 구조이다. Fig. 1에서는 컨트롤러, 그래픽 칩셋 등의 주문형 반도체(ASIC)에 주로 적용되는 PBGA의 구조를 나타내었다. 일반적인 4층 BGA의 두께는 0.4~0.6 mm이며 회로 폭/간격은 60/60 μm, 땀납 볼의 폭은 1.0~1.3 mm 수준이 주종을 이룬다.

Fig. 2에서는 모바일, PDA 등의 소형 이동통신 장비에 주로 적용되는 CSP의 구조를 나타내었다. CSP의 주요 원자재로는 PBGA와 마찬가지로 SR 잉크, 전해동박, 프리프레그, CCL 등으로 적층된

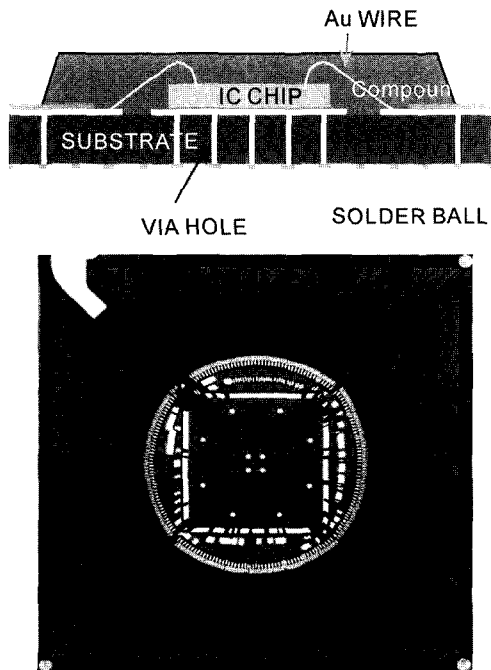


Fig. 1. Schematic of cross section and bonding pad side of PBGA.

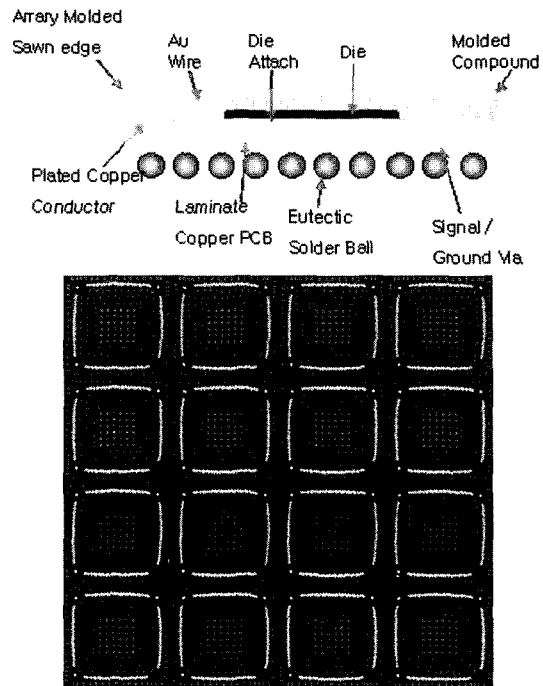


Fig. 2. Schematic of cross section and bonding pad side of CSP.

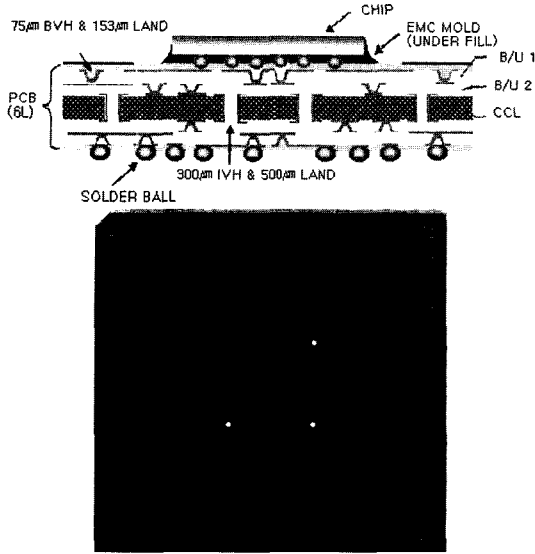


Fig. 3. Schematic of cross section and bonding pad side of FC-BGA.

구조이다²⁴⁾. 일반적인 2층 및 4층 CSP의 두께는 0.2~0.3 mm 이며 회로 폭/간격은 45/45 µm, 땀납 볼의 폭은 0.5~0.8 mm 수준으로 PBGA에 비해 더 미세한 회로패턴을 갖는다.

Fig. 3에서는 PC의 CPU 및 칩셋 등에 주로 적용되는 Flip-chip BGA의 구조를 나타내었다. 주요 기판 원자재로는 High Tg FR4 등의 핵심 절연층과 회로형성용 전해동박으로 구성된 CCL에 절연 접착시트인 ABF(Ajinomoto Build-up Film)라는 절연 자재와 전해동박이 적층된 구조이다²⁵⁾. 일반적인 6층이며 최종제품의 두께는 0.8~1.0 mm 이며 회로 폭/간격은 25/25 µm, 땀납 볼의 폭은 0.2 mm 수준으로 매우 미세한 구조를 이룬다. 특기할 것은 회로형성을 위해 기존의 에칭 식각(subtractive)방식을 채택하지 않고 패턴 도금을 이용한 정교한 제조 방법을 따른다. 본 제조방식에 적용하기 위해 특수 빌드업용 절연층 재료를 사용하는데 그것이 바로 ABF(Ajinomoto Bond Film)이며 비 보강자재로서 화학 동도금이 유리하도록 조화처리 되어있는 것이 특징이다. Table 1에는 PBGA, CSP, FC-BGA의 구조 및 특성을 정리하였다.

II. 원자재 제조공정 및 기술동향

1. CCL(Copper Clad Laminate) 제조공정

마이크로전자 및 패키징학회지 제10권 제3호 (2003)

Table 1. Structures and properties of PBGA, CSP and FC-BGA

Products	Structure	Thickness (mm)	Pattern Width/Space (µm)	Ball Pad Space (mm)
PBGA	SR, Cu,	0.4~0.6	60/60	1.0~1.3
CSP	pregreg,	0.2~0.3	45/45	0.5~0.8
FC-BGA	CCL	0.8~1.0	25/25	0.2~0.3

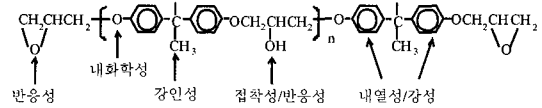


Fig. 4. Epoxy resin of bisphenol A type.

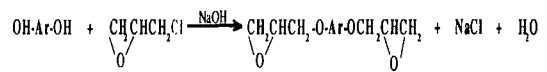
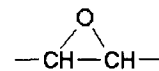


Fig. 5. Epoxy resin by taffy method.

기판에 적용되는 CCL은 인장력 보강을 위한 직조유리섬유와 원자재 절연층의 전반적 역할을 담당하는 레진계(resin system) 그리고 회로를 형성하기 위한 동박(copper foil)으로 구성되어 있다²⁶⁾. 본 절에서는 레진계의 근간이 되는 에폭시 레진의 특성과 그 제조방법, 에폭시 레진의 경화반응 등에 대해서 간단히 알아본 다음 CCL의 전반적인 제조공정에 대해 소개하겠다.

1. 1. 에폭시 레진의 정의 및 제조방법

우선 화학식에서 에폭사이드(epoxide), 에폭시 링(epoxy-ring), 옥시레인(oxirane), 글리시다일(glycidyl) 등으로 불리는 에폭시는 화학구조 내에 아래와 같은 에폭시기를 함유한 모든 물질을 통칭한다.



열경화성수지의 중간체(pre-polymer)로 정의되는 에폭시는 경화제(curing agent)와의 반응에 의하여 불용/불융의 3차원 망목상 구조를 형성하여 에폭시 고유의 물성을 나타내는데, 이런 망목상 구조를 형성하기 위해서는 최소한 2개 이상의 에폭시기를 함유해야 하며 일반적으로 에폭시기의 개

수와 원자재 성능 및 가격은 밀접한 관련을 가지고 있다. 에폭시 레진은 구조화가 용이하고 경화시, 수축율이 작고 접착력, 내약품성, 방청성, 절연성 및 기타 기계적 물성이 뛰어나서 전기, 전자분야의 절연물질로서 많이 사용된다.

Fig. 4는 가장 일반적인 Bisphenol A형 에폭시레진과 그 반응기마다의 특성을 설명한 그림이다. 에폭시 레진의 제조방법은 크게 직접법(taffy method)²⁷⁾과 간접법(fusion/advanced method)²⁸⁾으로 나뉘는데 가장 보편적인 직접법은 다음과 같은 화학공정으로 나타낼 수 있다.

1. 2. 브롬화 에폭시레진(Brominated epoxy resin)

다음 과정은 레진계에 난연성 및 치수안정성을

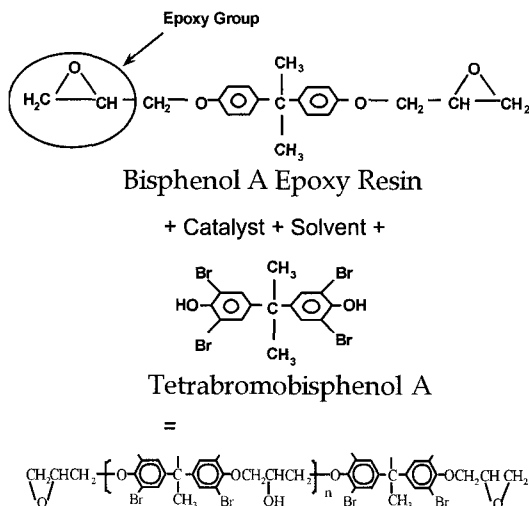


Fig. 6. Brominated epoxy resin and its process.

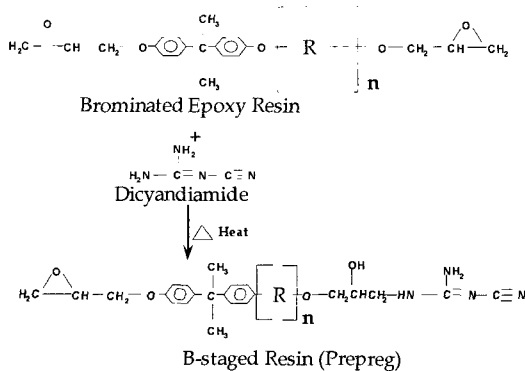


Fig. 7. Dicyandiamide cure mechanism.

주기 위해 자기 소화성을 가진 브롬(Br)을 첨가한 브롬화 에폭시 레진(brominated epoxy resin)을 살펴보겠다. 제조방법은 일반적인 에폭시에 브롬을 첨가하여 Tetra Bromo BPA(TBBA)를 만든 다음 ECH(epichlorohydrine)에 Alkali 존재 하에 반응시켜 제조하며 그 화학식은 아래와 같다.

1. 3. 에폭시 레진의 경화반응

Bisphenol A epoxy에 Br을 첨가한 TBBA에 ECH를 반응시켜 제조한 브롬화 에폭시 레진은 경화제와의 반응을 통해서야 비로소 반도체 기관의 원재료인 B-stage 상태의 프리프레그가 되는데, 기관용 원자재중에서 FR-4계열에 일반적으로 많이 적용되는 경화제인 다이사이안디아미드(dicyandiamide)와의 반응을 알아보겠다. 1, 2차 Amine과 Nitrile기는 에폭시기와 반응하는 것뿐만 아니라 Hydroxyl기와도 가교를 이루는 것으로 알려졌으며, 그 반응과정은 아래와 같다.

2. 원자재의 기술동향

2. 1. 친환경 무연 원자재

무연(lead free)기술이란 기존 Sn-Pb 합금을 사용하여 반도체를 실장 하도록 설계되었던 부품들에 대해 무연 합금 적용 시 접합신뢰성 문제, 제품 내 열성의 문제, 도금기술 등에 대한 문제들을 해소하기 위한 뿔납(solder) 및 납땀(soldering)공정에 대한 전반적인 기술을 의미한다²⁹⁾. 업계의 동향을 보면, Matsushita사의 경우 2002년까지 자사에서 양산하는 전 제품에 뿔납(Sn-Pb합금)의 사용을 중지하기로 하였으며 현재 DVD player, VCR 등의 품목에 적용하고 있고, 연내까지 123개 품목에까지 확대하기로 하였다³⁰⁾. TDK사는 2000년 8월 이후 집중적인 무연제품에 대한 광고를 시작하여 기존 생산제품인 Ni 전극, XSR 특성, 대용량과 더불어 MLCC 분야에 대한 적극적인 자신감을 표출하며 부품시장에서의 무연 열풍을 선도하였다. 2002년 일본에서는 재활용(recycle)법이 시행되어 일본 전자업체들의 향후 몇 년간의 마케팅 전략은 무연 기술로 대체될 것으로 예상된다. 따라서 세트 전자업체의 무연제품 요구가 증가될 것으로 생각되며, Intel 등의 칩 업체에서는 이미 기존 칩 부품업체에 무연에 대한 로드맵을 요구하고 있는 실정이

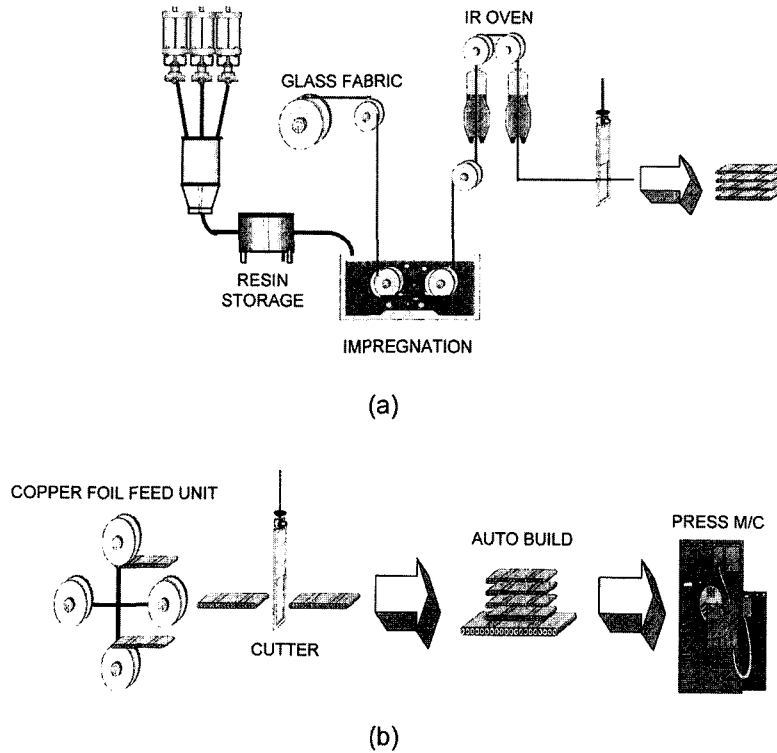


Fig. 8. Schematic view of the CCL process. (a) B-stage prepreg make-up process, (b) C-stage CCL make-up process.

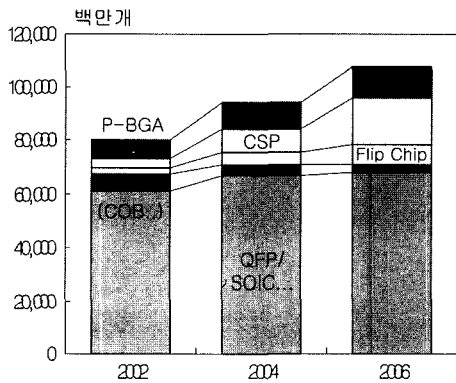


Fig. 9. Market trends of IC Package. (source: Dataquest 2002.5.)

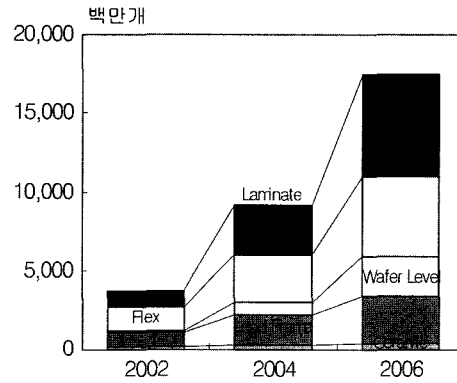


Fig. 10. Market trends of CSP substrates material type. (source: Dataquest 2002.5.)

다. 이미 1998년 이후 Sony, Toshiba 등이 무연기술의 채용을 시작하여 기타 업체들에게까지 파급, 향후 2005년까지의 로드맵이 작성되어 있으므로 반도체 기업업체들의 원자재 개발준비는 지금 시작되어도 결코 이르지 않으리라 생각한다. 뿔납에서 Pb를 제외한 합금을 만들기는 쉬우나 기존보다 단

가가 상승할 뿐만 아니라 무연 재료를 사용함에 따라 처리온도가 30~40°C씩 상승하여 이와 관계되는 전 공정의 처리온도가 높아진다는데 문제가 있다. 결국엔 납과 무관하게 모든 부품의 내열온도의 향상이 요구된다. 여기서 현재 기업업체들의 원자재 현황을 보면, 기존 일본 선진원자재 업체

들은 이에 대한 준비가 점진적으로 이루어져 왔고, 지금 상용되고 있는 Bismaleimide Triazine(M사), High Tg FR-4(H사)등은 이미 이러한 문제들을 일차적으로 해결한 상태이나 아직까지도 국내 원자재 업체의 경우 상대적으로 내열성이나 기타 원자재 성능에 있어서 일본업체들과 어깨를 겨루기에는 부족한 형편이다. 때마침 전반적인 기관산업의 경기침체와 맞물려 우리나라로서는 원가절감 차원에서 국내 원자재 업체와의 공동개발이 절실하게 되었는데 업계에서는 S사 등을 주축으로 원자재 국산화가 이루어지기 시작하였다.

2.2 초박판 원자재(ultra thin core)

현재 CSP의 물량이 연성형태(flexible type)에서 강성형태(rigid type)로의 진행이 가속화됨에 따라 고객들의 박판 CSP 제품의 요구가 증가추세에 있는데, 개발 방향에 대한 정리에 앞서 우선 시장동향부터 살펴보도록 하겠다. Fig. 9에 나타낸 바와 같이 IC package는 CSP 및 Flip Chip 시장에서 연평균 30%이상의 고성장이 예상되며, Flex 및 Lead-frame 시장이 rigid laminate type으로 변경이 가시화되고 있는 것이 현실이다. 또한 Fig. 11에서 볼 수 있듯이 IC package application 측면에서는 2004년에는 memory 시장이 전체 CSP package중 34%를 점유할 것으로 예상되며 이중 flash memory는 19%로 예측됨에 따라 업계에서는 신규 박판 공정에 대한 투자가 진행되고 있다. PCB업계 동향을 보면 일본 Ibdien은 아오야나기 공장에서 기존 reel to reel 설비를 개조 진행중이며, 대만 UMTC는 전용라인을 운영 중에 있고, NanYa의 경우 전용라인이 set-up되었으나 UMTC에 비해 그 가동률이 20% 미만인 것으로 알려졌다^{31,32}. CSP package의 적용제품별 시장동향을 살펴보면 Fig. 11과 같다.

2.3 할로젠 프리(Halogen free) 원자재

현재 대부분의 반도체 기관 원자재들은 난연성 인증(UL)을 확보하기 위해 자기소화성을 가진 할로젠족 원소 Br, Cl등이 첨가된 브롬화 에폭시 레진계를 기본적으로 채택하고 있다. 그러나 폐기된 전자제품 및 부품이 소각되면서 PCB 등에서 나오는 발암물질 및 유전적 돌연변이를 일으키는 환경호르몬에 대한 경고에 정부 차원에서 정책적인 규

제의 움직임이 일고 있다³³. 이는 특히 일본, 유럽 등지에서 활발하게 진행되고 있으며, set 업체들도 저마다 자사제품에 대한 경쟁력확보 차원에서 원자재 변경을 서두르고 있으므로 PCB 업계 또한 준비하지 않을 수 없는 실정에 놓이게 되었다. 이에 원자재 업체들은 브롬화 에폭시 레진계에서 브롬(Br)을 제거한 난연제(flame retardants)개발에 전력을 다하고 있으며, 일부 선진 업체들에서는 개발완료 후 proto type 및 그 신뢰성 검증에 총력을 다하고 있다. 하지만 현재 기술적으로는 가능할지라도 그에 따르는 원가상승에 의해 업계에서도 선불리 전면교체를 피하고 있으며, 이는 업체와 정부간 줄다리기를 통해 예상보다 지연되고 있는 실정이다. 그러나 환경정책의 굳은 의지가 보여 주듯이 향후 모든 전자제품 및 부품들에 있어서 할로젠 프리로의 경향을 막지는 못할 것이며, 업체들의 준비도 필연적일 것으로 예상된다.

2.4 고주파용 저유전율 자재(Low K)

IT 산업이 발달함에 따라 최첨단 통신장비개발에 대한 요구가 시장을 통해 급속히 진행되고 있으며, 이에 통신부품들의 고성능화와 소형, 경량화가 요구되었고, 전달될 컨텐츠의 양이 예전보다 더욱 많이 증가하였기 때문에 더 많은 양의 데이터를 전달하기 위해서는 전송신호가 초고주파대로 전환하지 않으면 안되게 되었다. 일반적으로 고주파 설계(RF design)의 측면에서 보면, 신호가 고주파대역으로 갈수록 임피던스(impedance) 매칭의 어려움, 상호 간섭 등에 의한 전송손실(dielectric loss)의 증가문제로 인하여 통신품질이 떨어

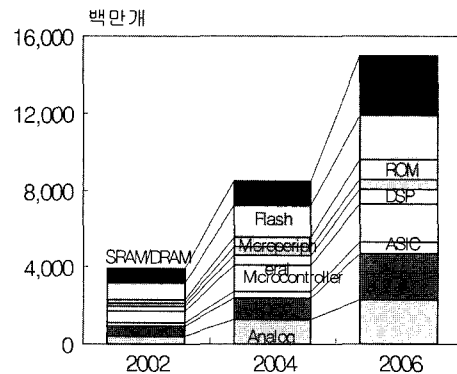


Fig. 11. Market trends of CSP Package. (source : Dataquest 2002.5.)

지거나 전송속도에 문제가 발생되고 심지어는 대용량 정보의 정확한 전송이 불가능하게 된다. 그래서 신호의 초고주파 대역으로의 전환을 전제할 때, 전송손실의 폭을 줄이기 위해서는 회로가 형성되어 있는 절연층의 절연상수(dielectric constant) 및 전송손실률(dissipation factor)을 낮추어 원자재를 설계하는 것이 매우 중요한 요소로 작용하게 된다^{34,35}. 따라서 이와 관련된 원자재 업체의 개발현황을 살펴볼 필요가 있는데, 현재까지의 상황으로 보면 원자재 업체는 크게 두 방향으로 원자재의 저유전율화에 접근하고 있다. 첫째는 단가가 비싸고 성형가공성은 떨어지지만 절연상수가 현저하게 낮아 높은 성능을 나타내는 Teflon 계열의 PTFE이고, 둘째는 단가가 싸고 개발이 용이하며 가공성은 우수한 반면, 상대적으로 절연상수에 의한 성능이 떨어지는 PPO(Poly Pro-phenylene Oxide) 첨가 계열이 있다. 향후 고성능의 제품개발을 위해서는 PTFE가 우세할 것으로 보이지만 아직까지는 제품의 레벨에 맞는 생산원가를 고려하여 PPO 첨가 계열도 무시할 수 없는 중요한 경향이다. Fig. 12에는 각 소재별 주파수에 따른 전송손실을 나타내었다.

III. 원자재 특성 및 고찰

본 연구에서는 최근 양산되고 있는 BGA, CSP

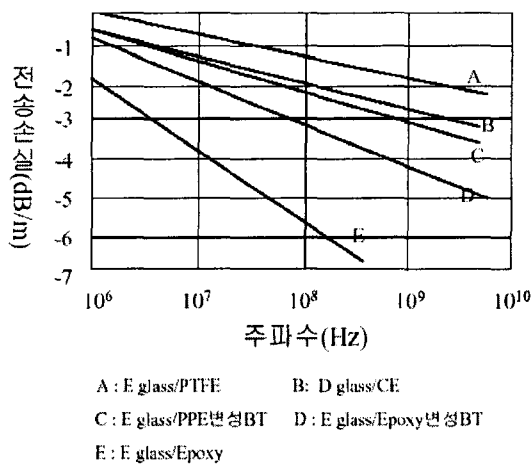


Fig. 12. Dielectric loss vs Radio frequency

마이크로전자 및 패키징학회지 제10권 제3호 (2003)

원자재의 열, 전기, 물리적 특성에 대해서 대표적인 2개 업체의 제품을 전장에서 소개된 바와 같이 DSC, TMA, TGA, UTM, 유전율 측정기 등의 동일한 장비 및 조건으로 측정하여 물성 경향을 비교하였다.

주로 BGA 제조용 내층 핵심 절연층 자재로 쓰이는 합성수지(resin system)는 크게 BT 계열과 High Tg FR-4 계열로 양분되는데 각각의 일반적인 특성을 살펴보면 다음과 같다.

BT 수지는 일본 M사에서 blending 기술이 개발되어 특허권을 보유, 독점하던 수지로서 PI(polyimide)계 수지인 비스말레이미드(bismaleimide)에 경화제로 Triazine계 Alkyl-isocyanate 수지를 조합하여 만든 합성수지이다. 일반적으로 유리전이온도(Tg)가 180°C 이상으로 매우 높아서, 업계에서 열적 특성이 뛰어난 것으로 알려진 PI와 비교해도 동등한 정도의 열적 특성을 가지면서도 PI보다 더 우수한 동박 접착특성을 가진다³⁶. 또한 FR-4 계열의 수지에 비해 전기적 특성이 좋고 구조적으로 우수하다. 그러나 C-stage에서 수지가 취성을 갖기 때문에 잘 깨지고 따라서 FR-4 계열의 수지에 비해서는 상대적으로 동박 접착력이 떨어진다. 또한 세계 반도체기판 원자재 시장의 점유율 2위를 차지하는 자재로는 일본 H사에서 생산하는 HTG (High Tg) FR-4 수지가 있다. 흡습율(moisture absorption)이 낮고, 난연성, 접착력, 전기적 특성이 우수하여 기존에 기판 자재로 쓰이던 FR-4 수지를 반도체기판 용으로 적합하도록 내화학성 및 열적 특성을 한층 향상시킨 수지이다. 주로 다기능 에폭시(multi-functional epoxy)에 다이사이안디아미드와 같은 경화제를 조합하여 제조하며 반도체 기판 원자재의 특수한 특성을 구현하기 위해 충전제(filler)를 주로 첨가하는 방식으로 개발되어 왔다.

반도체 기판공정에서는 장비나 작업자가 제품을 진행하는데 있어서 적층 및 회로형성 시에 제품의 정밀한 위치(alignment)를 인식하기 위해서 특정한 표식(visual mark)을 제품 내에 삽입한다. 또한 노광 공정에서 필요에 따라 자외선 차폐 자재를 사용한다. 이때 제품 안의 표식과 본 바탕을 확실히 구분하고 자외선 차폐에 대한 별도의 검증 없이 제품을 진행하기 위해서 원자재의 색을 흑색 등의 어두운 계열로 착색하도록 업체에 요구하는데, 전통적으로 Bismaleimide Triazine은 개발초기

부터 상대 업체들의 벤치마킹을 피하기 위해 흑색으로 조성되었다. 그러나 FR-4 계열의 수지들은 일반적으로 노란색, 흰색 등의 밝은 계열로 개발되어왔으므로 상위 공정의 요구를 만족시키기 위해서는 혼합 공정에 착색 공정이 추가되어야만 했다. 기관제품의 설계시 이러한 원자재의 특성들은 매우 중요한 경계조건이 되기 때문에 그 특성을 분석하고 업체, 자재특성 별로 비교, 정리하는 것은 산업계에서 매우 중요하게 생각해 왔으나 체계적인 분석 및 정리가 미흡하였다. 따라서 본 연구에서는 반도체 기관의 핵심 원자재인 CCL과 프리프레그의 물성을 비교, 분석하고자 하였으며 Table 2에 반도체기관 원자재의 전기적, 물리적 및 열적 특성을 나타내었다.

Bismaleimide Triazine의 절연상수와 손실계수는 각각 4.24~4.26 및 0.012~0.013으로 FR4에 비하여 비교적 낮은 수치를 나타내었다. 따라서 Bismaleimide Triazine가 HTG FR4에 비하여 주파수에 대

한 전송손실이 낮아 절연체로서 상대적으로 우수한 특성을 나타냄을 알 수 있다.

Bismaleimide Triazine나 HTG FR4의 접착강도는 0.93~0.97 kg/cm의 범위에서 유사한 특성을 보이나 Bismaleimide Triazine의 Young's modulus는 27.55GPa로 FR4에 비하여 약 6% 높은 수치를 나타내었다. 따라서, Bismaleimide Triazine가 상대적으로 HTG FR4에 비하여 내구성이 우수한 것을 알 수 있으며 또한 흡수율도 FR4에 비하여 약 47% 낮으므로 chip-maker들의 혹독한 신뢰성조건에 적합함을 알 수 있다. 그러나, Bismaleimide Triazine는 HTG FR4에 비하여 30%정도 가격 상승이 있으므로 응용되는 제품모델 및 신뢰성 조건에 따라서 적절한 대체 적용이 필요하다.

고온 및 고습조건을 포함하는 신뢰성테스트 중에 반도체 기관에서 발생하는 계면분리(de-lamination), 균열, 휨 등의 불량 현상은 대부분 반도체기관 구성소재의 열적 특성에 기인한다³⁷⁾. 따라서 본 연구에서는 반도체기관을 구성하는 소재 중에 상당 부분을 차지하는 Bismaleimide Triazine 및 HTG FR4의 열적특성을 분석하여 반도체 기관 원자재의 특성을 비교하였다. Figs. 13, 14, 15는 각각 Bismaleimide Triazine 및 HTG FR4의 DSC 및 TMA 분석결과를 나타내었다.

Bismaleimide Triazine 및 HTG FR4의 열적특성 중 유리전이온도(glass transition temperature, Tg)는 최근 더욱 혹독해진 신뢰성 요구조건을 만족시킬 수 있는 중요한 물성이다. 이러한 이유는 Tg 점을 전후로 열팽창계수가 달라지므로 공정상 불균일 부피수축에 의하여 반도체기관의 파단 및 휨 불량을 발생시킬 수 있고 제조공정 중 Tg점 전후로 불균일한 열팽창 및 열수축이 반복됨으로 반도체기관의 잔류응력이 발생하여 계면분리, 휨(coplanarity), 본딩 떨어짐(bond lift)과 같은 최종 제품의 잠재불량으로도 나타날 수 있기 때문이다. 따라서 High Tg 특성을 지닌, 열적 안정성이 뛰어난 반도체기관 원자재 개발이 이루어져야 한다. HTG FR4의 Tg는 181~185°C로 BT의 Tg에 비하여 최대 12°C까지 차이를 나타내어 우수한 열적 안정을 나타내었다.

Bismaleimide Triazine 및 HTG FR4의 열팽창계수는 3~18 ppm/K 범위에서 비교적 유사한 특성을 나타내었고 Tg점 전후로 최대 10 ppm/K 차를 보

Table 2. Standard material for general PBGA

Category	Property	Condition	Unit	M(BT)	H(HTG FR4)
Electrical	Dielectric Const.	500MHz	-	4.26	4.26
		1GHz	-	4.24	4.24
	Dissipation Factor	500MHz	-	0.013	0.023
		1GHz	-	0.012	0.020
Physical	Peel Strength	H2SO4	kg/cm	0.93	0.95
	Water Absorption	JIS C 6481	%	0.21	0.31
	Flexural Strength	X	MPa	641.21	618.01
		Y		533.02	634.03
	Young's Modulus		GPa	27.55	25.91
Thermal	Tg (TMA)	IPC-TM-650	°C	173	185
	Tg (DSC)	650		175~179	181~184
	CTEx, α1			16.20	18.70
	CTEx, α2			8.10	11.40
	CTEy, α1	IPC-TM-650	ppm/K	13.70	13.90
	CTEy, α2	(TMA)		3.72	8.80
	CTEz, α1			50.10	56.20
	CTEz, α2			182.03	252.32

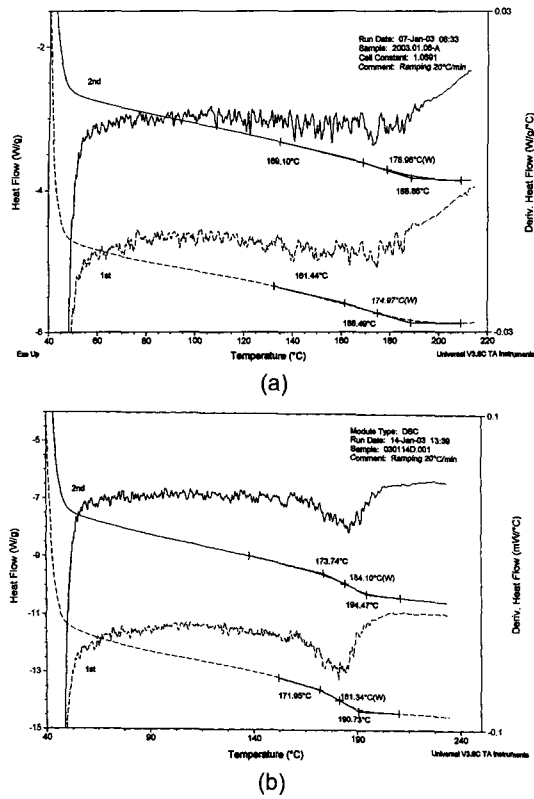


Fig. 13. DSC results under the heating rate of 10°C/min from 30°C to 220 (1st running) or 280°C (2nd running). (a) BT (M), (b) HTG FR4 (H)

이므로 반도체 기판 제조공정시 발생하는 열응력에 의한 저항성이 강한 것으로 나타났다.

IV. 결론

본 논문에서는 전자패키징용 반도체 기판의 원자재의 개발동향 및 전기적, 기계적, 열적특성에 대하여 다음과 같이 고찰하였다.

최근 전자패키징용 반도체 기판 원자재의 특성은 환경문제 및 우수한 특성에 대한 요구에 따라 lead-free, high Tg, low Dk 및 halgen-free 특성으로 발전되어 왔다. 따라서 PBGA, CSP, FC-BGA 등과 같은 표면실장부품에 사용되는 BT 및 HTG FR4 원자재에 대한 관심이 높아지고 있으며 현재에도 그 요구특성에 맞춰 개발되고 있다.

BT의 전기적특성은 HTG FR4에 비하여 주파수 전송손실이 낮으므로 우수한 절연특성을 나타내

마이크로전자 및 패키징학회지 제10권 제3호 (2003)

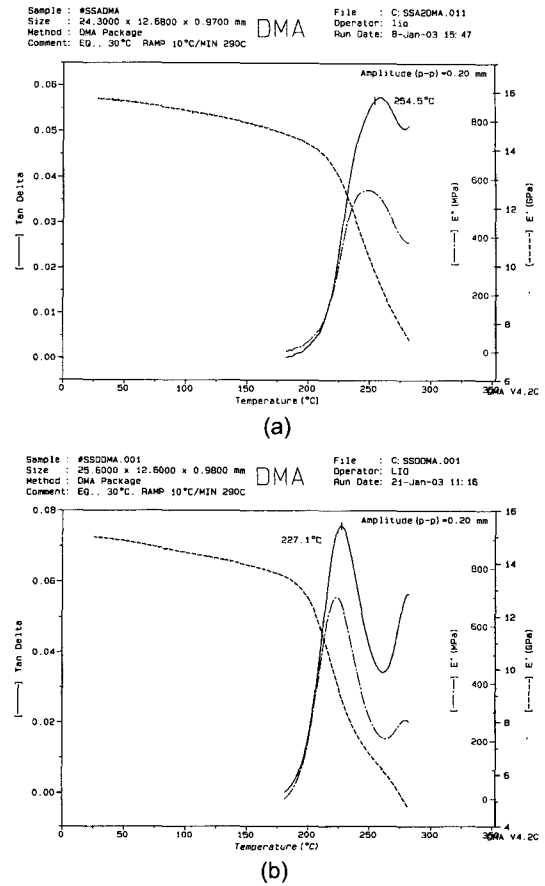


Fig. 14. DMA results under the heating rate of 2°C/min from 30°C to 300. (a) BT (M), (b) HTG FR4 (H).

었으며 BT의 탄성계수는 27.55GPa으로 HTG FR4에 비해 약 6% 높은 결과를 나타내어 기계적 특성은 비교적 우수하였다. 또한 BT의 흡수율도 HTG FR4에 비하여 47% 낮으므로 제품응용분야의 확대가 가능하다. 반면에 HTG FR4의 Tg는 181~185°C로 BT에 비하여 최대 12°C 정도 높아서 비교적 열적 안정성이 우수한 것으로 나타났다.

본 연구결과와 같이 우수한 전기적, 기계적, 열적특성 및 환경친화특성을 지니고 저가의 원자재 개발로 인하여 향후 고신뢰성 전자패키징 부품의 개발 및 응용이 가능할 것으로 기대된다.

Acknowledgement

This work was supported by Korea Research Foundation Grant (KRF-2002-041-D00312).

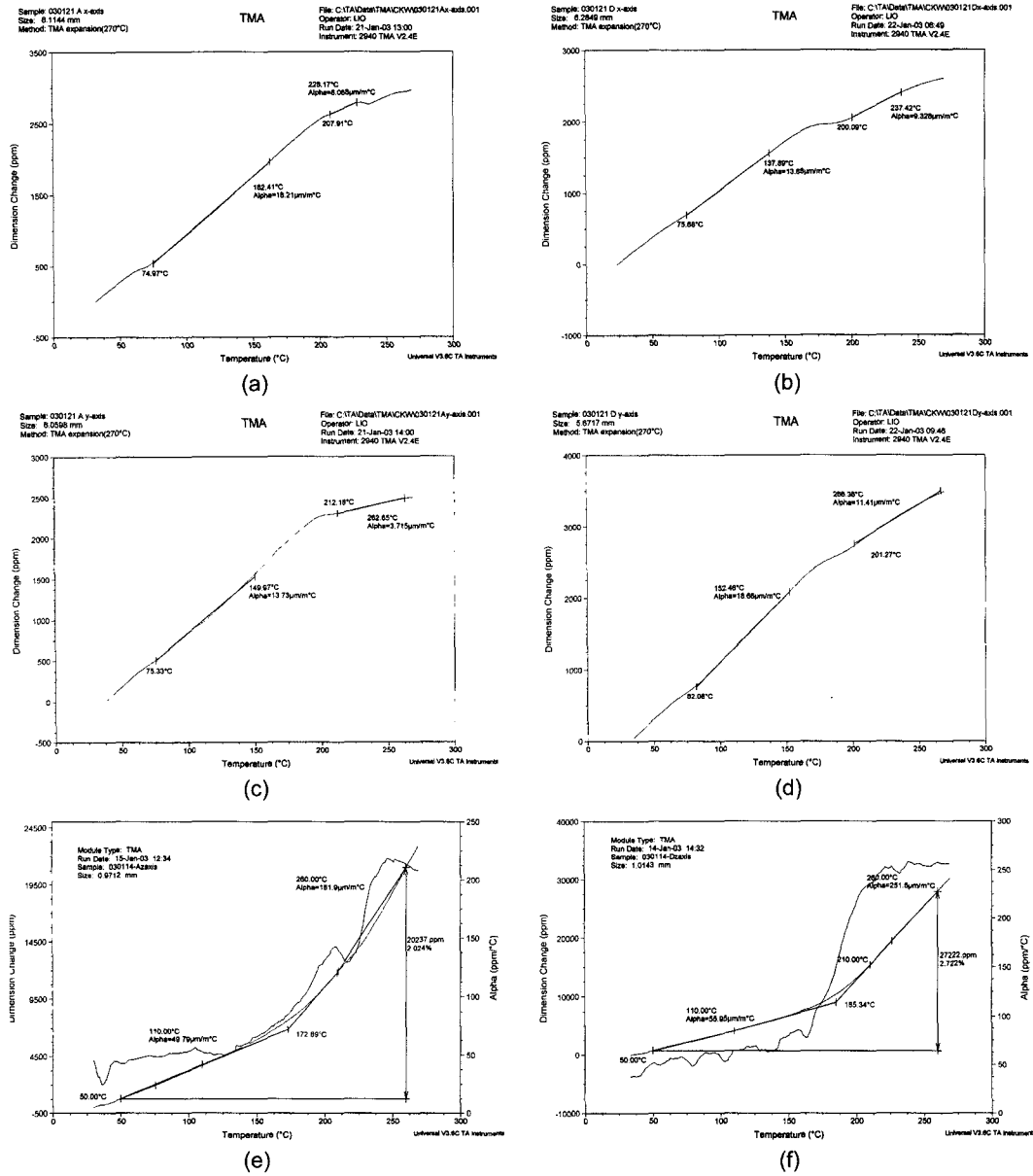


Fig. 15. TMA results under the heating rate of 10°C/min from 30°C to 280°C. (a) X-axis of BT (M), (b) X-axis of HTG FR4(H), (c) Y-axis of BT (M), (d) Y-axis of HTG FR4 (H), (e) Z-axis graph of BT (M), (f) Z-axis of HTG FR4 (H).

참고 문헌

1. P. Garrou, Wafer Level Chip Scale Packaging: An Overview, IEEE Trans. Adv. Packag., 23, 198-205, (2000).
2. B. Djurovic, C. A. Puzzo and J. K. Spelt, Analysis of

Thermal Warpage in a PCB with an Array of PTH Connectors, IEEE Tran. Comp. Packag. Tech., 22, 3 (1999).

3. W. Sutherland, Y. Polsky, and I. C. Ume, A Relative Comparison of PWB Warpage due to Simulated Infrared and Wave Soldering Processes, IEEE Electronic Components and Technology Conference, 807-815

- (1998).
4. H. S. Lee, *et al.*, "Current Status and Forecast on Development of Metal Matrix Composites for Electronic Packaging Applications", *Trends in Metals & Materials Engineering*, 14, 8 (2001).
 5. J. D. Sim, F. S. Galbraith, N. Davenport, "Modelling of PCB variations and its impact on microcontroller immunity", 10th International Conference on Electromagnetic Compatibility (Conf. Publ. No. 445), 1-3 Sep., 100-104 (1997).
 6. E. Zakel, T. Teutsch, "A roadmap to low cost bumping for DCA, COF, CSP and BGA", *Electronics Manufacturing Technology Symposium, IEMT-Europe 1998. Twenty-Second IEEE/CPMT International*, 27-29 Apr., 55-62 (1998).
 7. JEDEC Standard, "Preconditioning of Nonhermetic Surface Mount Devices Prior to Reliability Testing", *JESD22-A113-B*, Mar. (1999).
 8. JEDEC Standard, "Temperature Cycling", *JESD22-A104-B*, July (2000).
 9. JEDEC Standard, "Highly Accelerated Temperature and Humidity Stress Test(HAST)", *JESD22-A110-B*, Feb. (1999).
 10. C. Michael Garner, V. Gupta, V. Bissessur, A. Kumar, R. Aspandiar, "Challenges in converting to lead-free electronics", *Electronics Packaging Technology Conference(EPTC 2000). Proceedings of 3rd*, 6-9 (2000).
 11. T. A. Nguty, B. Salam, R. Durairaj, and N. N. Ekere, "Understanding the process window for printing lead-free solder pastes", *IEEE Transactions on Electronics Packaging Manufacturing*, 24 Issue: 4, Oct. 249-254 (2001).
 12. T. Baba, "Environmentally friendly, high thermal resistant, low CTE substrate material for semiconductor packaging", *Electronics Manufacturing Technology Symposium, IEMT 2002. 27th Annual IEEE/SEMI International*, 389-390 (2002).
 13. A. Owzar, C. M. Weickmann, F. Fazelpour, P. Windirsch, J. Reimers, and H. Reichl, "High frequency characterization of interconnection on glass fiber inforced PCB (G30)", *Electrical Performance of Electronic Packaging, IEEE 6th Topical Meeting on*, 27-29 Oct., 74-78 (1997).
 14. E. K. W. Gan, H. Y. Zheng, and G. C. Lim, "Laser drilling of micro-vias in PCB substrates", *Electronics Packaging Technology Conference, (EPTC 2000). Proceedings of 3rd*, 321-326, (2000).
 15. M. Arra, D. Xie, and D. Shangguan, "Performance of lead-free solder joints under dynamic mechanical loading" *Electronic Components and Technology Conference, 2002. Proceedings. 52nd*, 1256-1262 (2002).
 16. H. S. Lee, *et al.*, "Fabrication Process and Thermal Properties of SiCp/Al Metal Matrix Composites for Electronic Packaging Applications", *Journal of Materials and Science*, 35, 24, 231-6236 (2000).
 17. H. S. Lee, *et al.*, "Anisotropic Mechanical Behavior of Three Dimensional Glass Fabric Reinforced Composites", *Key Engineering Materials, (Fracture and Strength of Solids, Pts 1 and 2)*, 183-1, 1183-1188 (2000).
 18. H. S. Lee, *et al.*, "Mechanical Behavior and Failure Process during Compressive and Shear Deformation of Honeycomb Composite at Elevated Temperature", *Journal of Materials and Science*, 37, 1265-1272 (2002).
 19. P. B. Hassel, "Advanced warpage characterization: Location ad type of displacement can be equally as important as magnitude", *Proceedings of Pan Pacific Microelectronics Symposium Conference*, Feb., (2001).
 20. R. D. Bhogeswara, and M. Prakash, "Effect of substrate warpage on the second level assembly of advanced plastic ball grid array (PBGA) packages", *Electronics Manufacturing Technology Symposium, Twenty-First IEEE/CPMT International*, 13-15 Oct., 439-446 (1997).
 21. K. Arledge *et al.*, "Microvia in Printed Circuit Design", *Proceedings of IPC Printed Circuits Exp 1998, Long Beach, CA, S17-7-1~S17-7-8* (1998).
 22. J. Paulus and M. Petti, "Microvia Materials: Enablers for High Density Interconnects", *Proceedings of IPC Printed Circuits Exp 1997, San Jose, CA, S17-7-1~S17-7-8* (1997).
 23. J. Morrison, "TEA CO2 Laser Micro Via Fabrication in Standard ad Emerging PWB Dielectrics", *Proceedings of IPC Printed Circuits Exp 1997, San Jose, CA, S15-3-1~S15-3-8* (1997).
 24. J. Deak and L. Hertel, "Laser via formation in flexible substrates for high density electronic assembly", *Electronics Technology: Concurrent Engineering in Electronic Packaging, 24th International Spring Seminar on*, 163-166 (2001).
 25. D. E. Chrzanowski, D. A. Stanke, and R. A. Lapceovich, "Manufacturing productivity improvements for PBGA and flip chip substrates in PWB factory", *Electronic Components and Technology Conference, 2000 Proceedings. 50th*, 558-562 (2000).
 26. Hitachi-chemical Co. LTD, <http://www.hitachi-chem.co.jp/henglish/index.html>.
 27. Epoxy Resin Hardeners, <http://www.hitachi-chem.co.jp/kozai/ocp/english/products/kouka.1.htm>

28. Organic Chemical Materials and Products <http://www.hitachi-chem.co.jp/kozai/ocp/english/list.htm>
29. S. Miyatake et al., "Microscopic Observation of Pb-Free Solder Joint Interface", 2001 IEEE, 1137-1140 (2001).
30. Matsushita, <http://www.matsushita.co.jp>.
31. Nanya Technology Corp. (NTC), <http://www.nanya.com/e-htm/abc-01.htm>.
32. Ividen Co., LTD, <http://www.viden.co.jp/>.
33. Y. S. Lin and C. Y. Chung, "A study on the flammability of Halogen-free core materials for microelectronic packaging substrates", Proceedings of the 4th International Symposium on Electronic Materials and Packaging, 127-132 (2002).
34. H. S. Park and G. J. Sung, "A Comparison of RF Properties of Bonding in Flip-Chip Packaging", Journal of Microelectronics & Packaging Society, 10(2), 27-31(2003).
35. Y. C. Kim and K. H. Lee, "Development of LTCC Materials for RF Module", Journal of Microelectronics & Packaging Society, 10(2), 13-17(2003).
36. T. Suzuki, "Trend of halogen free printed wiring board materials", Second International Symposium on Environmentally Conscious Design and Inverse Manufacturing, Proceedings EcoDesign 2001., 1026-1031 (2001).
37. K. Ho and A. Teng, "Survey on Delamination of IC Packages in Electronic Products", 2000 Int'l Symp. on Electronic Materials & Packaging., 269-273 (2000).