

Power Islands의 공진에 의한 잡음 전달 개선 방법

이신영 · 권덕규 · 이해영
아주대학교 전자공학부

The Improvement Method of Transfer Noise by Power Islands Resonance

Shin-Young Yi, Duk-Kyu Kwon, and Hai-Young Lee

Department of Electronics Engineering, Ajou University

초 록: 본 논문에서는 파워 아일랜드(power island)에서 발생하는 잡음 전달을 개선하는 방법에 대해서 연구하였다. 일반적으로 파워 아일랜드는 각 파워 버스(power bus)의 구조적 공진에 의해 잡음 전달이 증가하는 단점이 있다. 따라서 본 논문에서는 두 가지의 잡음 전달 개선 방법을 제시하였다. 첫 번째로 잡음원의 위치를 변화시킴으로서 구조적 공진을 억제하였다. 두 번째로 공진이 발생할 경우 잡음 전달을 감소시키기 위해서 EGI(Elevated Ground Island)를 제안하였다. 해석결과, 잡음원의 위치에 따라 파워 버스의 공진을 최소로 감소시켰으며, EGI를 이용하여 잡음 전달을 효과적으로 감소할 수 있었다.

Abstract: In this paper, we researched on the improved method for transferring noise which is generated from power island. In general case, the power island has a drawback where the noise transfer increase because of the structural resonance in each power bus. Thus, this paper suggests two improved methods that reduces the noise transfer. First method is to suppress the structural resonance by varying the source of the noise. The second method is to utilize the EGI in order to minimize the EGI in order to minimize the transfer of the noise when the resonance occurs. The simulation analysis shows that the relocation of the noise source dramatically minimized the resonance in power bus and the utilization of EGI has effectively reduced the noise transfer.

Keywords: Power Island, EGI, Power/ground, EMI

1. 서 론

시스템이 고속화됨에 따라 시스템 전원부에 잡음 특성의 향상이 요구되고 있다. 특히 고속·고밀도화 되어가는 인쇄회로기판의 파워버스(power bus)에서 발생하는 잡음은 전체 시스템의 동작에 영향을 준다^{1,2)}. 따라서 인쇄회로기판의 파워버스 잡음을 억제하는 방법에 대한 많은 연구가 이루어지고 있다³⁻¹¹⁾. 이와 같은 기존의 파워버스 잡음 억제 방법 중 파워 아일랜드는 다양한 동작의 여러 회로가 같은 인쇄회로기판에 있을 때 각 회로간의 잡음 영향을 방지하기 위한 가장 일반적인 방법이다. 그림 1은 인쇄회로기판에서 사용되는 파워 아일랜드의 예이다¹⁾. 파워 아일랜드는 인쇄회로기

판을 제작하는 과정에서 특별한 추가 공정 없이 제작되어 각 회로간에 파워버스를 물리적으로 분리한 구조이다. 이와 같은 파워 아일랜드는 디커플링 캐패시터(decoupling capacitor)와 달리 물리적으로 각 부분을 분리함으로써 회로간에 잡음 영향을 높은 주파수까지 억제할 수 있다^{10,11)}.

하지만 파워 아일랜드는 각 파워 버스의 구조적 공진이 일치할 때 잡음 전달이 증가하는 단점이 문헌에 보고 되고 있다^{11,14)}. 기존의 파워 아일랜드 설계시 이와 같은 잡음 전달을 억제하기 위해서 일반적으로 각 파워 버스의 크기를 변화시키는 방법을 사용하였다¹¹⁾. 그러나 이와 같은 방법은 회로의 크기가 결정된 경우 사용이 불가능하다는 단점이 있다. 따라서 본 논문에서는 기존의 파워 아일

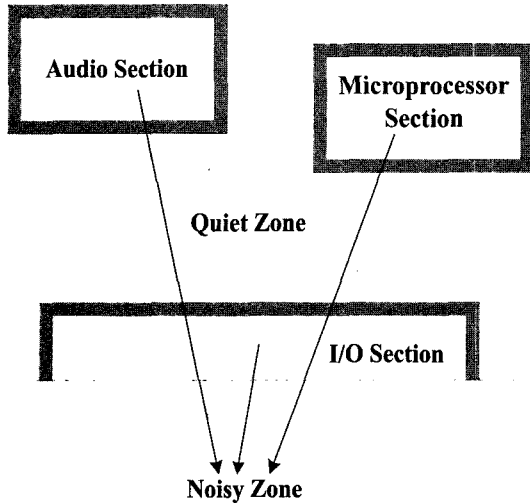


Fig. 1. Example of using power island

랜드의 개선 방법을 연구하였다. 본 논문에서 제안된 개선 방법은 두 가지이다. 첫 번째로 잡음원의 위치에 따라 파워 버스에서 발생하는 공진의 변화에 따른 잡음 전달의 감소와 두 번째로 잡음의 전달을 고주파까지 효과적으로 방지하기 위해 본 논문에서 제안된 EGI구조이다. 이와 같은 연구

를 토대로 더욱 개선된 파워 아일랜드를 설계할 수 있을 것이 기대된다.

2. 파워 아일랜드 구조 및 해석 결과

1. 샘플 측정 구조 및 해석 방법

그림 2는 본 논문에 사용된 해석 결과의 신뢰성을 확인하기 위하여 FR-4 기판을 이용하여 제작된 파워 아일랜드의 샘플구조이다. 측정에 사용된 FR-4($\epsilon_r=4.4, \tan\delta=0.02@500\text{ MHz}$)기판의 두께는 0.8 mm이고, 파워 아일랜드 간에 간격(w)은 1.8 mm이다. 그림 2(a)에는 측정에 사용된 측정 장비와 DUT(Device under Test)의 구성이다. 이때 사용된 VNA(Vector Network Analyzer)는 HP사에서 제작된 45 MHz에서 60 GHz 까지 측정이 가능한 8510C를 사용하였다. 그림 2에서 잡음원을 가정한 1 포트는 (0, 0)을 기준으로 하여 (20, 20)에 인가하였으며 2 포트는 (100, 60)에 위치시켰다. 측정 결과와 비교하기 위한 해석은 유한 요소법(FEM : Finite Element Method)을 이용한 상용 시뮬레이션 툴인 HFSS(High Frequency Structure Simulator)를 이용하였다¹²⁾. 해석시 전체 산란계수 크기의 변화율이 3%이내에 수렴하도록 유한 요소 메쉬(mesh) 생성을 반복 수행하였으며, 포트는 틀에서 제공되

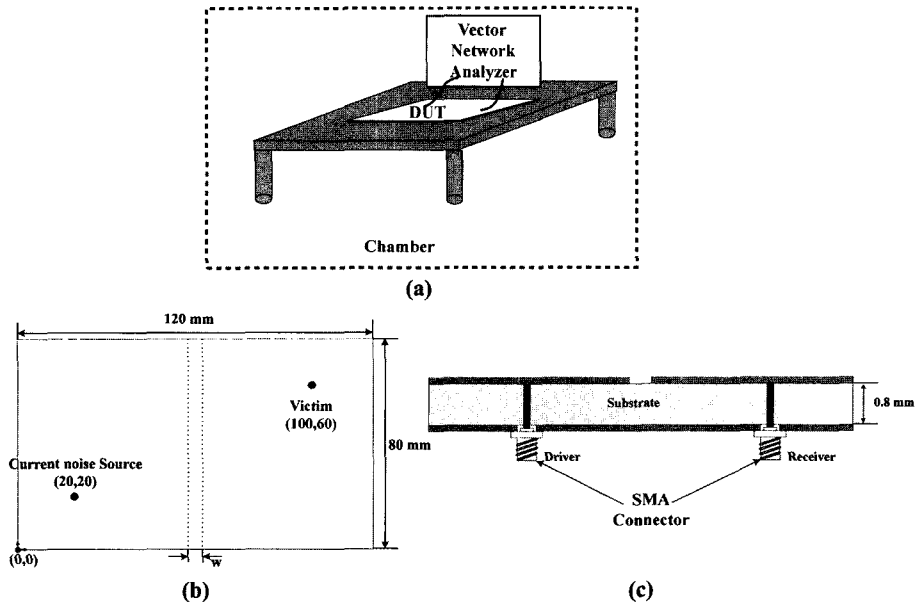


Fig. 2. Sample structure; (a) Test composition, (b) Top view; (c) Side view

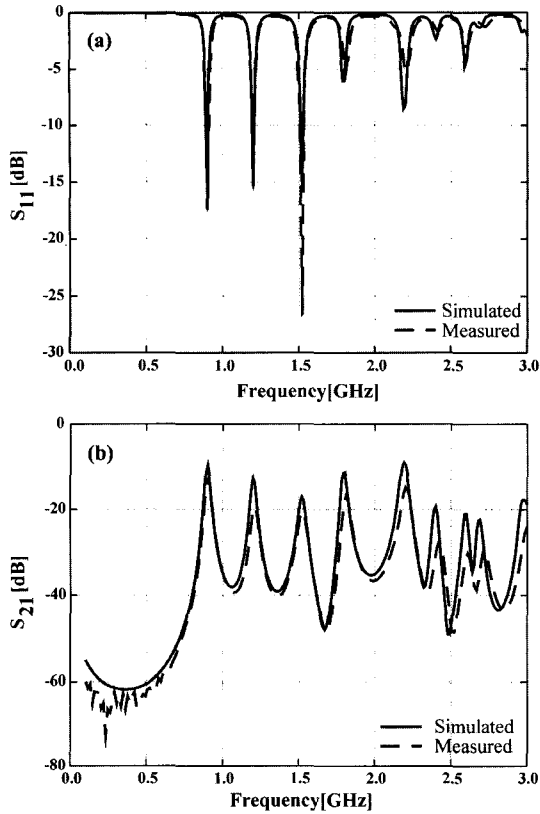


Fig. 3. Measured and simulation result of sample structure; (a) Return loss; (b) Insertion loss

는 50 Ω 갭소스(gap source)를 사용하였다. 또한 방사효과를 고려하기 위해 구조로부터 기판 두께의 10배 떨어진 지점에 흡수경계조건(ABC: Absorbing Boundary Condition)을 적용하여 실제 경계조건과 유사하도록 설정하였다. 해석에서 사용된 재료 정수(material parameter)는 실제와 유사하게 손실을 고려하여 해석하였다. 해석된 결과와 측정

결과를 그림 3에 비교하여 도시하였다. 그림 3에서 해석결과와 측정결과가 오차범위 내에서 일치함을 확인할 수 있으며, 이러한 결과는 해석의 신뢰성을 제공한다.

2. 파워 아일랜드 구조 및 해석 결과

(1) 해석 구조

그림 4는 파워 아일랜드의 해석구조이다. 해석구조는 12 cm×8 cm 크기의 높이가 1.2 mm인 FR-4 양면기판으로 가정하였다. 그림 4(b)에서 점선으로 표시된 부분은 파워 아일랜드 구조의 전원 평면이 분리된 부분이며 구조적 공진에 의한 잡음 전달 확인을 용이하게 하기 위하여 각 파워 버스의 구조는 동일하게 설계하였다. 그리고 잡음원의 위치에 따라 공진에 의한 잡음 전달의 변화를 알

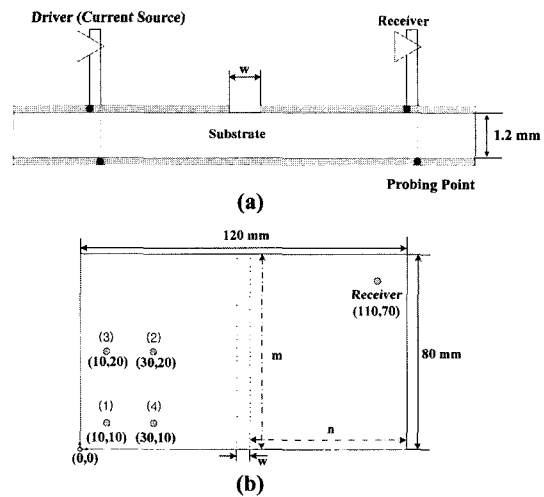


Fig. 4. Simulation structure of conventional power island; (a) Side view; (b) Top view.

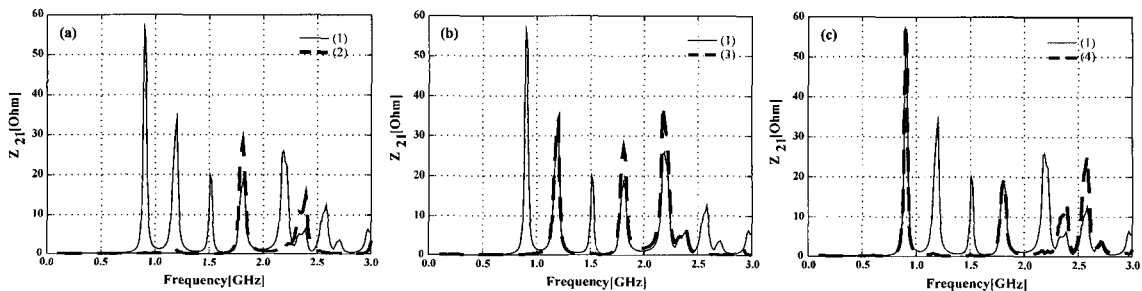


Fig. 5. Simulation result according to position of noise source; (a) (1) and (2); (b) (1) and (3); (c) (1) and (4).

아보기 위해 잡음원의 위치는 (1)~(4)로 각각 해석하였다.

(2) 해석 결과

그림 5 (a)에서 (1)의 위치에 잡음원이 있는 경우 인가된 파워버스에서 발생하는 구조적 공진(resonance)은 총 9 개의 주파수에서 발생된다. 그러나 잡음원의 위치를 (2),(3),(4)으로 각각 해석하였을 때 공진이 발생하는 주파수의 개수가 변화되는 것을 알 수 있다. 이와 같은 결과는 입사된 잡음에 의한 공진은 입사 위치에 따른 구조의 입력 임피던스가 변화하여 발생되기 때문이다. 해석 결과에서 (2)에 입사되는 경우 잡음원의 위치와 구조적 특성에 의한 입력 임피던스가 최대가 되는 주파수가 (1),(3),(4)에 비해 가장 적기 때문에 전체적인 잡음 전달이 감소한다.

3. EGI 구조 및 해석 결과

1. EGI 해석 구조 및 해석 결과

그림 6는 파워 아일랜드의 구조적 공진에 의한 잡음 전달을 억제하기 위하여 본 논문에서 제안된 EGI구조이다. 제안된 EGI구조는 각 파워 버스 사이에 얇은 금속 평면을 삽입하고 이를 집지 평면과 비아(via)를 통하여 연결한 구조이다. 이때 삽입된 금속 평면의 폭(m)은 0.4 mm이다. 그림 7은

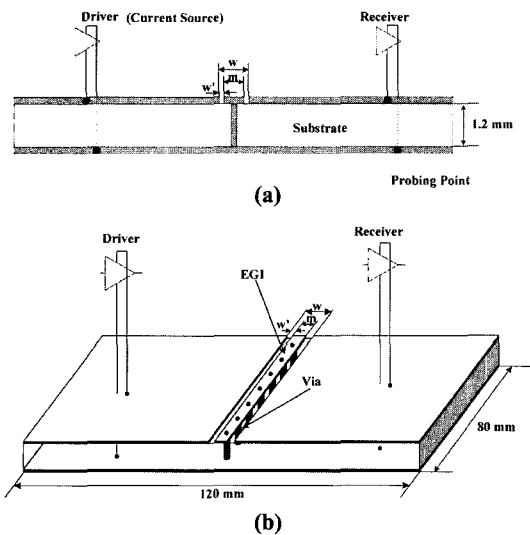


Fig. 6. Power island simulation structure with EGI; (a) Side view; (b) Overall view.

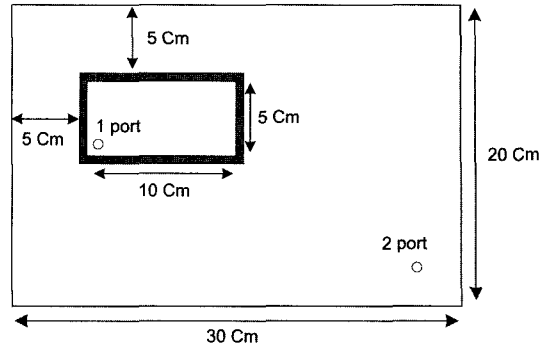


Fig. 7. The application example of computer board.

이와 같은 EGI를 실제 컴퓨터 보드와 같은 구조를 가정하여 응용한 예이다. 그림 7에서 보는 것과 같이 완전 고립된 평면은 일반적으로 클럭 버스(clock bus)와 같은 잡음 발생이 많은 회로와 다른 회로를 분리할 때 사용된다.

(2) 해석 결과

그림 8은 본 논문에서 제안된 EGI 구조를 이용한 파워 아일랜드와 일반적인 파워 아일랜드의 잡음 전달 특성을 비교한 결과이다. 해석 결과, 제안된 구조의 잡음 전달이 일반적인 파워 아일랜드의 구조적 공진이 발생하는 주파수에서 약 6 Ω 감소하였다. 이와 같은 감소는 제안된 EGI 구조가 파워 버스의 공진에서 발생하는 불요 전계(electric field)의 바이패스(bypass) 경로가 되기 때문이다. 이와 같은 EGI구조의 특성을 그림 9와같이 등가 회로를 이용하여 표현하였다. 그림 9에서 파워 버스와 EGI 사이에 커패시턴스(C₁,C₂)에 의해 잡음의 전달 특성이 변화하게 된다. 이때 일반적으로

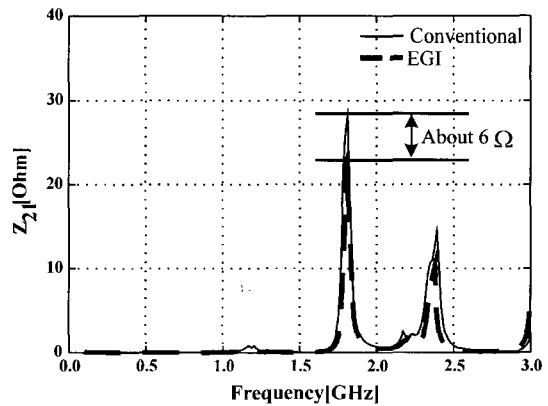


Fig. 8. Comparison transfer impedance with EGI structure and without conventional one.

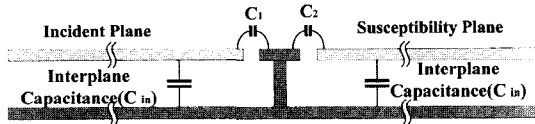


Fig. 9. Simple circuit modeling of EGI.

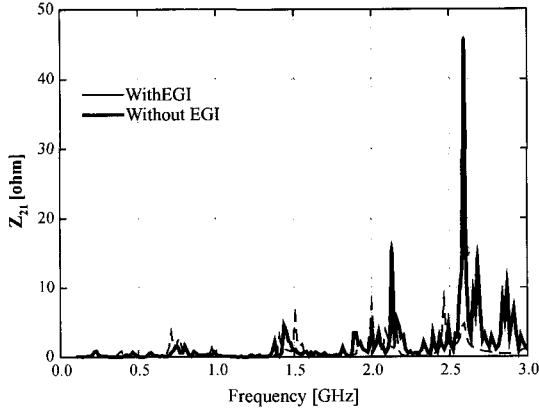


Fig. 10. Analysis circuit modeling of EGI.

C_{in} 이 지배적이다. 하지만, 공진 주파수에서는 C_1 과 C_2 에 의한 바이패스 경로가 잡음 특성에 많은 영향을 주게 된다.

그림 10은 EGI를 컴퓨터 보드와 같은 실제 보드에 응용한 예이다. 컴퓨터 보드와 같은 고주파 잡음원이 많이 발생하는 시스템에서는 잡음원이 되는 회로와 인접 회로간에 잡음 영향을 방지하기 위해서 파워 아일랜드를 사용한다. 이때 일반적인 파워 아일랜드의 특성을 개선하기 위해서 EGI를 이용하여 해석하였다. 해석결과는 그림 10에 비교도시하였다. 그림 10에서 잡음이 최대 20Ω 까지 감소하였다. 따라서 본 논문에서 제안된 EGI 구조를 이용하여 파워 아일랜드를 설계하는 경우, 잡음 전달을 효과적으로 방지할 수 있다.

4. 결 론

본 논문은 인쇄회로기판의 전원부 잡음 전달을 방지하기 위해서 사용되는 파워 아일랜드의 잡음 전달을 개선하는 방법에 대하여 연구하였다. 일반적으로 파워 아일랜드는 구조적 공진에 의해 잡음 전달이 증가하는 단점이 있다. 따라서 본 논문에서는 잡음원의 위치를 변화시킴에 따라 공진 발생을 억제하는 방법과 잡음 전달을 억제하기 위한

EGI를 제안하였다. 따라서 본 논문에서는 일반적인 파워 아일랜드와 제안된 방법을 비교하여 잡음 전달이 효과적으로 감소되는 것을 확인하였다. 해석결과, 구조를 고려하여 잡음원의 위치를 선정함에 따라 공진의 발생을 최소화시킬 수 있었으며, 제안된 EGI를 이용하여 6Ω 까지 잡음 전달을 감소하는 것을 확인 할 수 있었다. 또한 이와 같은 구조를 컴퓨터 보드와 같은 실제 상황에 적용하여 해석한 결과 약 20Ω 까지 잡음 전달을 감소시킬 수 있었다. 이와 같은 결과는 전원부 잡음이 수백 mA까지 발생하는 최근의 고속 인쇄회로기판의 설계시 적용되어 회로에서 발생하는 오동작 및 방사를 감소시킬 것이 기대된다.

참고문헌

1. M.I. Montrose, Printed circuit Board design techniques for EMC Compliance, IEEE. PRESS (1996).
2. H.W. Ott, Noise Reduction Techniques in Electronic Systems, John Wiley & Sons, 2nd Edition (1988).
3. S. Radu and D. Hockanson, "An Investigation of PCB Radiated Emissions from Simultaneous Switching Noise," IEEE Symp., EMC, 2, 893-898 (1999).
4. R. Senthinathan and J. Price, "Simultaneous Switching Noise of CMOS Device and Systems" Boston, MA, Kluwer (1994).
5. X. Ye, D.M. Hockanson, M. Li, Y. Ren, W. Cui, J. L. Drewniak, and R.E. DuBroff, "EMI Mitigation with Multilayer Power-Bus Stacks and Via Stitching of Reference Planes," IEEE Trans. Electromagn. Compat., 43(4), (2001).
6. I. Novak, "Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination," IEEE Trans. Adv. Packing, 22, (1999).
7. A.R. Djordjevic and T. K. Sarkar. "An investigation of delta-I Noise on Integrated Circuit," IEEE Trans. Electromagn. Compat., 36(2), 134-147 (1993).
8. K. Lee and A. Barbar, "Modeling and Analysis of Multichip Module Power Supply Planes," IEEE Trans. Comp. Packag. Manufact. Technol. B, 18(4), 628-639 (1995).
9. A. KAMO, T. Watanabe and H. Asai, "Simulation for the Optimal Placement of Decoupling Capacitors on Printed Circuit Boards," IEEE International Symp. Circuits and Systems, 2, 727-730 (2001).
10. J. Fan, Y. Ren, J. Chen, D.M. Hockanson, H. Shi, J.L. Drewniak, T.H. Hubing, T.P. Van Doren and R.

- E. Dubroff "RF Isolation Using Power Islands in DC Power Bus Design," IEEE International Symp. EMC, 838-843 (1999).
11. T. Hubing, J. Chen, J. Drewniak, T. Van Doren, Y. Ren, J. Fan and R. Dubroff, "Power Bus Noise Reduction Using Power Islands in Printed Circuit Board Designs", IEEE International Symp. EMC, 1-4 (1999).
 12. HFSS (High Frequency Structure Simulator), ver 8.0, Ansoft.
 13. G.T. Lei, R.W. Techentin and Barry K. Gilbert, "High-Frequency Characterization of Power/Ground-Plane Structures," IEEE Trans. Microwave Theory and Tech., 47(5), 562-569 (1999).
 14. J. Chen, T.H. Hubing, T.P. Van Doren and R.E. DuBroff, "Power Bus Isolation Using Power Islands in Printed Circuit Boards," IEEE Trans. Electromagn. Compat., 44(2), 373-380 (2002).