
FSK-주파수 도약 데이터 통신시스템에서의 디지털 주파수 합성기의 영향분석

*송 인 근

Analysis of the effect of Digital frequency synthesizer
in FSK-Frequency-hopped data communications

*In-Keun Song

요 약

주파수 도약 대역확산시스템에서의 광대역 주파수 도약을 위해 주파수 합성기가 널리 이용된다. 따라서 본 논문에서는 효과적인 무선 디지털 데이터 전송 성능을 얻기 위한 FH-FSK 통신에 미치는 주파수 합성기의 영향을 분석하였다. 이를 위해 PLL의 성능을 좌우하는 위상 변화, 스푸리어스의 발생, PLL의 과도응답 특성에 의해 영향을 받는 주파수 도약을 등 여러 가지 파라미터들에 따른 성능을 분석하였다. 전형적인 PLL을 사용한 주파수 도약 시스템에서는 주파수 도약을 위한 반송파 신호를 국부 발진기에서 만들어낸다. 반송파 간격이 협대역인 협대역 무선 통신 시스템일 경우에는 빠른 주파수 도약을 위한 PLL의 구현이 어렵다. 본 논문에서는 이런 문제점을 해결하기 위해 디지털 주파수 합성기/CPM 변조기를 사용하여 빠른 주파수 도약을 위한 PLL 구현이 가능함을 Matlab tool를 사용한 시뮬레이션 결과를 통해 분석할 수 있었다.

ABSTRACT

Agile frequency synthesizers are the common device used for commandable, wide-band frequency hopping in frequency-hopped (FH) communications. In this paper, synthesizer phase transient effect and its compensation methods in an FH/FSK(Frequency Hopped Frequency Shift Keying) system are studied. Models for these analysis are developed and resulting performance degradations are computed. The basic PLL is difficult to implement for fast frequency hopping in narrowband radio communication systems. To solve this problem, digital frequency synthesizer/CPM (Continuous Phase Modulation)modulator is proposed. And it's performance is analyzed theoretically. The analysis show that fast frequency hopping is possible in frequency hopping system that use digital frequency synthesizer/CPM modulator.

키워드

FH-SS system, PLL, Frequency synthesizer, Phase transient response, time constant

1. 서 론

적대적인 환경에서 원하지 않는 수신자가 전송 신호를 쉽게 검파하거나 인식하지 못하도록 통신 보안을 유지해야만 하는 경우가 있다. 이러한 경

우 “대역확산 변조(Spread-Spectrum Modulation)”라 불리는 신호 기술을 사용 한다 [1],[2]. 대역 확산 시스템의 주된 이점으로는 다른 사용자와 동시에 같은 채널로 전송하려 할 때 발생하는 간섭이나, 해로운 의도를 갖은 송신기가 전송을 방

*우송대학교 컴퓨터전자정보공학부

접수일자 : 2003. 6.13

해(jamming)하고자 시도하는 고의적인 간섭에 영향을 받지 않는다는 것이다. 대역 확산은 데이터를 전송하는데 필요한 최소한의 대역폭보다 많은 대역폭을 통하여 전송하는 방식이다. 이는 전송 전에 데이터 열과 독립적인 의사 잡음코드를 사용함으로써 달성되어질 수 있다. 수신기에서는 원래의 데이터 열을 복구하기 위해서 확산된 신호를 역 확산 시켜야한다. 이를 위해 송신기와 동기가 맞추어진 코드가 수신기에서 사용된다. 이와 같은 대역 확산 시스템의 대표적인 방식으로는 직접 확산 방식과 주파수 도약 방식이 있다. 직접 시퀀스 대역 확산 방식이 높은 주파수 선택도와 다중경로 페이딩을 보완하기 위해서는 광대역 신호를 요구하는 반면, 주파수 도약 대역 확산 방식은 여러 주파수에 신호를 실어 보내며 각각의 도약 주파수는 협대역 시스템과 같다. 이러한 과정은 도약율에 따라 달라지는데 이때 이 도약율은 직접대역확산 시스템의 칩 율에 비해 상당히 낮다. 따라서 전력 소모가 적게 되며 수신기에서의 동기과정도 직접 대역 확산 시스템에 비해 어렵지 않다. 이 같은 이유로 인해 주파수 도약 대역 확산 방식은 개인 휴대 통신 시스템과 같은 저 전력 시스템에 적절하다. 또한 블루투스 시스템기술에 적용되고 있다.

이와 같은 주파수 도약 대역확산 송수신기에서의 도약 주파수를 발생시키는 주파수 합성기는 PLL에 의해 실현된다. 전형적인 PLL의 경우 반송파 간격이 협대역인 협대역 무선 통신 시스템일 경우에는 빠른 주파수 도약을 위한 PLL의 구현이 어렵다[3]. 따라서 본 논문에서는 효율적인 무선 디지털 데이터 전송 성능을 얻기 위하여 FH-FSK 통신시스템에 미치는 PLL 주파수 합성기의 영향을 PLL의 위상 변화, 스푸리어스의 발생, PLL의 과도응답 특성에 의해 영향을 받는 주파수 도약을 등의 파라미터에 따라 분석하고 빠른 주파수 도약을 위한 디지털 주파수 합성기/CPM 변조기를 제안하고 위상오차와 전력스펙트럼에 따른 성능을 Matlab tool를 사용한 시뮬레이션 결과를 통해 분석하고자 한다. 이를 위해, II장에서는 주파수 도약 대역 확산 기술을 이용한 송·수신기를 모델링하고 III장에서는 PLL의 과도현상에 따른 주파수 도약 시스템의 성능을 분석하며

IV장에서는 국부 발진기가 고정되고 주어진 주파수 대역내의 모든 도약 반송파가 디지털 방식으로 발생되도록 하여 심볼 시간내에 도약 반송파 주파수를 변화하는 것은 가능하도록 하는 디지털 주파수합성기/변조기에 의해 도약 주파수를 결정하고 최종 반송파 주파수를 PLL에 의해 발생시키도록 하는 구조를 제안하고 데이터 통신시스템에 있어서의 시스템의 성능분석을 하고 V장에서 결론을 맺었다.

II. 주파수 도약 송수신기의 모델

주파수 도약 (FH) 송수신기는 그림 1에 나타난 바와 같다.

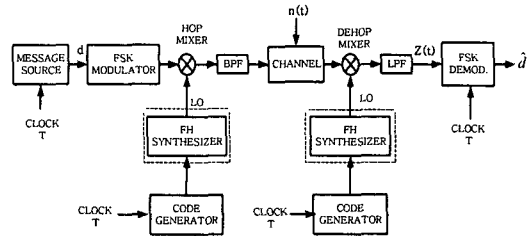


그림 1. FSK 주파수 도약 시스템
Fig. 1. The FSK frequency hopped system

FSK신호의 i 번째 주파수가 송신되었다면, FSK 복조기의 입력은 식 (1)과 같이 표현된다.

$$z(t) = \sqrt{\frac{2E}{T}} \cos[(w_{IF} + \frac{2\pi i}{T})t + \phi_T(t) - \phi_R(t) + \alpha] + n(t) \quad (1)$$

여기서, E 는 심볼 에너지이고, w_{IF} 는 중간 주파수신호, α 는 균일 분포 확률을 갖는 위상, T 는 FSK 워드시간이고 도약 시간과 같다고 가정하며, $\phi_T(t)$ 와 $\phi_R(t)$ 는 각각 송수신기의 주파수 도약을 위해 사용된 국부 발진기의 위상변화이다. 잡음 $n(t)$ 는 부가적인 백색 가우시안 잡음이며 전력 스펙트럼 밀도는 N_0 이다. 중간주파수 FSK 신호가 잡음과 w_{IF} 에 비해 협대역이라 하면, 수신기 복조과정의 신호는 독립적인 Rician 랜덤 변수이다. 그러므로 FSK 변조신호의 워드오차확률은 식 (2)와 같다[4].

$$PWE = 1 - \frac{1}{M} \sum_{k=1}^M \int_0^{\infty} x \exp[-\frac{1}{2}(x^2 + \beta_{ik})] \cdot I_0(x\sqrt{\beta_{ik}}) dx \quad (2)$$

$$- \frac{1}{M} \sum_{k=1, k \neq i}^M \int_0^{\infty} y \exp[-\frac{1}{2}(y^2 + \beta_{ik})] \cdot I_0(y\sqrt{\beta_{ik}}) dy dx$$

여기서 I_0 는 수정 베셀 함수이고, β_{ik} 와 D_{ik} 는 각각 식 (3),(4)와 같다.

$$\beta_{ik} = 2 \frac{E}{N_0} D_{ik} \quad (3)$$

$$D_{ik} = \frac{1}{T^2} \left| \int_0^T \exp[-\frac{j2\pi(k-i)}{T} t + j\phi(t)] dt \right|^2 \quad (4)$$

여기서 $\phi(t) \triangleq \phi_T(t) - \phi_R(t)$

식 (2)는 합성기 위상 함수 $\phi(t)$ 에 의존하는 각각의 nonzero 중심 매개변수를 갖는 독립 Rician 변수에 따른 M진 오차 확률에 해당한다. 원하는 신호 확률 변수는 D_{ii} 에 의해 결정되고, 이는 사용 가능한 E/N_0 를 감소시키는 효과를 초래한다. 또한 모든 원하지 않는 신호, 잡음 확률 변수는 $D_{ik}(k \neq i)$ 에 의존한다. D_{ik} 는 잡음하의 검파기에서 검출된 유용한 E/N_0 의 부분에 해당하며 위상의 변화에 의해 야기된 비 직교성의 정도를 나타낸다.

III. PLL의 과도현상에 따른 성능 분석

주파수 도약을 위한 스텝 변화가 발생할 때, 주파수 합성기 루프는 주파수와 위상에서 스텝 변화가 일어난다. 즉, 임의의 도약 주파수로의 천이가 일어날 때 과도현상을 야기하며, 이 과도현상은 전압 제어 발진기의 출력 위상에 영향을 주어, 식 (4)에 나타난 것과 같이 FSK 복조에 차례로 영향을 미친다. 이와 같은 복조과정에 있어서의 과도현상의 영향을 분석하기 위해 주파수 도약 송수신기에 사용된 주파수 합성기의 등가 모델을 그림 2에 나타내었다. 만약 루프 필터가 샘플 비율에 비해 폭이 좁다면, 실제적인 검출기의 샘플링은 무시할 수 있고, 루프는 샘플러를 제거하여 연속적인 시스템으로 모델링 한다. 따라서 위상 검파기

입력에서 주파수 스텝 변화에 따른 과도현상 영향에 대해 선형 모델을 적용하여 분석하였다.

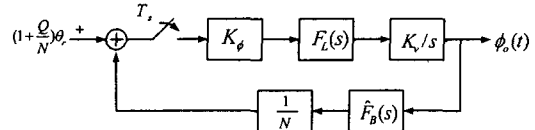


그림 2. 주파수 합성기 모델
Fig. 2. Synthesizer model

위상 오차 과도응답은 그림 2로부터 루프필터의 전달함수가 이상적인 경우 식 (5)와 같이 표현된다.

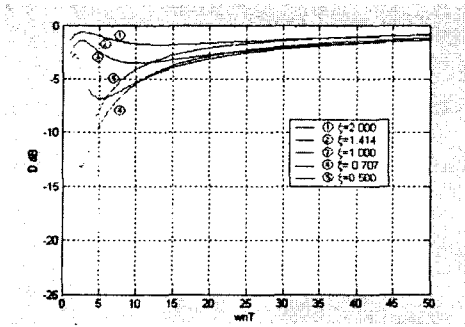
$$\phi_e(t) = \frac{\Delta w_o}{N w_n} e^{-\zeta w_n t} \frac{1}{\sqrt{1-\zeta^2}} \sin(w_n \sqrt{1-\zeta^2} t) \quad \text{for } \zeta < 1 \quad (5)$$

여기서 $w_n = \sqrt{K_o K_v / N \tau_1}$, $\zeta = w_n \tau_2 / 2$, K 는 루프의 이득, Δw_o 은 주파수 스텝으로 단위는 rad/sec 이다. 스텝크기 $\Delta w_o / N$ 이 루프의 lock-in 주파수 보다 작다면, 합성기 루프가 항상 입력 주파수 스텝에 선형적으로 응답하게 되며 주파수 도약이 발생할 때마다 위상 에러 함수 $\phi_o(t)$ 는 식(6)과 같이 발생한다[5],[6].

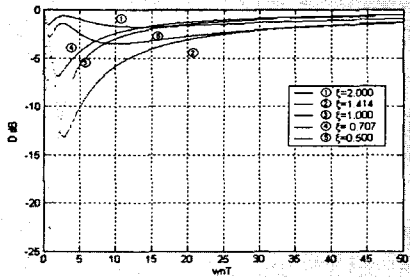
$$\phi_o(t) = N \phi_e(t) \quad (6)$$

FSK 복조과정에서 영향을 결정하기 위해 식 (6)은 식 (4)의 D_{ik} 의 값을 구하는데 이용된다.

그림 3은 PLL감쇠지수 (ζ)를 매개 변수로 정규화된 위드시간 $w_n T$ 변화에 대한 D의 값을 서로 다른 두 $\Delta w_o / w_n$ 에 대해 분석한 결과이다. 결과를 보면 알 수 있듯이 FSK 복조 과정에서 E/N_0 의 손실을 초래하는 $(1/D)$ 값은 $w_n T$ 값이 증가함에 따라 감소함을 보여준다. 그림 3(b)의 결과는 주파수 스텝이 $100w_n$ 보다 클 때 $\zeta=0.707$ 일 때 항상 가장 낮은 E/N_0 손실 값을 가져온다는 것을 알 수 있다.



(a) $\Delta\omega_0/\omega_n = 10$ 일 때



(b) $\Delta\omega_0/\omega_n = 100$ 일 때

그림 3. 정규화된 심볼 시간에 따른 과도저하현상 D
Fig. 3. Transient degradation D versus normalized symbol time

$i-k=1$ 인 최악의 경우의 D_{ik} 값을 그림 4에 나타내었다. 이 결과에 의하면 심볼 시간이 증가할수록, Δw 가 감소할수록 D_{ik} 값이 감소함을 알 수 있다. 이 결과는 Δw 가 감소할수록 비직교성의 영향이 줄어든다는 것을 알 수 있다. 앞의 D에 대한 결과와 마찬가지로 $w_n T > 50$ 에 대한 D_{ik} 의 값도 $w_n T = 50$ 에서의 값에 근접하고 있음을 알 수 있다. word 오차 확률(PWE)에 미치는 D_{ik} 값의 영향에 대한 분석은 그림 5에 보여진다. 이 곡선들은 $M=2$ 일 때 매개변수 D_{ik}/D 의 여러 값에 대한 DE/N_o 의 함수에 따른 PWE를 보여준다.

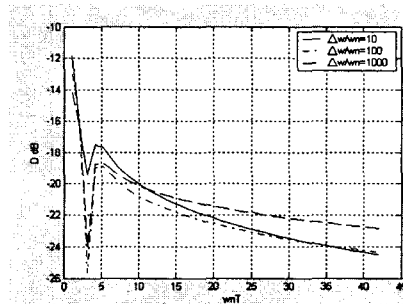


그림 4. 정규화된 심볼 시간에 따른 과도현상 저하 D_{ik} , $i-k=1$

Fig. 4. Transient degradation D_{ik} , $i-k=1$ versus normalized symbol time

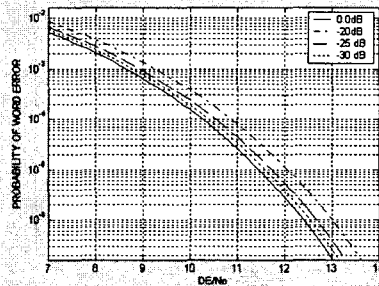


그림 5. BFSK에서 변하는 D_{ik} 값과 감소하는 E/N_o 에 따른 워드 에러의 확률

Fig. 5. Probability of word error versus degraded E/N_o with variable D_{ik}

IV. 제안된 주파수 합성기를 갖는 시스템의 성능분석

지금까지 살펴본 주파수 도약 시스템에서는 주파수 도약을 위한 반송파 신호는 PLL에 의해 구현되는 국부 발진기에 의해 만들어진다. PLL의 주파수 분해능이 PLL의 기준 주파수와 같기 때문에 기본적인 PLL의 기준 주파수는 시스템 요구에 명시된 반송파 간격과 같아야 한다. 반송파 간격이 협대역인 협대역 무선 통신 시스템에서 매우 빠른 주파수 도약을 위한 PLL의 구현은 어렵다 [5]. 이와 같은 문제점을 해결하기 위해 국부 발진기가 고정되고 주어진 주파수 대역내의 모든 도약 반송파가 디지털 방식으로 발생된다면[7], 그것은

심볼 시간어내에 도약 반송파 주파수를 변화하는 것은 가능하다. 이와 같이 디지털 주파수합성기/변조기에 의해 도약 주파수를 결정하고 최종 반송파 주파수를 PLL에 의해 발생시키도록 하는 구조를 그림 6과 같이 제안하였다.

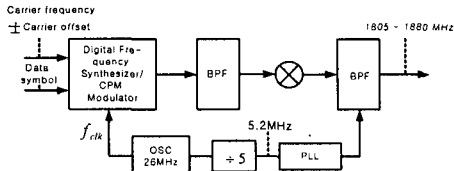


그림 6. 디지털 주파수합성기를 갖는 시스템의 블록도
Fig. 6. Block diagram of the system which has digital frequency synthesizer

4.1. 디지털 주파수 합성기/변조기

그림 7은 그림 6의 시스템에서 디지털 주파수 합성기/변조기의 상세 블록도를 나타낸다. 입력되는 데이터 심볼은 쉬프트 레지스터에 저장된다. 카운터와 쉬프트 레지스터의 출력은 주파수 경로 LUT(lookup table)의 주소를 만든다[7]. LUT 출력의 최 상위 비트(MSB)에 의해 출력이 반송파 주파수로부터 더해지거나 감해지는지를 결정하게 된다. 가산기/감산기의 출력은 식 (7)과 같다.

$$N_n = (C_n \pm L_n) \times 2^{j-1} \tag{7}$$

여기서, C_n 는 반송파 주파수 제어 워드(\pm 반송파 오프셋), L_n 는 주파수 변조제어 워드(LUT 출력), j 는 위상 누산기 폭이고, N_n 는 위상 누산기의 입력이고, n 은 시간지수이다.

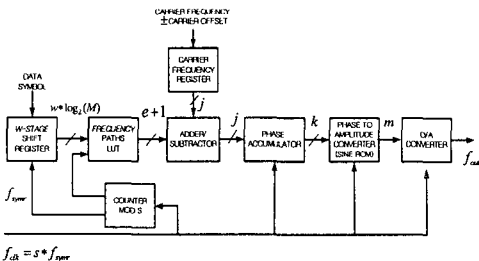


그림 7. 디지털 주파수 합성기/변조기의 상세 블록도
Fig. 7. Block diagram of the digital frequency synthesizer/CPM

식 (7)의 제한 조건은 샘플링 이론을 적용하였다. 위상 누산기의 위상 값은 식 (8)로 표현된다.

$$R_n = (N_n + R_{n-1}) \text{mod } 2^j \tag{8}$$

위상 누산기는 모듈로 2 연산자에 의해 따르는 디지털 적분기처럼 동작한다. 출력 주파수는 식 (9)와 같고, f_{clk} 는 클럭 주파수이다.

$$f_{out} = \frac{\Delta R_n}{\Delta T_{clk}} = \frac{N_n f_{clk}}{2^j} \tag{9}$$

위상 누산기의 입력 N_n 은 단지 정수 값을 가질 수 있으므로 주파수 분해능은 $N_n = 1$ 으로 하여 식 (10)과 같다.

$$\Delta f = \frac{f_{clk}}{2^j} \tag{10}$$

위상 누산기 출력은 위상-진폭 컨버터(사인 ROM)의 주소이고, 그것의 출력 시퀀스는 식(11)과 같다.

$$A_n = \text{round}[2^{m-1} \sin(\frac{2\pi[R_n]_k}{2^k})] \tag{11}$$

여기서 m 은 사인 ROM에 저장된 값의 단어 길이이고, k 는 사인 ROM을 저장하기 위해 사용한 위상 누산기의 단어 길이이고, $[R_n]_k$ 는 k 비트로 절삭(truncation)함을 의미한다. 디지털 사인 출력은 D/A 컨버터로 보내지고, 그것은 아날로그 신호를 발생시킨다. 샘플 당 심볼(S)의 수와 클럭 주파수 (f_{clk})는 식 (12)의 형태로 이끌어 낼 수 있다.

$$f_{clk} = S \times f_{sym} > 2.5 \times (\frac{f_{tb}}{2} + f_{cs} \times (N_{cs} + 1) + 2 \times f_d) \tag{12}$$

여기서, f_{sym} 는 심볼 비율이고, f_{tb} 는 그림 6의 대

역 통과 필터의 천이(변환) 대역이고, N_{cs} 는 출력 반송파 사이에 디지털 방식으로 생성되는 반송파의 수이고, f_{cs} 는 반송파 간격이고, 그리고 f_d 는 변조로 인한 주파수 천이의 최대 절대값이다. 이와 같은 디지털 주파수 합성기/CPM 변조기를 구현하는 과정에서의 잡음에 의한 성능을 분석하기 위해 그림 8과 같이 다시 표현하였다. 여기서 e_{FI} 는 LUT의 이상적인 주파수 경로 응답의 절삭에 기인하는 절삭 잡음, e_{FO} 는 LUT 출력에서 유한한 단어 길이, e_p 는 사인 ROM을 어드레싱하는 위상 누산기 비트의 잡음, e_{COM} 는 사인 ROM을 축소하는 것으로의 왜곡, e_A 는 사인 ROM에서 저장된 샘플의 유한한 정밀도, e_{DA} 는 이상적이지 않은 D/A 변환 프로세스, n_{clk} 는 클럭 주파수의 위상 잡음, 그리고, Δf 는 주파수 에러이다.

본 연구에서는 시프트 레지스터에서 심볼 스테이지의 수, 심볼 당 샘플수, LUT 출력의 단어 길이, 위상 누산기의 길이, 위상 주소의 단어길이, 그리고 위상-진폭 컨버터 출력의 단어 길이등의 파라미터에 따른 오차에 대한 성능을 분석하고자 한다. 위상과 진폭 양자화 에러가 서로 상관성이 없고 각각 단계이내에 균일하게 분포한다고 가정하면, 위상오차 전력은 식 (13)이고 진폭 에러 전력은 식 (14)와 같다.

$$e^2_p = \frac{\pi^2}{6 \times 2^{2k}} \quad (13)$$

$$e^2_A = \frac{1}{3 \times 2^{2m}} \quad (14)$$

신호의 전력은 $A^2/2$ 이고, 여기서 A는 신호의 진폭이다. 신호 대 잡음 전력 비율은 식 (15)와 같다.

$$SNR \approx \frac{A^2}{e^2_p + e^2_A} \approx 1.76 + 10 \times \log_{10} \left(\frac{\pi^2/2}{2^{2k}} + \frac{1}{2^{2m}} \right)^{-1} [dB] \quad (15)$$

여기서, $A \approx 1$ 이다.

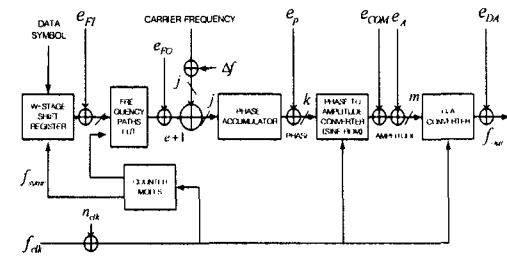


그림 8. 디지털 주파수 합성기에서 잡음과 spur의 원인

Fig. 8. The source of noise and spur in the digital frequency synthesizer

매개변수가 $m = k - 1$ 을 만족시킨다면, 위상 절삭 오차는 식 (15)에서 진폭 양자화 잡음보다 0.91dB 더 높다는 것을 알 수 있다.

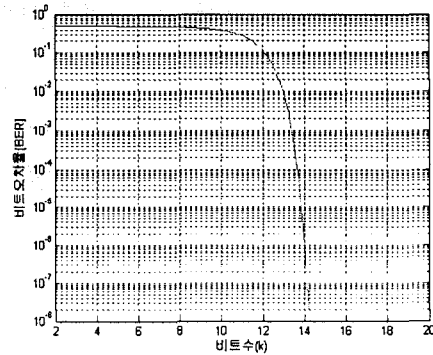


그림 10. 비트수(k) 값에 따라 변하는 비트 오차율(BER)

Fig. 10. Variable BER versus bit number

비트 수(k)에 따른 비트 오차율(BER)은 그림 9와 같다. 결과를 보면 만족할만한 비트 오차율을 유지하기 위해서는 k가 13 이상이 되어야함을 알 수 있다.

4.2. 주파수 settling 시간에 의한 영향 분석

무선 디지털 데이터 전송 성능을 얻기 위하여 고려되고 있는 FH-FSK 통신 시스템의 규격은 표 1과 같다.

표 1. 제안된 시스템의 규격

Table 1. specification of the proposed system

| | |
|------------------|----------------------------|
| Base transmit | 1805 - 1880 MHz |
| Base receive | 1710 - 1785 MHz |
| Frequency band | 75MHz |
| Burst duration | 576.9μs |
| Guard time | 30μs |
| Symbol rate | 270.833 Kb/s |
| Frequency error | 0.05 PPM × carrier ≈ 90 Hz |
| Carrier spacing | 200 kHz |
| Modulation | GMSK with $B_T = 0.3$ |
| Phase error RMS | 5° |
| Phase error peak | 20° |

주파수 settling 시간은 최대 허용되는 주파수 오차 (f_{ea})에 도달하는데 요구되는 시간으로 정의할 수 있다. 기준 주파수의 스퓨리어스의 억압을 위해서 기준 주파수가 루프필터 대역폭보다 훨씬 높아야 하므로 기준 주파수는 루프필터의 대역폭을 결정하는 고유 주파수를 제어한다. 따라서 고유 주파수는 주파수 분해능을 감소시키지 않고 기준 주파수를 증가함으로 확장된다. 표 1과 같은 파라미터를 갖는 시스템일 때, 앞서 살펴본 전형적인 PLL을 사용한 주파수도약 시스템과 디지털 주파수 합성기/CPM 변조기를 도입한 시스템의 경우의 주파수 스텝 (Δf)에 따른 주파수 settling 시간의 성능 분석한 결과는 그림 11과 같이 나타난다. 전형적인 PLL을 사용한 주파수 도약 시스템에서의 주파수 스텝은 200KHz이므로, 주파수 settling 시간은 370μs가 되어 guard시간 (30μs)보다 더 큰 값이 된다. 따라서 전형적인 PLL을 사용한 주파수 도약 시스템에서 반송파 간격이 협대역인 협대역 무선 통신 시스템일 경우에는 빠른 주파수 도약을 위한 PLL의 구현이 어렵다. 이 시스템에서는 주파수 도약을 위한 반송파 신호가 PLL에 의해 구현되는 국부 발진기에서 생성되기 때문이다. 그림에서 보듯이 제안된 시스템인 경우는 주파수 스텝 (Δf)이 1.5MHz 이상이면 settling 시간이 30μs정도가 되므로 빠른 주파수 도약을 위한 PLL의 구현이 가능하다는 것을 알 수 있다. 따라서, 디지털 주파수 합성기/CPM 변조기를 사용한 주파수 도약 시스템에서는 빠른 주파수 도약을 위한 PLL의 구현이 가능하다. 그림 12는 25개의 반송파가 디지털 주파수 합성기/CPM 변조기에서 생성되고 PLL 기준 주파수가 5.2MHz (200kHz × (25 + 1))일 때, 주파수 settling 시간은 371μs에서 13.6μs이하로 감소되고, 이것은 표 1에서 제안한

시스템의 guard 시간 보다 작다는 것을 알 수 있다. 따라서 시스템은 하나의 PLL만 요구하게 되고 따라서 시스템의 복잡도도 줄어들게 된다.

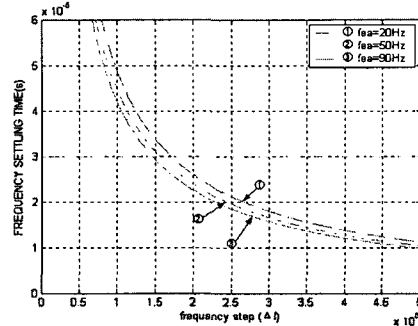


그림 11. 주파수 스텝 (Δf)에 따른 주파수 settling 시간

Fig. 11. Frequency settling time according to frequency step (Δf)

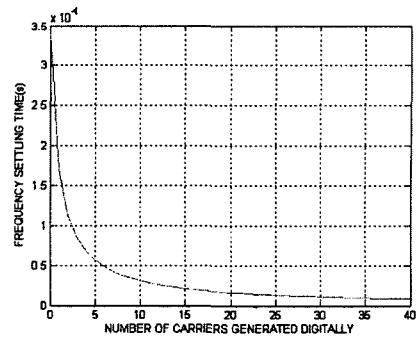


그림 12. 디지털 주파수 합성기에서 발생된 반송파의 수에 따른 주파수 settling 시간

Fig. 12. Frequency settling time according to the number of carriers generated digital frequency synthesizer

VI. 결론

본 논문에서는 CDMA기술의 기초가 되는 대역 확산 시스템 중 FH-FSK 송수신 시스템에 대한 이론적인 분석을 하였다. 효과적인 무선 디지털 데이터 전송 성능을 얻기 위한 FH-FSK 통신에 미치는 PLL주파수 합성기의 영향을 분석하였다. 이를 위해 PLL의 성능을 좌우하는 위상 변화, 스퓨리어스의 발

생, PLL의 과도응답 특성에 의해 영향을 받는 주파수 도약을 등 여러 가지 파라미터들을 살펴보았다. 전형적인 PLL을 사용한 주파수 도약 시스템에서는 주파수 도약을 위한 반송파 신호를 국부 발진기에서 만들어낸다. 이와 같은 주파수 도약 시스템에서 반송파 간격이 협대역인 협대역 무선 통신 시스템일 경우에는 빠른 주파수 도약을 위한 PLL의 구현이 어렵다. 본 논문에서는 이런 문제점을 해결하기 위해 디지털 주파수 합성기/CPM 변조기를 사용하여 빠른 주파수 도약을 위한 PLL 구현이 가능함을 Matlab tool을 사용한 시뮬레이션 결과를 통해 분석할 수 있었다. 즉, 주파수 스텝 (Δf)이 1.5MHz 이상이면 settling 시간이 $30\mu s$ 정도가 되므로 빠른 주파수 도약을 위한 PLL의 구현이 가능하다. 따라서, 디지털 주파수 합성기/CPM 변조기를 사용한 주파수 도약 시스템에서는 빠른 주파수 도약을 위한 PLL의 구현이 가능함을 알 수 있었다.

앞으로 디지털 주파수 합성기/CPM 변조기의 분석에 사용된 파라미터 결과 값들을 적용한 송수신기를 설계하고 이에 대한 성능을 평가하는 연구가 필요할 것이다.

참고 문헌

- [1] Howard M. Benlin, "Design of phase-locked Loop circuits, with Experiments", 1978 E & L instruments, Inc (1982)
- [2] Robert C. Dixon, "Spread Spectrum Communication System", March 1984.
- [3] 김성철, 송인근, "디지털 위상고정루프를 이용한 FSK복조기의 설계 및 성능 분석," 한국해양정보통신학회. Vol.7, No.2 pp194-200. Apr. 2003.
- [4] M. Schwartz, W. Bennet, and S. Stein, Communication System and Techniques. New York: McGraw-Hill, 1966.
- [5] Gardner, Floyd M: Phaselock Techniques, 2d ed., John Wiley and Sons, New York, 1979.
- [6] C. J. Byrne, "Properties and design of the phase-controlled oscillator with a sawtooth comparator," Bell Syst. tech. J., Mar. 1962.
- [7] P. H. Saul and D. G. Taylor, "A

high-speed direct frequency synthesizer," IEEE J. Solid-State Circuits, vol.25, no. 1, pp.215-219, 1990.



송인근(In-Keun Song)

1978년 고려대학교 전자공학과 학사
 1983년 고려대학교 전자공학과 석사
 1984년 3월~1995년 2월: 한국전자통신연구원

1999년 명지대학교 전자공학과 박사
 1995년~현재우송대학교 컴퓨터전자정보공학부 부교수
 ※관심분야 : 이동 통신, 컴퓨터통신