
128x144 pixel array 지문인식센서 설계

정승민*, 김정태, 이문기**

Design of a Fingerprint Authentication Sensor with 128x144 pixel array

Seung-Min Jung*, Jung-Tae Kim, Moon-Key Lee**

요 약

반도체 방식의 capacitive type 지문인식센서의 신호처리를 위한 개선된 회로를 설계하였다. 최 상위 sensor plate가 지문의 굴곡을 감지한 capacitance의 변화를 전압의 신호로 전환하기위해서 charge-sharing 방식의 회로를 적용하였다. 지문센서 감도저하의 가장 큰 원인인 sensor plate에 존재하는 parasitic capacitance를 최소화 하고 ridge와 valley 사이의 전압차를 향상시키기 위하여 기존과는 다른 아날로그버퍼회로를 설계하였다. 센서전압과 기준전압 신호를 비교하기 위해서 비교기를 설계하였으며, 센서어레이의 수직, 수평간 isolation 대책을 통하여 ESD 및 노이즈방지를 위한 설계를 제안하였다. 제안된 신호처리회로는 128x144 pixel 규모의 회로로 구현되었다. 본 설계회로는 향후 생체인식을 이용한 정보보호용 지문인식 시스템에 응용될 수 있으리라 본다.

ABSTRACT

This paper propose an advanced circuit for fingerprint sensor signal processing. We increased the voltage between ridge and valley by modifying the parasitic capacitance eliminating circuit of sensor plate. The analog comparator was designed for comparing the sensor signal voltage with the reference signal voltage. We also propose an effective isolation strategy for removing noise and signal coupling, ESD of each sensor pixel. The 128X144 pixel fingerprint sensor circuit was designed and simulated, and the layout was performed.

키워드

fingerprint, sensor, pixel, capacitive type

1. 서 론

Capacitive type의 지문센서의 원리는 센서부분인 최상위 metal plate와 지문의 굴곡인 ridge와 valley가 passivation을 사이에 두고 존재하는 capacitance 값의 차이를 전압 혹은 전류로 변환하여 기준신호와의 크기를 비교하여 이진화된 신호로 만들어 이미지화 한 다음 적절한 지문이미지처리 알고리즘을 거쳐 본인여부를 판별하도록 일련

의 처리가 반도체 SoC로 구현된다. 그림 1에서와 같이 capacitive type의 지문센서 구현에 있어서 센서부분인 최상위 metal plate에 존재하는 parasitic capacitance C_{p1} , C_{p2} 는 식 1에서와 같이 ridge와 valley간의 전압차이를 감소시켜 기준전압의 동작범위에 제한을 주고 전체적으로 지문센서의 감도저하에 결정적 요인이 된다.^[1] 특히 센서 플레이트 하부에 존재하는 parasitic capacitance C_{p1} 의 영향이ridge와 valley간의 전압차

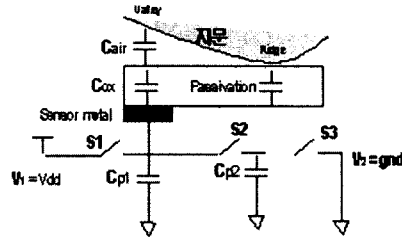
*, **연세대학교 전기전자공학과, 목원대학교 IT공학부
접수일자 : 2003. 10. 8

이를 감소시키는데 큰 영향을 주고 있음을 다음의 식을 통하여 알 수 있다.

$$V_{\text{ridge}} - V_{\text{valley}} = \frac{C_{p2} * C_{ox} * V_{dd}}{C_{p1} + C_{p2} + (C_{p1} + C_{p2}) * C_{ox}}$$

따라서 센서플레이트 하부에 존재하는 parasitic capacitance를 효과적으로 제거하기 위한 여러 가지 조치가 필요하며 지금까지는 센서의 구조적 변경 및 반도체공정과정, 물질 등을 조절하는 방법을 이용하였으나 이는 여러 가지 면에서 효율적이지 못하다. 표준 CMOS공정을 그대로 이용하면서, 센서의 감도 특성을 그대로 유지하기 위해서는 회로 적으로 parasitic capacitance의 영향을 제거하는 방법이 효율적이다. Capacitive type 지문센서에 대한 칩 구현은 여러 차례 이루어져 왔고 parasitic capacitance를 제거하고 미약한 센서신호를 처리하기 위한 방식에 있어서도 다양한데, feedback capacitive sensing 방식, sample and hold 방식, charge transfer 방식, charge sharing 방식 등이 구현된 바 있다 [1][2][3][4].

본 논문에서는 여러 방식 중에서도 parasitic capacitance제거를 위한 효과적인 회로를 적용하기 위해서 charge sharing 방식의 지문센서 신호처리회로를 구현하였다. 기존의 charge sharing 방식에 적용된 일부 회로를 변경하여 parasitic capacitance를 제거함은 물론 센서신호처리부에서 가장 중요한 요소인 ridge와 valley간의 전압차이를 향상 시키고, 아울러 TR 수를 줄여 layout 면적감소효과를 얻고자 한다. 또한 기준전압과 ridge와 valley 각 전압을 비교한 뒤 디지털 출력을 만들기 위해서 고성능의 아날로그 comparator를 설계하였다. Layout 측면에서는, 가장 중요한 문제점인 ESD 제거와 센서 metal plate하부에 아날로그회로를 배치하는데 있어서 발생할 수 있는 센서 pixel 어레이의 수평, 수직간 존재하는 신호들의 coupling noise 영향을 제거하기 위한 isolation 대책을 제안하였다. 최종적으로 0.35마이크론 공정 파라미터와 디자인규칙을 이용하여 128X144 pixel 규모의 지문센서회로를 설계 및 검증을 하였고 layout을 실시하였다.



$C_s = C_{air} // C_{ox}$
 C_{p1}, C_{p2} : parasitic capacitance
 Precharge 동작 모드: S1, S3 on / S2 off
 Evaluation 동작 모드: S1, S3 off / S2 on
 The Output voltage after Evaluation
 (단, $V_1 = V_{dd}$, $V_2 = \text{gnd}$)
 $V_o = V_{M1} = \frac{(C_{p1} + C_s) * V_{dd}}{(C_{p1} + C_{p2} + C_s)}$

그림 1. charge-sharing sensing 회로
Fig1. charge-sharing sensing scheme

II. 지문인식센서 신호처리회로

charge-sharing 방식을 이용한 지문센서의 신호처리에 있어서 parasitic capacitance를 제거하기 위한 기본 개념은 그림2 에서와 같이 아날로그 버퍼를 이용하여 C_{p3} 의 양단의 전압차를 0에 근접하게 유지함으로써 센서 plate 하부의 parasitic capacitance값을 효과적으로 제거할 수 있다^[1]. 따라서 evaluation 동작 모드에서 센서 플레이트의 전압의 변화가 C_{p3} 하부의 plate에 빠르고 최소의 오차범위로 전달될 수 있도록 하기 위해서는 아날로그 버퍼의 역할이 중요하다. 그림 3에는 기존에 적용된 6 transistors 구조의 unit gain buffer이다. 이 회로의 특징은 source follower인 transistor M6를 추가하여 M3과 M4의 동작을 strong inversion 영역으로 이동시킴으로서 evaluation 동작모드에서 unit gain buffer 입력단의 전압강하에 대하여 출력단의 전압을 빠른 속도로 끌어내리는 효과를 얻을 수 있었다.[1] 하지만 M3과 M4는 여전히 포화영역에서 동작하지 못하므로 버퍼의 출력을 빠르게 끌어 내려 C_{p3} 양단의 전위차를 0으로 유지하는데 한계가 있고, 결국 ridge와

valley 사이의 전압차를 증가시키는데 제한적이다. 따라서 본 논문에서는 그림 4과 같은 5 transistors 구조의 아날로그버퍼를 새롭게 설계하였다. 기존 unit-gain buffer와 달리 NMOS 입력단을 사용하고 있어 precharge 구간동안 버퍼의 입출력이 Vdd이므로 M1과 M2가 포화영역과 선형영역 이내에서 동작을 하므로 별도의 source follower와 같은 transistor 추가 없이도 기존의 unit-gain buffer에서보다 입력단의 전압강하에 대하여 출력단 전압을 더욱 빠르게 강하시킬 수 있는 것이다. 본 논문에서는 이러한 효과를 확인하기 위하여 우선, 0.35 μ m 표준 CMOS공정 디자인 규칙을 이용하여 최적화된 레이아웃을 실시하여 parasitic 성분을 추출한 결과 parasitic capacitance인 C_{p1} 과 C_{p2} 가 4.3fF, C_{p3} 가 86fF, 그리고 C_{p4} 는 80fF를 얻을 수 있었다. ridge에서의 센서 플레이트와 지문간의 capacitance는 passivation capacitance인 C_{ox} 와 동일하므로 센서플레이트 면적과 passivation 두께를 고려한 결과 43fF를, valley에서의 센서 플레이트와 지문간의 capacitance는 거의 0과 같으므로 0.1fF를 적용하였다. 또한 기존 unit-gain buffer와 제안된 아날로그버퍼의 동등한 비교를 위하여 양쪽회로의 NMOS는 2.5 μ m, PMOS는 5 μ m를 일괄 적용하여 동작을 simulation 한 결과 그림 5에서와 같은 결과를 얻을 수 있었다. 센서 출력 전압인 C_{p3} 양단의 ridge와 valley간의 전압차는 0.35 μ m공정의 3.3V typical 파라미터를 적용한 경우 기존 430mV에서 550mV로 향상되어 약 28%의 감도향상을 기대할 수 있음을 알 수 있었다. 센서 플레이트 하부의 한정된 면적에 신호처리회로를 레이아웃 해야 하므로 미약하긴 하나 센서플레이트 면적 감소도 기대된다. 본 회로에서는 다만, NMOS 입력단을 사용하므로 M1, M2의 V_{th} 이하로는 전압강하가 이루어 질 수 없는 문제점이 있으나 전체 신호처리회로의 동작에 있어서 3.3V evaluation 모드에서 최저 전압강하가 $2 \cdot V_{th}$ 이상이므로 전체 신호처리회로의 동작범위에는 문제가 없다.

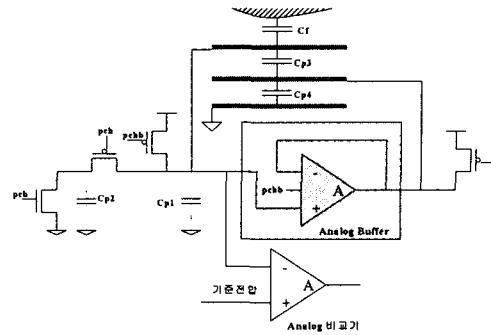


그림 2 제안된 지문인식센서 신호처리회로도
Fig. 2. Fingerprint sensor circuit

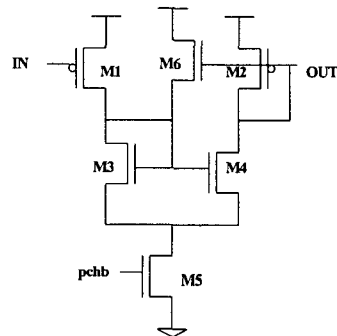


그림 3. 기존 unit-gain 버퍼
Fig. 3. old unit-gain buffer

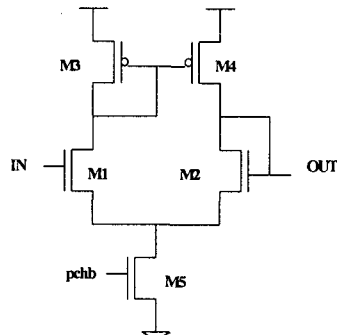
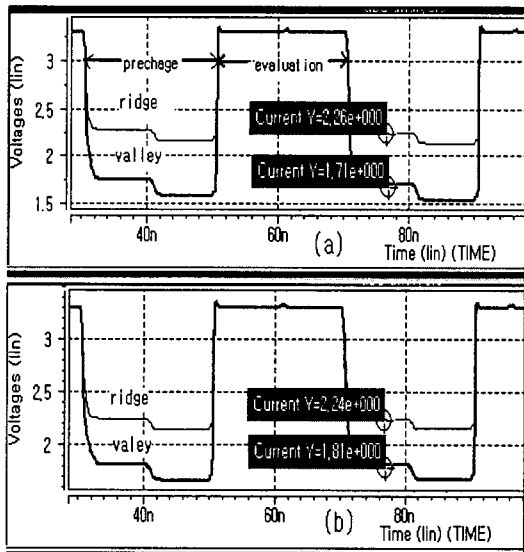


그림 4. 제안된 버퍼
Fig. 4. Proposed buffer

parasitic capacitance 제거회로를 거쳐 만들어진 신호는 본 논문에서 설계된 그림 6에서와 같은 고성능 동적 동작의 비교기를 통해 ridge와 valley 사이의 중간 전압인 기준전압과의 비교를 통하여 이진화 된 신호로 만들어 진다. 그림 6의 비교기는 M1, M4를 이용하여 precharge 와

evaluation 동작으로 구분되며 V_{th} 에서 VDD에 이르는 넓은 common mode 동작영역과 수 mV의 differential mode 전압의 차를 감지할 수 있도록 설계되었다. 따라서 앞서 언급한 바와 같이 parasitic capacitance 제거회로를 거쳐 만들어진 ridge와 valley사이의 전압차이 값은 기준전압을 적용하는데 있어서 process에 의한 변화를 극복할 수 있는 충분한 범위의 전압이며, 따라서 본 논문의 고성능 비교기를 통하여 고감도의 이진화된 이미지 신호를 완벽하게 만들어 낼 수 있다.

그림 7에서는 버퍼와 비교기를 포함한 센서신호처리회로의 최종출력 검증결과 이다. sensor의 metal plate가 각각 1과 2와 3과 4의 위치에 놓였을 때의 ridge와 valley사이의 전압 차에 대한 검증결과 4의 위치에 놓였을 때 최대 전압차를 얻을 수 있었다. 즉 1의 위치는 ridge를 4의 위치는 valley 전압을 의미한다.



(a) 제안된 버퍼회로결과 (b) 기존 버퍼회로결과
 (a) Result of new buffer (b) Result of old buffer
 그림 5. 센서출력 비교결과
 Fig 5. Sensor simulation result

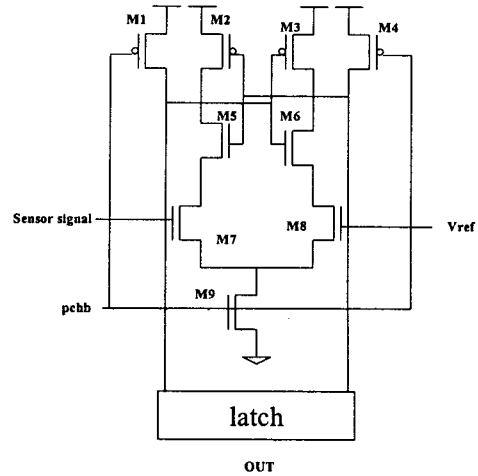


그림 6.아날로그 비교기
 Fig 6. Analog comparator

본 논문에서 설계된 지문센서는 그림 8에서와 같이 0.35um 4-metal 표준CMOS 공정을 이용하여 레이아웃 되었으며 pixel array 방식으로 그림 9의 수직 구조와 같이 metal 4는 센서 plate, metal 3는 parasitic capacitance 제거를 위한 버퍼의 출력단자와 연결되었으며 metal 2를 이용하여 ESD 방지 및 하부의 신호처리회로의 노이즈방지를 위한 shielding metal plate로 구성되어 있다. 또한 수평간 신호노이즈 제거를 위하여 스택 via를 형성시켜 GND 단자에 연결되어 있다. 따라서 본 논문에서 설계된 지문센서 어레이는 각 센서플레이트에 대하여 ESD 방지는 물론 수평과 수직 방향의 모든 노이즈로부터 센서의 동작을 보호할 수 있도록 조치하였다.

III. 전체회로 구현

본 논문에서는 구성된 단위회로를 적용하여 그림 10에서와 같이 128X144 pixel array 크기의 지문센서신호처리회로를 설계하였으며 센서신호처리부의 아날로그 블록은 transistor 수준의 HS-PICE simulation을 실시하고 나머지 블록은 logic simulation을 통하여 최종 동작을 검증하였다. 전체회로 설계 specification은 다음과 같다.

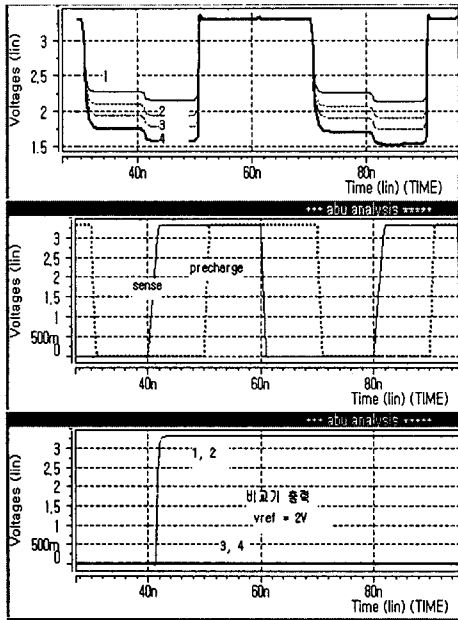


그림 7. 센서신호처리회로 검증결과
Fig 7. Result of sensor full circuit simulation

Sensor pixel pitch : 60um x 60um
Image resolution : 430 dpi
Chip size : 10mm x 10mm
Array size : 128 x 144
Process : 0.35um공정 4-metal 표준 CMOS
공정 적용
Pixel 간 vertical, horizontal isolation
동작주파수 : 40MHz

본 논문에서 설계된 지문센서 신호처리회로는 CPU 및 메모리를 하나로 내장한 스마트 지문인식 SoC로 확장 개발이 진행 중이다.

VI. 결론

본 논문에서는 capacitive type 반도체 지문센서 감

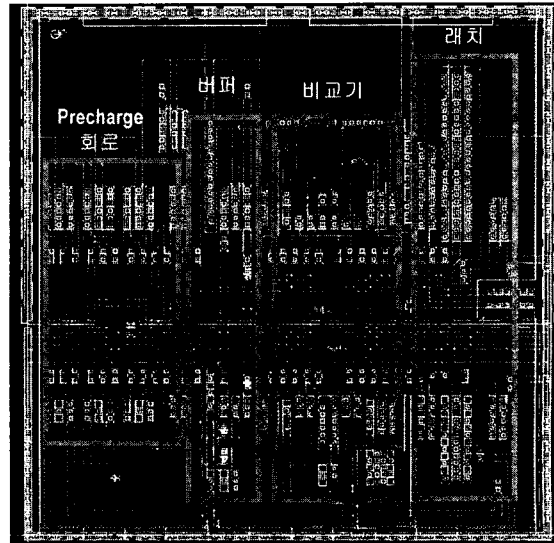
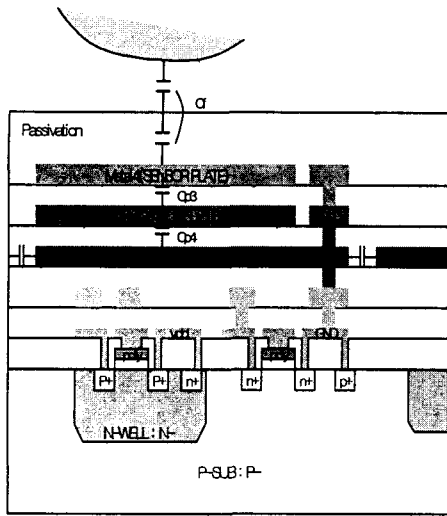


그림 8. 센서 1-pixel layout
(60um x 60um in 0.35 um process)
Fig 8. Layout of 1-pixel sensor

도저하의 결정적 요인인 parasitic capacitance를 제거하기 위한 개선된 회로를 설계하였고, 센서 pixel 간 isolation을 통하여 노이즈 제거를 통한 감도 향상 기법도 아울러 제안하였다.

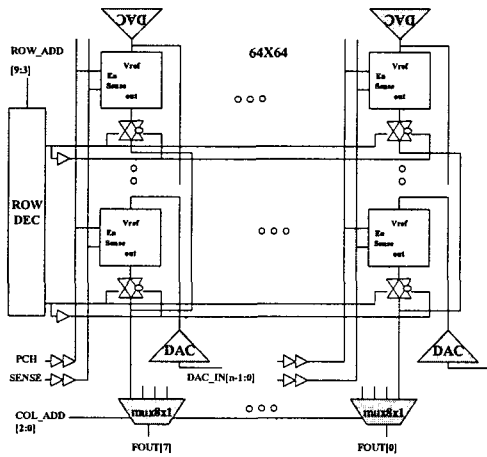
parasitic capacitance 제거를 위해서 charge sharing 방식을 적용하였으며 기존의 6-transistor 버퍼를 5-transistor 버퍼로 적용함과 동시에 ridge와 valley사이의 전압 차이를 28% 향상시킬 수 있었다. 센서의 신호는 본 논문에서 설계된 고성능 비교기를 통하여 이진화 이미지 데이터로 출력된다. pixel array 방식의 지문센서는 센서 metal plate 하부에 신호처리 아날로그 회로가 배치되며 이에 따른 ESD문제 및 노이즈가 발생할 수 있다.

또한 pixel 수평간의 inter-line capacitance의 영향으로 오 신호 동작의 원인이 될 수 있으므로 본 논문에서는 센서 metal plate 수직, 수평간의 isolation 대책을 제안하였다. 수평으로는 스택 via 구조를 이용한 ground 장벽을 만들고, 수직으로는 역시 ground shielding metal을 적용함으로써 노이즈 제거는 물론 ESD영향에도 효과적으로 대처할 수 있도록 조치하였다.

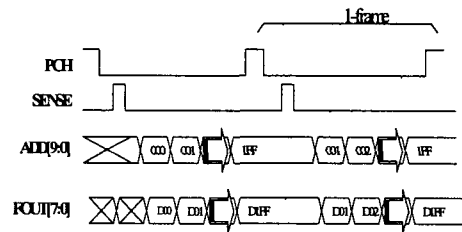


1. Metal 1, pty: routing
2. Metal 2: always GND, shielding metal
3. Metal 3: analog buffer output
4. Metal 4: sensor plate metal
5. Groundwell: pixel 간 shielding 효과

그림 9. 센서의 수직 구조
Fig 9. Vertical structure of sensor



(a) 전체 회로도
(a) Full schematic



(b) 동작 타이밍도
(b) Timing diagram

그림 10. 128X144 Pixel 지문센서 회로도
Fig 10. Full schematic with 128X144 Pixel

개선된 회로 및 알고리즘을 적용하여 128X144 pixel 규모의 테스트 회로를 구현하여 동작 및 특성을 확인하였으며 0.35um 표준 CMOS 공정을 적용하여 레이아웃하였다. 설계된 회로는 MCU 내장형 스마트 지문인식 칩으로 확장 개발이 진행 중이다.

참고 문헌

- [1] J. W. Lee, D. J. Min, J. Y. Kim, and W. C. Kim, "A 600-dpi Capacitive Fingerprint Sensor Chip and Image-Synthesis Technique", IEEE J. of Solid-state circuits, vol. 34, No.4, pp469-475, April, 1999.
- [2] M. Tartagni and R. Guerrieri, "A Fingerprint Sensor Based on the Feedback Capacitive Sensing Scheme", IEEE J. of Solid-state circuits, vol. 33, pp133-142, Jan. 1998.
- [3] D. Inglis et al. "A Robust 1.8V 250usW Direct-Contact 500dpi Fingerprint Sensor", ISSCC Digest of Technical Papers, Feb. 1998. pp284-285.
- [4] H. Morimura, S. Shigematsu and K. Machida, "A Novel Sensor Cell Architecture and Sensing Circuit Scheme for Capacitive Fingerprin Sensors", IEEE J. of Solid-state circuits, vol. 35, pp724-731, May. 2000.

저자 소개



정승민(Seung-Min Jung)

1990년 2월: 연세대학교 전자공학과 졸업

1992년 2월: 연세대학교 대학원 전자공학과 석사

1999년 3월: 연세대학교 대학원 전자공학과 박사과정

1992년 2월~1997년 8월: (주)삼성전자 전임연구원

1997년 9월~1998년 2월: 에스엠디코리아 선임연구원

1998년 3월~현재: 용인송담대학 정보통신과 조교수

※ 관심분야: 디지털신호처리, VLSI 및 CAD, ASIC, 반도체센서, 통신시스템 설계



김정태(Jung-Tae Kim)

2001년 8월: 연세대학교 대학원 전자공학과 박사

1991년 8월~1996년 2월: 한국전자통신(ETRI) 선임연구원

2002년 10월~현재: 목원대학교 IT공학부 전임강사

※ 관심분야: Optically fed wireless communication system design, Information security system design, Network Security, ASIC Design.



이문기(Moon-Key Lee)

1965년 2월: 연세대학교 전기공학 공학사

1967년 2월: 연세대학교 대학원 전기공학 공학석사

1973년 2월: 연세대학교 전기공학과 Ph.D

1980년 8월: Univ. of Oklahoma Ph.D

1989년 4월~2000년 8월: 연세대학교부설 아식설계 공동연구소 소장

1999년 8월~2000년 8월: Asian-Pacific ASIC 국제학술대회 대회장

1982년 8월~현재: 연세대학교 전기전자공학과 교수

※ 관심분야: 고성능 마이크로프로세서 및 IP, VLSI & CAD design, Embedded system design, Smart sensor & system