

집중 소자를 이용한 이중 대역 GSM/DCS용 적층형 다이플렉서의 설계 및 제작

심성훈 · 강종윤 · 최지원 · 윤영중* · 김현재 · 윤석진[†]

한국과학기술연구원 박막재료연구센터

*연세대학교 전기전자공학과

(2003년 10월 7일 접수; 2003년 11월 14일 승인)

Design and Fabrication of Multilayer Diplexer for Dual Band GSM/DCS Applications using Lumped Elements

Sung-Hun Sim, Chong-Yun Kang, Ji-Won Choi, Young-Joong Yoon,* Hyun-Jai Kim, and Seok-Jin Yoon[†]

Thin Film Materials Research Center, Korea Institute of Science and Technology, Seoul 136-791, Korea

*Department of Electrical and Electronic Engineering, Yonsei University, Seoul 120-749, Korea

(Received October 7, 2003; Accepted November 14, 2003)

초 록

본 논문에서는 고품질 적층형 수동 소자의 모델링 및 설계에 관하여 연구하였고, 설계된 수동 소자를 이용하여 안테나 스위치 모듈 내에 포함된 이중 대역 GSM/DCS 대역 분리용 적층형 다이플렉서를 설계·제작하여 그 특성을 고찰하였다. 적층형 수동 소자는 시스템의 소형화를 위해 인덕터는 정방형 스파이럴 구조로, 캐패시터는 입체적인 인터디지털 형태인 VIC 구조로 설계하였다. GSM 저역 통과 필터는 0.55 dB 이하의 삽입 손실과 12 dB 이상의 반사 손실을 나타내며, 통과 대역 위쪽 저지 대역인 1800 MHz 부근에 감쇠극이 존재하도록 설계함으로써 DCS 통과 대역에서 26 dB 이상의 저지 특성을 나타내었다. DCS 고역 통과 필터는 0.82 dB 이하의 삽입 손실과 11 dB 이상의 반사손실을 가지며, 통과 대역 아래쪽 저지 대역인 930 MHz 부근에 감쇠극이 존재하도록 설계함으로써 GSM 통과 대역에서 38 dB 이상의 저지 특성을 나타내었다.

ABSTRACT

In this paper, the modeling and design of high-Q multilayer passives and multilayer diplexer for GSM/DCS applications designed and fabricated using these passives have been investigated. To miniaturize the system, configurations of inductor and capacitor have involved a square spiral structure and a vertically-interdigitated capacitor similar to 3D interdigital structure, respectively. Multilayer diplexers for GSM/DCS applications were designed and fabricated to apply high-Q multilayer passives to practical systems, which were designed by the proposed structural and equivalent circuit model. LPF for GSM band had the passband insertion loss of less than 0.55 dB, the return loss of more than 12 dB, and the isolation level of more than 26 dB by locating attenuation pole at 1800 MHz. HPF for DCS band had the passband insertion loss of less than 0.82 dB, the return loss of more than 11 dB, and the isolation level of more than 38 dB by locating attenuation pole at 930 MHz.

Key words : Multilayer, LTCC, Diplexer, Inductor, Capacitor

1. 서 론

최근에 무선 통신 서비스의 급속한 수요 증가와 더불어 단말기의 소형화에 대한 요구가 증폭됨에 따라 무선 통신 송수신 시스템에 사용되는 통신 부품의 소형화 및 모듈화에 대한 연구 개발이 집중적으로 진행되고 있다.¹⁻⁴⁾ RF 부품 모듈화 기술은 제작 공정, 크기 및 요구 특성에 따라 MCM (Multi-Chip Module)-L (Laminated), MCM-C (Co-fired),

MCM-D (Deposited) 등의 다양한 MCM 기술들이 제안되었으며, 이러한 기술들은 고품질의 능·수동 부품 모듈을 구현하기 위해서 모듈 내장형 인덕터 및 캐패시터의 특성 향상에 초점을 두어 연구되고 있다. 특히, MCM-C 모듈을 구현하는 LTCC (Low Temperature Co-fired Ceramic) 기술에 의한 L, C 적층형 수동 소자에 대한 연구는 부품의 소형화 및 수동 소자의 집적화를 용이하다는 장점으로 인해 활발히 연구되고 있다.⁵⁻⁷⁾

본 논문에서는 RF MCM 모듈의 하나인 안테나 스위치 모듈 내에서 GSM 대역과 DCS 대역을 분리하는 역할을 하는 적층형 다이플렉서를 설계 및 제작할 것이다. 적층형 다이플렉서에 적용될 인덕터와 캐패시터는 부품의 소

[†]Corresponding author : Seok-Jin Yoon

E-mail : sjyoon@kist.re.kr

Tel : +82-2-958-5550 Fax : +82-2-958-6720

형화를 위해 각각 정방형 스파이럴과 VIC (Vertically Interdigitated Capacitor) 구조로 설계한다. 적층형 다이플렉서의 용이한 구조 설계를 위해 구조 모델링에 의해 구해진 적층형 수동 소자의 주파수 특성을 다이플렉서의 등가 회로에 적용함으로써 적층형 다이플렉서의 프로토타입을 설계하였다.

2. 적층형 다이플렉서의 설계

2.1. 등가회로 설계

본 논문에서 설계하고자 하는 적층형 다이플렉서의 통과 대역 특성은 체비세프 형태를 가지며, 통과 대역의 위쪽 또는 아래쪽 저지 대역에 직렬 공진 회로에 의해 감쇠극이 존재하도록 하여, 감쇠극이 존재하는 저지 대역의 감쇠 특성이 향상된 다이플렉서를 설계하였다. 본 논문에서 설계하고자 하는 한 쪽 저지 대역에 감쇠극을 갖는 체비세프형 고·저역 통과 대역 필터의 등가 회로 설계는 다음과 같은 과정에 따른다.⁸⁾

1. 주어진 주파수 사양에 따라 저역 통과 대역 필터 및 고역 통과 대역의 단수를 결정한다.

2. 저역 통과 대역 및 고역 통과 대역 필터의 단수와 통과 대역 리플에 따라 한 쪽 끝 단이 저항으로 종단된 체비세프형 저역 통과 프로토타입 필터의 g 파라미터를 계산한다.

3. 계산된 저역 통과 대역 필터의 g 파라미터를 임피던스 스케일링을 하여 저역 통과 대역 필터를 설계하며, 또한 고역 통과 대역 필터로 변환된 설계값을 구한다.

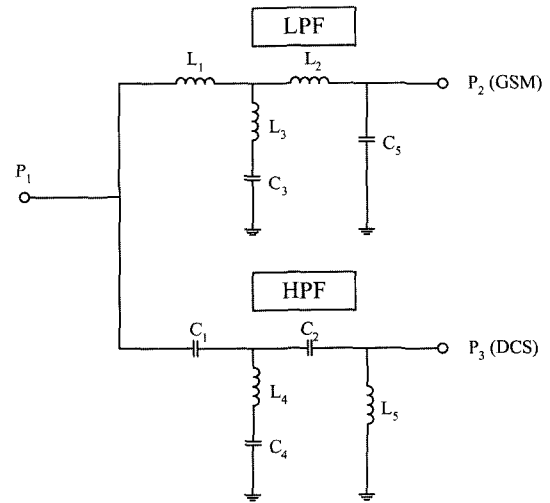
4. 각 대역의 저지 특성을 향상시키기 위해 직렬 공진 회로를 이용하여 감쇠극을 설계한다. 감쇠극의 위치는 $f_a = 1/\sqrt{LC}$ 에 의해 계산된다.

Fig. 1은 이와 같이 설계된 다이플렉서의 등가회로 및 각 소자의 설계값이다. 다이플렉서를 구성하는 GSM 대역 통과용 저역 통과 대역 필터의 경우 DCS 대역에서 높은 저지 특성을 갖도록 하기 위해 1800 MHz 부근에 감쇠극이 존재하도록 하고, DCS 대역 통과용 고역 통과 대역 필터의 경우에도 마찬가지로 GSM 대역 내에서 높은 저지 특성을 가지기 위해 930 MHz 부근에 감쇠극이 존재하도록 직렬 공진 회로 L_3, C_3 및 L_4, C_4 가 계산되어졌다.

2.2. 적층형 다이플렉서의 프로토타입

본 절에서는 다이플렉서의 등가 회로를 이용하여 그 구조 설계를 하기 이전에 구조 설계를 좀 더 용이하게 하기 위해서 적층형 다이플렉서의 프로토타입을 설계하였다. 그리고, 프로토타입의 설계를 위해 L, C 집중 소자 구조 모델링하여 그 결과를 적용하였다.

적층형 인덕터는 회로 요구 특성, 응용 분야, 사용 주파수 등에 따라 다양한 3차원적 형태로 집적화할 수 있



	GSM (LPF)	DCS (HPF)
Passband	890~960 MHz	1710~1880 MHz
Ripple	0.1 dB Max	0.1 dB Max
n	4	4
Attenuation pole	$f_a=930$ MHz	$f_a=1800$ MHz
$L_1=L_2$	7.1 nH	
L_3	3.0 nH	
C_3	2.7 pF	
C_5	2.0 pF	
$C_1=C_2$		2.0 pF
L_4		4.6 nH
C_4		6.4 pF
L_5		6.3 nH

Fig. 1. Equivalent circuit of diplexer for GSM/DCS application.

다. 그 중에서 작은 공간에서도 큰 인덕턴스 값을 얻기 위해 원형 스파이럴, 정방형 스파이럴, 미앤더 타입 등 다양한 구조가 사용되고 있는데, 본 논문에서는 실제 응용성을 고려하여 면적에 대한 효율성이 가장 높은 정방형 스파이럴 구조를 이용하여 적층형 인덕터를 구현하였다. 또한, 이에 대한 구조 모델링은 분산 소자 형태의 다수의 하부 구조를 이용하여 수행되었으며, Fig. 2(a)는 5층의 금속층으로 구성된 정방 형태의 적층형 인덕터의 구조예를 나타낸 것이다. 적층형 인덕터의 면적은 $L \times L$, 선폭은 W , 나선간의 수직 거리는 s 로 표현하였다. 상층부의 전극은 하층부의 전극과 연결하기 위해 비어홀을 사용하며, 각 층의 전극 형상은 ‘ \sqsubset ’ 형태로 구현되어 있어서 전극마다 2개의 굴곡부를 가지게 된다. 따라서, 본 논문에서 설계한 정방 형태의 적층형 인덕터의 구조는 Fig. 2(b)처럼 직선 전송 선로 및 다중 결합 선로, 굴곡부, 그리고 비어홀 등의 하부 구조로 분리하여 재구성되어진다. 적층형 인덕터의 주파수 특성은 이 같은 하부 구조를 이용하여 구조 모델링된 결과를 이용하여 구해진다.

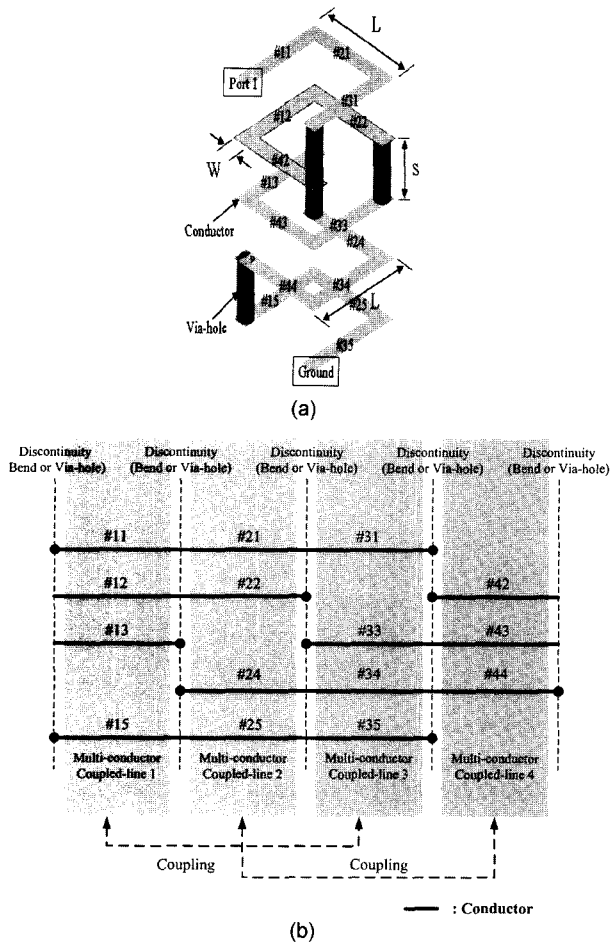


Fig. 2. The structure of multilayer inductor (a) and its separation (b).

또한, RF 수동 소자 기관용으로 10 이하의 낮은 유전율을 갖는 재료를 사용하므로, 인터디지털 및 MIM 구조를 이용해서는 좁은 공간에서 충분한 캐패시턴스를 얻을 수가 없으므로, 본 논문에서는 충분한 캐패시턴스를 얻기 위해서 Fig. 3(a)처럼 3D 인터디지털 형태와 유사한 VIC 구조로 적층형 캐패시터를 설계하였다. 또한, 이에 대한 구조 모델링은 적층형 인덕터와 마찬가지로 분산 소자 형태의 하부 구조를 이용하였으며, Fig. 3(a)는 5층의 금속층으로 구성된 정방 형태의 적층형 캐패시터의 구조예를 나타낸 것이다. 적층형 캐패시터의 면적은 $L \times L$, 선폭은 W , 금속층 간의 거리는 d 로 표현하였고, 상층부의 전극과 하층부의 전극을 연결하기 위해 비어홀을 사용하였다. 본 연구에서 설계된 정방 형태의 VIC의 구조 모델링은 Fig. 3(b)의 적층형 인덕터와 유사하게 직선 전송 선로 및 다중 결합 선로, 불연속면, 그리고 비어홀 등의 분산 소자로 분리하여 그림 Fig. 3(b)와 같이 설계되었다. VIC 구조의 전체 특성은 이같이 분리되어 해석된 분산 소자들의 결과를 종합하여 얻어진다.

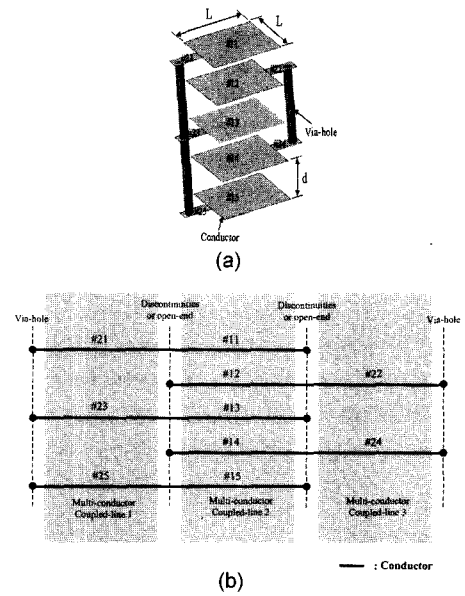
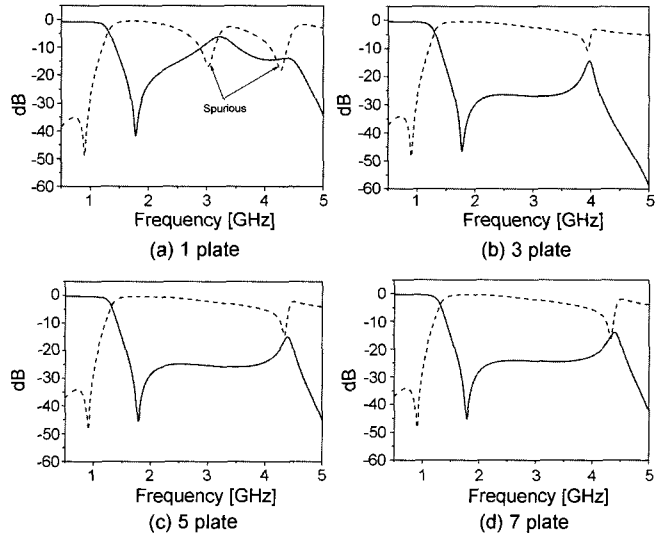


Fig. 3. The structure of multilayer capacitor (a) and its separation (b).



	Planar size [mm ²]	SRF [GHz]	Max. Q	L _{eff} [nH]		
				DC	1 GHz	2 GHz
1-plate	4.1×4.1	2.09	15.3 (1.1 GHz)	7.092	8.432	-
3-plate	1.15×1.15	2.78	27.7 (1.32 GHz)	7.075	7.847	13.725
5-plate	0.73×0.73	3.18	37.6 (1.54 GHz)	7.009	7.564	11.048
7-plate	0.6×0.6	3.18	40.4 (1.53 GHz)	7.069	7.645	11.168

Fig. 4. Spurious characteristics of diplexer as a function of the number of electro-plated conductor of multilayer inductors (L_1, L_2).

Fig. 4는 Fig. 1의 등가회로에서 적층형 인덕터 L_1 과 L_2 의 전극 층수의 변화에 따른 다이플렉서의 주파수 특성 변화 및 사용된 각 적층형 인덕터의 특성을 나타낸 것이다. L_1 와 L_2 는 다른 인덕터보다 그 값이 높아서 품질 계수 및 자기 공진 주파수가 낮다. 본 논문에서는 적층형 다이플렉서를 설계함에 있어서 인덕터 L_1 과 L_2 를 우선적으로 최적화할 것이다. Fig. 4(a)에서 전극 층수가 1일 경우에는 자기 공진 주파수가 낮기 때문에 그로 인한 스푸리어스 신호가 저주파대로 이동하게 된다. 그로 인해 다이플렉서의 삽입 손실이 저하되는데, GSM 및 DCS 대역에서 최대 1.0 dB와 0.75 dB의 삽입 손실 특성이 관찰되었다. 전극 층수가 증가함에 따라 인덕터의 자기 공진 주파수도 증가하기 때문에 스푸리어스 신호도 마찬가지로 증가한다. 이로 인해 각 대역의 삽입 손실 특성도 향상되며, 전극층이 5인 경우에 GSM 및 DCS 대역에서 최대 0.43 dB와 0.43 dB의 삽입 손실 특성이 관찰되었다. 본 논문에서는 적층형 인덕터의 차지하는 면적 및 주파수 특성 향상의 포화 정도를 고려하여 5층의 적층형 인덕터를 적용하였다.

그리고, Fig. 5은 5층의 전극층을 갖는 적층형 인덕터 L_1 과 L_2 를 적용하여 설계된 다이플렉서의 프로토타입이다. 프로토타입에 적용된 수동 소자는 주파수가 증가함에

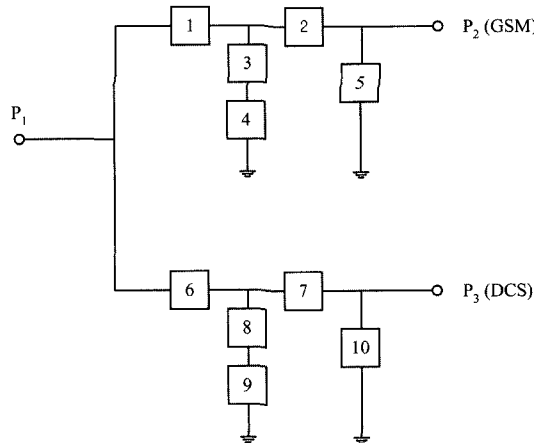
따라 증가하므로 등가회로에서 주어진 소자값보다 낮은 값에서 최적화되는 경향을 보였다.

2.3. 3차원 유한 요소법을 이용한 구조 설계

적층형 다이플렉서의 프로토타입을 근거로 설계된 GSM/DCS 대역 분리용 다이플렉서의 전체 구조는 Fig. 6과 같다. 다이플렉서의 크기는 $6.0 \times 4.0 \times 1.2 \text{ mm}^3$ 으로 설정하였고, 유전율 7.8과 유전 손실 0.0015인 LTCC 재료를 적용하여 설계하였다. 그리고, Fig. 6에서 보듯이 다이플렉서의 상부에는 GSM용 단자, DCS용 단자 및 안테나단 포트를 구현하였고, 하부에는 접지면을 놓여져 있다. 그리고, 다이플렉서의 총 전극 층수는 7층으로 구성되었다. Fig. 5의 프로토타입 설계 결과로부터 적층형 다이플렉서의 초기 구조를 결정하였고, 최적의 주파수 특성을 얻기 위해 3D EM 시뮬레이터인 HFSS를 이용하여 적층형 다이플렉서의 구조를 변화시키며 반복 해석함으로써 설계 사양에 맞도록 최적화시켰다.

3. 시뮬레이션 결과

Fig. 1의 등가 회로 설계값을 이용하여 고주파 회로 시뮬레이터인 HP ADS⁹⁾에 의해 해석된 다이플렉서의 주파



	No. of component	Planar size [mm ²]	SRF [GHz]	No. of plates	Max. Q	L _{eff} [nH] & C _{eff} [pF]		
						DC	1 GHz	2 GHz
GSM	1=2 (L)	0.73×0.73	3.18	5	37.6	7.009	7.564	11.048
	3 (L)	0.65×0.65	6.65	3	52.1	2.665	2.673	2.842
	4 (C)	0.84×0.84	4.64	5	-	2.496	2.61	3.026
	5 (C)	0.75×0.75	5.23	5	-	2.027	2.098	2.349
DCS	6=7 (C)	1.2×1.2	4.89	3	-	2.28	2.374	2.708
	8 (L)	0.6×0.6	4.39	5	48.5	4.65	4.795	5.655
	9 (C)	1.3×1.3	2.95	5	-	6.399	7.312	12.967
	10 (L)	0.7×0.7	3.44	5	40	6.348	6.751	9.156

linewidth : 0.2 mm, thickness(1 sheet) : 80 μm

Fig. 5. Prototype of multilayer diplexer for GSM/DCS.

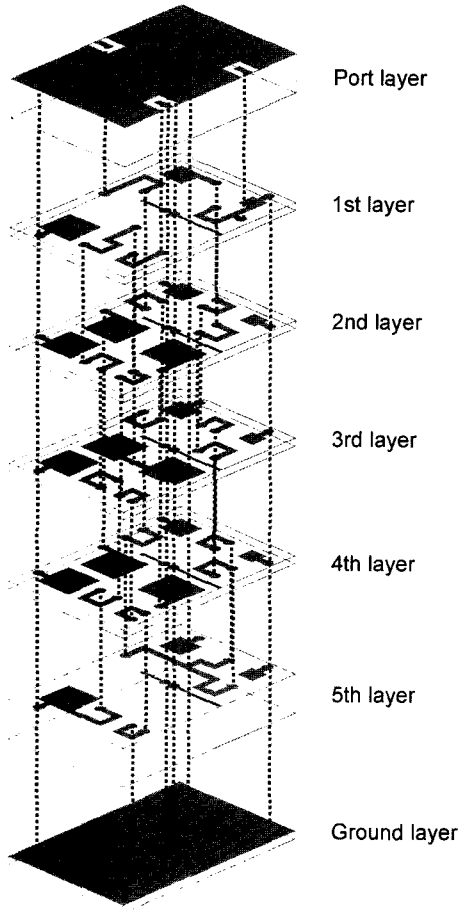


Fig. 6. Configuration of multilayer diplexer.

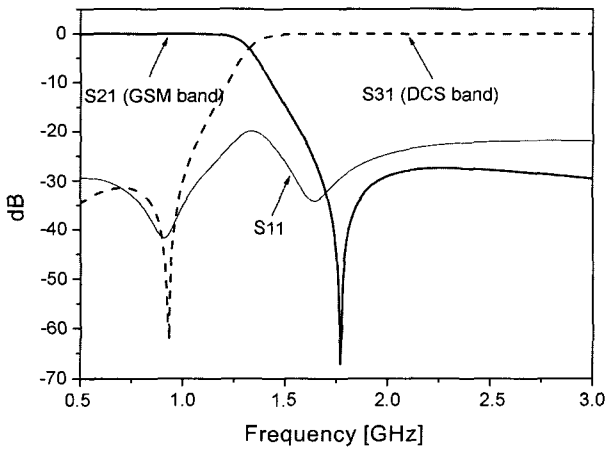


Fig. 7. Frequency response of diplexer equivalent circuit.

수 특성은 Fig. 7과 같다.

그리고, Fig. 8은 상·하부 접지면을 갖는 5층의 전극층으로 구현된 적층형 인덕터 L_1 과 L_2 를 적용하여 설계된 다이플렉서의 프로토타입이다. 프로토타입에 적용된 수동 소자는 주파수가 증가함에 따라 증가하므로 등가회로에서 주어진 소자값보다 낮은 값에서 최적화되는 경향

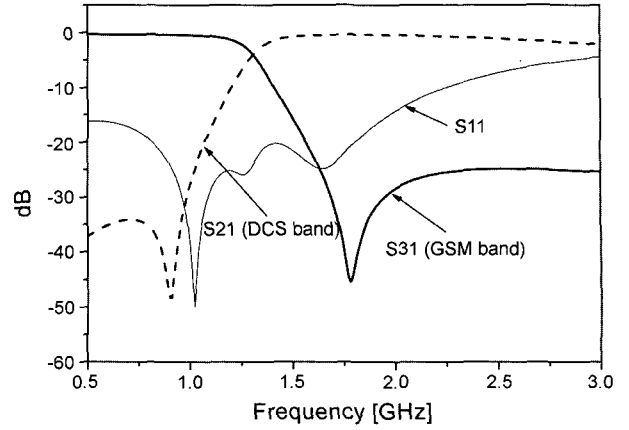


Fig. 8. Prototype simulation results of diplexer for GSM/DCS application.

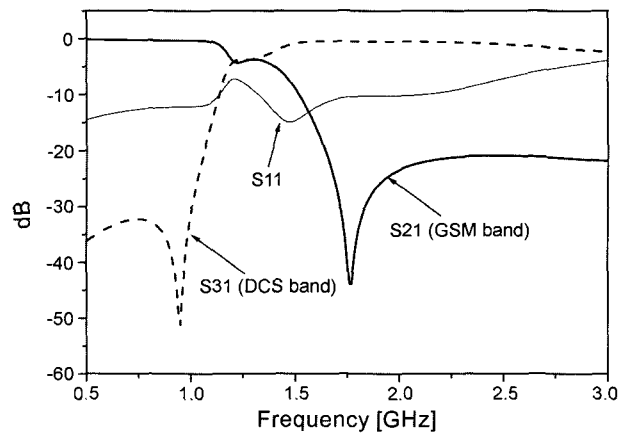


Fig. 9. Structure simulation results of diplexer for GSM/DCS.

을 보였다. Fig. 7은 Fig. 6의 최적화된 소자값을 적용하여 시뮬레이션된 주파수 전달 특성을 나타낸 것이다.

최종적으로 HFSS에 의해 최종 설계된 적층형 다이플렉서 구조인 Fig. 6의 해석 결과는 그림 Fig. 9와 같다. GSM용 저역 통과 대역 필터의 경우 통과 대역은 890–960 MHz이며, 1800 MHz 근방에 감쇠극이 존재하였다. DCS 통과 대역에서의 저지 특성은 감쇠극의 존재로 인해 34 dB 이상으로 향상됨을 보였고, 반사 손실은 12 dB 이상을 가지므로 주어진 GSM 설계 사양을 만족하였다. 그리고, DCS 고역 통과 대역 필터의 경우 통과 대역은 1710–1880 MHz이었고, 930 MHz에 감쇠극이 존재하여 GSM 통과 대역에서의 저지 특성이 36 dB 이상었고, 반사 손실은 11 dB 이상을 가지므로 주어진 DCS 설계 사양을 만족하였다.

4. 결과 및 고찰

Fig. 10은 유전율 7.8, 유전 손실 0.0015의 마이크로파 유전 특성을 갖는 LTCC 재료 (Dupont 951AT¹¹)를 이용

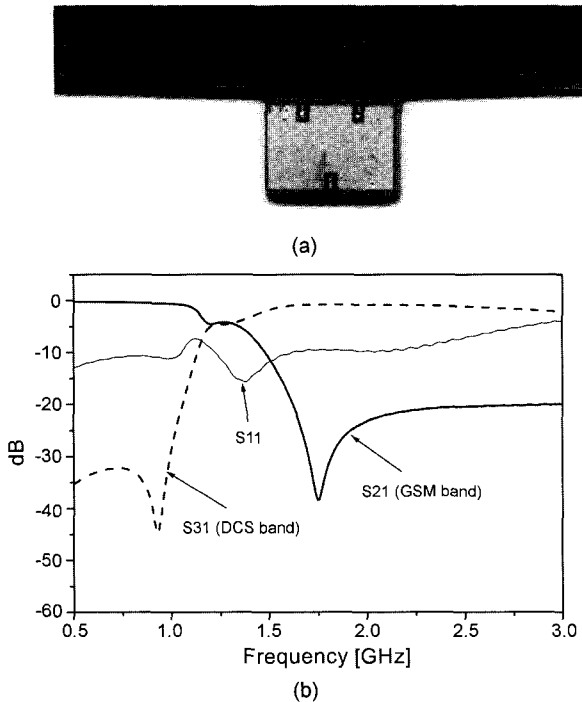


Fig. 10. Photograph and measured results of diplexer for GSM/DCS.

하여 구조 설계를 바탕으로 제작된 GSM/DCS 대역 분리용 적층형 다이플렉서의 제작된 외형도 및 주파수 특성을 보여주고 있다. GSM 통과 대역 내에서의 삽입 손실은 최대 0.55 dB 이하, 반사 손실은 최소 12 dB 이상의 결과를 보였으며, DCS 통과 대역 내에서는 삽입 손실은 최대 0.82 dB 이하, 반사 손실은 최소 11 dB 이상의 결과를 보였다. 또한, GSM용 저역 통과 대역 필터의 경우 1800 MHz 근방에 감쇠극이 존재하여 DCS 대역 내에서 우수한 저지 특성을 나타냈고, DCS용 고역 통과 대역 필터의 경우에는 930 MHz 근방에 감쇠극이 존재하여 GSM 대역 내에서 우수한 저지 특성을 나타내었다. 따라서, GSM 대역 내에서의 저지 특성은 최소 26 dB 이상, DCS 대역 내에서는 최소 38 dB 이상의 감쇠 특성을 얻을 수 있었다.

5. 결 론

본 논문에서는 정방형 스파이럴 형태의 적층형 인덕터와 VIC 구조의 적층형 캐패시터를 이용하여 $6.0 \times 4.0 \times 1.2 \text{ mm}^3$ 의 크기를 갖는 GSM/DCS 대역 분리용 다이플렉서를 설계 및 제작하였다. 등가 회로 및 프로토타입의 시뮬레이션 결과를 비교하며 다이플렉서 구조 시뮬레이션을 반복함으로써 최적의 주파수 특성을 갖는 적층형 다이플렉서의 구조를 설계하였다. 또한, 설계된 다이플렉서

의 구조 시뮬레이션 결과, GSM 저역 통과 필터는 저지 대역인 DCS 통과 대역 근방에 감쇠극이 존재하도록, DCS 고역 통과 필터는 저지 대역인 GSM 통과 대역 근방에 감쇠극이 존재하도록 설계하여 감쇠극이 존재하는 쪽 저지 대역에서 향상된 저지 특성을 나타내었다. 구조 설계를 바탕으로 LTCC 기술을 이용하여 제작한 GSM/DCS 대역 분리용 적층형 다이플렉서의 주파수 특성은 1.0 dB 이하의 삽입 손실, 10 dB 이상의 반사 손실, 그리고 25 dB 이상의 저지 특성을 나타냄으로써 설계 사양에 부합된 결과를 얻을 수 있었다.

REFERENCES

1. S. Urabe, "Developments in Mobile/Portable Telephones and Key Devices for Miniaturization," *IEICE Trans. electron.*, **E79-C** [5] 600-05 (1996).
2. B. Hunt and L. Devlin, "LTCC for RF Modules," *Packaging and Interconnects at Microwave and mm-wave Frequencies*, *IEE Seminar*, 1-5 (2000).
3. R. Lucero, W. Qutteneh, A. Pavio, D. Meyers, and J. Estes, "Design of an LTCC Switch Diplexer Front-end Module for GSM/DCS/PCS Applications," *IEEE RF-IC Sym.*, 213-16 (2001).
4. H. Lim, J.-Y. Ha, S.-H. Sim, C.-Y. Kang, J.-W. Choi, S.-Y. Choi, Y.-J. Oh, H.-J. Kim, and S.-J. Yoon, "Miniaturized Multilayer Band Pass Chip Filter for IMT-2000," *J. Kor. Ceram. Soc.*, **40** [10] 961-66 (2003).
5. N.-T. Cho, K.-B. Shim, S.-W. Lee, and K.-D. Koo, "Fabrication of Low Temperature Cofired Ceramic (LTCC) Chip couplers for High Frequencies: I. Effect of Binder Burnout Process on the formation of Electrode Line," *J. Kor. Ceram. Soc.*, **36** [6] 583-89 (1999).
6. S.-H. Sim, C.-Y. Kang, J.-W. Choi, Y.-J. Yoon, H.-J. Kim, H.-W. Choi, and S.-J. Yoon, "Design of T/R Switch Using LTCC Technology," *J. Kor. Ceram. Soc.*, **40** [4] 375-79 (2003).
7. A. Sutono, D. Heo, Y.-J. Emery Chen, and J. Laskar, "High-Q LTCC-based Passive Library for Wireless System-On-Package (SOP) Module Development," *IEEE Trans. Microwave Theory Tech.*, **49** [10] 1715-24 (2001).
8. G. L. Matthaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-matching Networks, and Coupling Structures*; McGraw-Hill, New York, 1964.
9. *HP Advanced Design System Users Guide*, Hewlett Packard Company, 2002.
10. *Ansoft High-frequency Structure Simulator Users Reference*, Ansoft Company, 2001.
11. A. Sutono, D. Heo, E. Chen, K. Lim, and J. Laskar, "Compact Implementation of Component Library in LTCC Technology and its Application to CMOS RF Power Amplifier Design," in *Proc. IEEE EPEP Symp. Dig.*, 288-91 (2000).