
프린터 헤드 노즐분사 제어용 집적회로설계

정승민*, 김정태, 이문기**

Design of an Integrated Circuit for Controlling the Printer Head Ink Nozzle

Seung-Min Jung*, Jung-Tae Kim, Moon-Key Lee**

요 약

본 논문에서는 프린터 head의 노즐분사제어를 위한 개선된 회로를 설계하였다. 기존 방식에 비하여 I/O Pad 수를 줄임으로서 노즐 수를 확장시킬 수 있다. 제안된 회로는 사전검증을 위하여 먼저 20개의 노즐을 제어하는 sample 회로로 설계하고 FPGA를 이용하여 동작을 확인하였다. 320개의 노즐제어를 위한 전체회로는 sample 회로를 확장하여 ASIC Full Custom 설계방식을 통하여 설계한 뒤 로직 및 회로 simulation 검증을 하였다. 전체회로는 3 μ m CMOS design rule을 적용하여 layout 및 chip으로 제작되었다.

ABSTRACT

In this paper, We have designed an advanced circuits for controlling the Ink Nozzle of Printer Head. We can fully increase the number of nozzle by reducing the number of Input/Output PADs using the proposed new circuit. The proposed circuit is tested with only 20 nozzles to evaluate functional test using FPGA sample chip. The new circuit architecture can be estimated. Full circuit for controlling 320 nozzles was designed and simulated from ASIC full custom methodology, then the circuit was fabricated by applying 3 μ m CMOS process design rule.

키워드

프린터 제어, ASIC, FPGA, Nozzle

1. 서 론

지금까지 대부분의 잉크젯프린터는 drop-on-demand 기술을 채용하고 있다. 이 기술에서는 노즐 세트가 잉크 실(ink reservoir)에 부착되어 있는데 프린터 헤드 속에 들어있다. 프린터 헤드에서는 전기적인 요소가 노즐내의 잉크를 가열함으로써 버블을 형성하게 된다. 이것은 노즐로부터 잉크 방울을 밖으로 내보내게 되고 그에 따른 진

공은 노즐을 다시 채우기 위하여 잉크 실로부터 잉크를 쏘며 가져온다. [1][2][3]

기존의 노즐분사제어용 heater chip은 그림1과 같이 내부에 2차원 매트릭스 구조로 된 address line과 primitive line을 사용하여 감열용 저항을 동작시킨다.[1][4][5][6] 그러나 이러한 방식은 nozzle 수 증가에 따라서 heater chip의 입력신호(pad)가 많아져서 FPC(Flexible Printed Circuit)의 크기 증가 등의 문제로,

*, **연세대학교 전기전자공학과, 목원대학교 IT공학부

접수일자 : 2003. 4. 1

대용량의 nozzle을 갖는 heater chip으로는 한계가 있다. 그러므로 본 논문에서는 입력신호가 적어지도록 heater chip 내의 논리회로를 추가하여 프린터 본체로부터 데이터를 직렬로 전송 받는 새로운 방식의 잉크젯 프린터용 head chip을 개발하고자 한다. 개발 아이디어의 타당성을 검증하기 위하여 FPGA(Field Programmable Gate Array)를 사용한 sample board를 설계 및 제작하여 1차 동작을 확인하고, 320개 노즐을 제어하는 최종회로는 head chip을 제작할 반도체 공정에 적합하도록 재 설계 및 검증하여, 향후 새로운 head chip으로서 프린터에 적용하고자 한다. 한편 설계된 회로는 3.0 μ m CMOS design rule을 적용하여 layout을 완료하였으며 chip으로 제작 검증되었다.

작을 위해서는 단지 4개의 신호(CLK, D_IN, EN, RSTN)만이 필요하다. 또한 Heater chip의 저항에는 순간적으로 고열을 발생시키기 위해 전류가 흐르므로 많은 수의 전원 line(VDD, GND)이 추가된다. 그러나 새로운 방식의 회로에서는 data를 직렬로 전송하고 선택적으로 노즐 블럭이 동작함으로써 기존의 입력 PAD수를 대폭 줄일 수 있으므로 노즐 수의 확장을 기할 수 있다. 본 논문에서는 320개의 nozzle(1inch)용 heater chip을 개발을 위한 사전검증을 위해, sample board를 제작하고 FPGA 이용하여 20개 nozzle (4개 primitive, 5개 address line)을 갖는 회로를 설계하고 동작을 검증하였다.

II. Architecture 구성

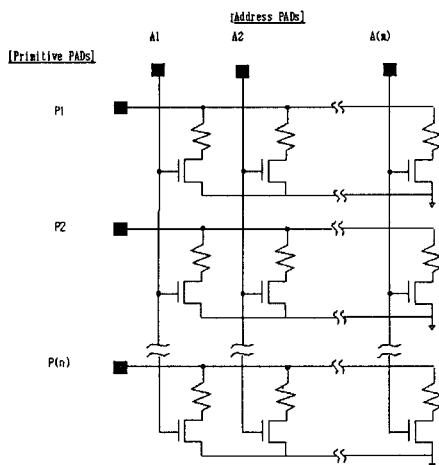


그림 1. 기존의 노즐제어 회로
Fig 1. Conventional Circuit for Controlling the Nozzle

기존의 노즐제어 회로방식은 nozzle 수에 따라서 입력신호(address와 primitive line수)가 증가하므로, 많은 수의 nozzle을 갖는 프린터에 적용하기에 입력 PAD수의 증가와 이에 따른 FPC의 면적증가 등의 문제점이 있다. 본 논문에서 제안한 head chip은 그림2와 같이 heater chip과 논리회로가 결합하여 프린터 본체에서 FPC를 통하여 직렬로 데이터를 전송하는 구조를 갖는다. 즉 직렬 데이터 전송과 논리회로의 동

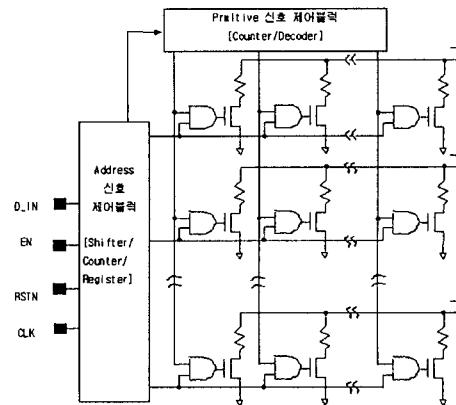


그림 2. 제안된 노즐제어 회로
Fig 2. Proposed Circuit for Controlling the Nozzle

4개의 primitive line과 5개의 address line이 IC 내부에서 매트릭스 구조를 갖고, 외부에서는 직렬로 데이터를 전송 받을 수 있도록 설계하였다. 논리부의 설계는 heater chip이 순간적으로 큰 전류(최대 1.6A)를 흘릴 수 있으므로, 안전성을 고려하여 논리회로의 규모와 기능을 최소화하였다. 즉 외부 RS수, CLK 신호를 사용하였고, 실장 test시 nozzle firing pulse width를 외부에서 직접 조절 할 수 있도록 EN 신호를 사용하였다. 전체 회로도 그림3과 같이 논리회로와 nozzle부로 구성하였고, 여기서 논리회로는 shift4, reg4, gray4, cnt5, dec5과 disp_nozzle 블럭으로 구성하였고, 1개의 disp_nozzle 블럭에는 20개의 nozzle(1 primitive)에 잉크를 토출시킬 수 있도록 저항과 NMOS 어레이로된 20개의 nozzle 토출 회로로

구성하였다. 설계된 20개 nozzle용 head chip의 논리 회로와 simulation 결과는 그림4와 같다. 여기서 설계한 부블럭의 기능을 살펴보면 다음과 같다.

1) Reg4a : 병렬로 변환된 4-bit의 데이터를 저장하는 부블럭으로 이 값은 nozzle 구동회로의 primitive line P(3:0) 으로 사용된다. 또한 RS수 신호에 의하여 초기화된다

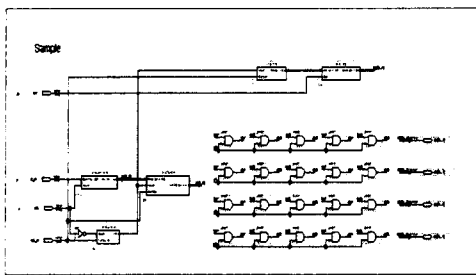


그림 3. Sample용 Head Chip 회로도
Fig. 3. Head Chip Circuit for sample test

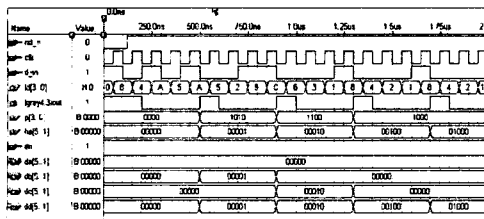


그림 4. Sample용 Head Chip Simulation 결과
Fig. 4. Simulation Results of Head Chip Circuit for sample test

2) Gray4 : 4진 카운터 회로로써 gray code를 사용하여 동작 시 glitch의 발생이 없다. clk 신호의 falling edge로 동기되어 있어서 Shift4 부블럭에 4-bit의 데이터가 직렬로드 된 후 gray4 부블럭의 출력신호 out에 의하여 병렬 데이터로 reg4 부블럭에 저장된다. 또한 cnt5 부블럭의 clk 신호로 out 신호가 사용되어 address 값을 증가시킨다. 즉 gray4 부블럭의 출력 out 신호는 primitive 와 address line을 동작시키는 핵심 신호로 사용된다.

3) Cnt5 : 비동기방식의 5진 카운터를 변형한 회로로, 기본으로 5진 카운터 동작(1, 2, 3, 4, 5 상태를 반복)을 수행하고 rstn 신호에 의하여 0 상태로 초기화된다. cnt5 부블럭은 address line인 ha(1:5)를 디코더

인 dec5를 이용하여 생성한다.

4) Dec5 : 디코더 부블럭으로 cnt5 카운터 값을 디코딩하여 address line인 ha(1:5)를 생성한다. 한편 enable 기능을 갖는 EN 신호를 결합하여 nozzle의 firing pulse width를 조절하는 기능이 있다.

5) Disp-nozzle : nozzle 구동회로 부분으로 논리회로 설계시 저항과 NMOS를 포함할 수 없으므로 그림 2의 AND 게이트에 해당하는 부분이다.

III. Full Chip 회로 설계 및 시뮬레이션

320개 nozzle 잉크젯 프린터용 head chip의 전체 논리회로는 그림2에 있는 sample head chip의 블럭의 형태를 그대로 유지하였고, 320개 nozzle을 동작시키기 위하여 16개의 primitive 와 primitive 당 20개의 address line을 사용하였다. 즉 한 순간에 각 primitive 당 1개의 nozzle 구동회로가 ON 됨을 의미한다. 설계된 전체 논리회로의 동작 검증은 Verilog-XL과 HSPICE사용하여 진행하였고, simulation 결과는 그림 5, 그림6과 같다. 그림5에서는 clk에 동기되어 직렬 입력된 2개의 데이터(1111 1100 0011 0101)는 gray16 부블럭의 출력인 load 신호에 의하여 reg20에 저장되고 (P[15..0]), cnt20 부블럭의 카운터 값을 디코딩한 address 신호인 R[4..0]과 nozzle에 토출 구간을 결정하는 en 신호에 의하여 nozzle 구동 출력신호 (g_a[20..1] ~ g_P[20..1])에 올바른 데이터가 나타남을 검증할 수 있었다. 여기서 출력 값이 04000은 2진 수로는 0000 0100 0000 0000 0000로 15번째 nozzle에 잉크가 토출 됨을 나타낸다. 즉 그림 6은 16개의 primitive nozzle 중에서 첫 번째로 토출되는 동작을 나타낸다. 그림6은 모든 nozzle에 잉크를 토출하는 동작의 검증 결과로, 토출 순서에 따라서 정상 동작함을 검증할 수 있었다. 완성된 전체회로는 2-input nand gate 기준으로 약 2500 gates 규모로 full custom ASIC 방식으로 설계되었다

IV. Chip 제작 및 검증

그림7에 layout floor planing을 나타냈다. nozzle 구동회로인 disp_nozzle 블럭은 nozzle 좌표에 맞추어 중앙부에 위치시켰다. 즉 배선길이의 최소화를 위하여

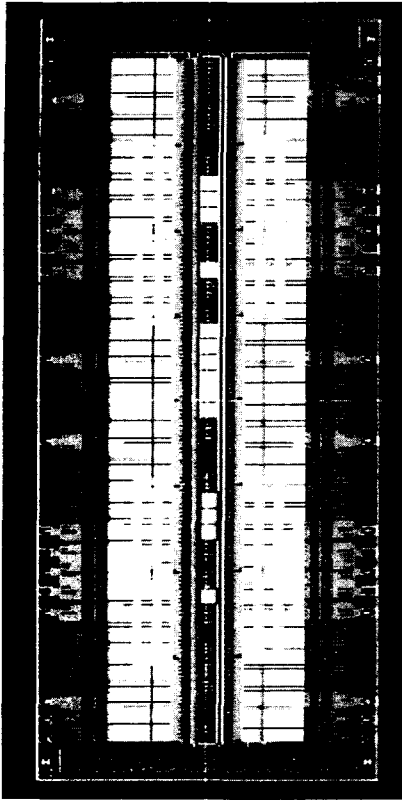


그림 7. 레이아웃의 배치도
Fig 7. Floor Planning Block Diagram

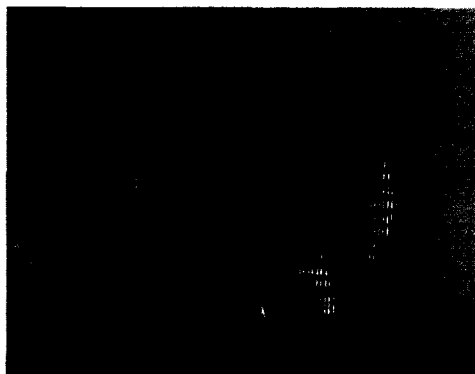


그림 8. 3um technology 표준 CMOS
공정으로 제작된 6" Wafer
Fig 8. Fabricated Wafer using 3um CMOS
Technology

Chip에 대한 로직 어낼라이저 측정된 파형은 그림 9와, 그림10과 같으며, 여기서 A0, A1, A2, A3은 출력 신호

호로 test4(=CNT20), test2(=disp), test1(=shift16), test3(=load)를 나타내고, A4, A5, A6, A7은 입력신호로 CLK, RSTN, D_IN, EN을 나타낸다. 그림9에서는 입력 CLK신호의 16개마다 load 신호가 출력되어 그레이 코드 카운터의 정상 동작을 확인 할 수 있고 그림10에서는 nozzle 그룹 내부의 20개의 primitive를 선정하는 cnt20의 동작과 nozzle로의 데이터 출력을 disp 신호로 확인 할 수 있었다.

이상의 test 과정을 통하여, 제작된 chip은 printer head의 320개 nozzle firing을 완벽하게 제어하고 있음을 확인할 수 있었다.

V. 결 론

본 논문에서는 잉크젯프린터의 노즐을 통한 잉크분사 제어용 head chip 개발에 관한 것으로 기존회로방식의 단점인 노즐수 확장제한의 원인인 I/O pad 갯수 최소화를 목표로 하였다. PAD 수의 최소화를 위하여 기존의 primitive line과 address line 신호를 PAD로 직접 전송하는 matrix방식을 개선하여 내부에서 데이터를 직렬로 전송하는 방식으로 바꾸는 새로운 회로를 설계하였다. 설계된 head chip은 20개의 nozzle 구동회로를 갖는 16개의 primitive로 구성하여 총 320개 nozzle을 제어한다. 직렬 데이터 전송방식의 타당성 검증을 위하여 sample chip을 Altera사의 FPGA로 설계 및 제작한 후 동작을 검증하였다.

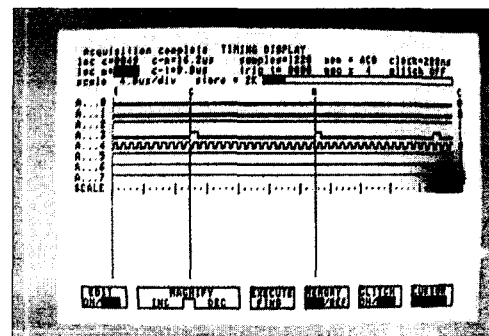


그림 9. Chip test 결과 파형(1)
Fig. 9. Result Waveform of Chip Test(1)

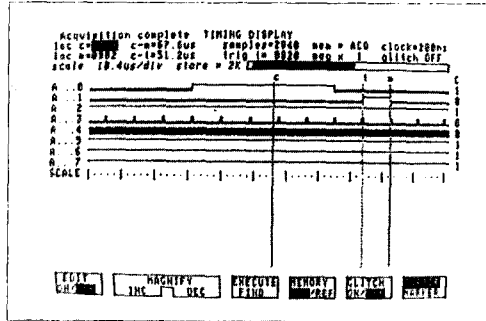


그림 10. Chip test 결과 파형(2)
Fig. 10. Result Waveform of Chip Test(2)

사전 검증은 바탕으로 최종 논리회로는 full custom 방식으로, 검증된 sample chip 회로를 확장 설계하였으며, Verilog-XL 및 HSPICE를 사용하여 logic level과 circuit level simulation을 수행하여 검증하였으며 최종으로 LVS용 netlist를 추출하였다.

설계된 head chip의 논리회로부는 약 2500 gates(2-input nand 기준)로 구성되었고, 각 sub-block의 gate 수, 배선길이와 동작관계를 고려하여 floor planning을 수행한 뒤 3.0 μ m CMOS design rule을 적용하여 layout을 하였다. 사용된 PAD는 28개로 이것은 pad의 좌우상하 대칭성을 고려한 결과이다. 제작된 chip은 테스트결과 printer head의 320개 nozzle firing을 완벽하게 제어하고 있음을 확인할 수 있었다.

참고문헌

[1] Tokunaga, Y. and Sugiyama, K., "Thermal Ink-Transfer Imaging" IEEE Trans. Electron Devices, Vol.ED-27, No.1, (1980-1), pp218-222.
[2] Hatada, K., Fujimoto, H., Ochi, T., Ishida, Y. "Applications of new assembly method 'micron bump bonding method' " Electronic Manufacturing Technology Symposium, 1989, Proceedings. Japan IEMT Symposium, Sixth IEEE/CHMT International, 1989.
[3] Yoda, K., Morita, H., Mori, T., Shibuya, T. "Impact printer head using piezoelectric actuators", Applications of Ferroelectrics, 1990. IEEE 7th International Symposium on

Consumers, 1991.

[4] Ishizuka, M. "Application of the thermal network method to the thermal analysis of thermal printer heads used in high speed thermal printers", Electronic Manufacturing Technology Symposium, 1989, Proceedings. Japan IEMT Symposium, Sixth IEEE/CHMT International, 1989.
[5] Boglietti, A., Chiampi, M., Tartaglia, M., Cattaneo, S., Contessa, M., Garramone, A. "Analysis of a permanent magnet dot matrix printer head", Magnetics, IEEE Transactions on , Volume: 25 Issue: 5 , Sept. 1989.
[6] Yuji H., Hisao H., Michio N., Takeshi M., Masanori Y., Tetsuo E., "A Thermal Printer Head with CMOS Thin-Film Transistor and Heating Elements Integrated on a Chip", ISSCC 88, Feb 19, 1988.

저자소개



정승민(Seung-Min Jung)

1990년 2월: 연세대학교 전자공학과 졸업

1992년 2월: 연세대학교 대학원 전자공학과 석사

1999년 3월: 연세대학교 대학원 전자공학과 박사과정
1992년 2월~1997년 8월: (주)삼성전자 전임연구원
1997년 9월~1998년 2월: 에스엠디코리아 선임연구원
1998년 3월~현재: 용인송담대학 정보통신과 조교수
<주관심 분야> 디지털신호처리, VLSI 및 CAD, ASIC, 반도체센서, 통신시스템 설계



김정태(Jung-Tae Kim)

2001년 8월: 연세대학교 대학원
전자공학과 박사

1991년 8월~1996년 2월 : 한국
전자통신(ETRI) 선임연구원

2002년 10월~현재: 목원대학교 IT공학부 전임강사
*관심 분야: Optically fed wireless communication
system design, Information security system design,
Network Security, ASIC Design.



이문기 (Moon-Key Lee)

1965년 2월: 연세대학교 전기공학
공학사

1967년 2월 : 연세대학교 대학원
전기공학 공학석사

1973년 2월: 연세대학교 전기공학과 Ph.D

1980년 8월: Univ. of Oklahoma Ph.D

1989년 4월~2000년 8월: 연세대학교부설 아식설계공
동연구소 소장

1999년 8월~2000년 8월: Asian -Pacific ASIC 국제학술
대회 대회장

1982년 8월~현재: 연세대학교 전기전자공학과 교수
<주관심 분야> 고성능 마이크로프로세서 및 IP,
VLSI & CAD design, Embeded system design, Smart
sensor & system