

---

# 미세 구조 MOSFET에서 문턱전압 변화를 최소화하기 위한 최적의 스켈링 이론

정학기\* · 김재홍 · 고석웅

Scaling theory to minimize the roll-off of threshold voltage for ultra fine  
MOSFET

Hak-kee Jung\* · Jae-hong Kim · Suk-Woong Ko

---

이 논문은 2003년도 군산대학교 두뇌한국21 사업에 의하여 일부 지원되었음

---

## 요 약

본 논문은 halo doping profile을 갖는 나노구조 LDD MOSFET의 문턱전압에 대하여 연구하였다. 소자의 크기는 일반화된 스켈링 이론을 사용하여 100nm 에서 40nm까지 스켈링하였다. Van Dort Quantum Correction Model(QM) 모델을 정전계 스켈링 이론과 정전압 스켈링 이론에 적용하여 문턱전압을 조사하였으며, gate oxide 두께의 변화 따른 direct tunneling current를 조사하였다.

결과적으로 게이트 길이가 감소됨에 따라 문턱전압이 정전계 스켈링에서는 감소하고 정전압 스켈링에서는 증가함을 알았고 direct tunneling current는 gate oxide 두께가 감소함에 따라 증가됨을 알았다. 또한 채널 길이의 감소에 따른 MOSFET의 문턱전압에 대한 roll-off특성을 최소화하기 위하여 일반화된 스켈링에서  $\alpha$  값은 거의 1 이어야 함을 알았다.

## ABSTRACT

In this paper, we have presented the simulation results about threshold voltage of nano scale lightly doped drain (LDD) MOSFET with halo doping profile. Device size is scaled down from 100nm to 40nm using generalized scaling. We have investigated the threshold voltage for constant field scaling and constant voltage scaling using the Van Dort Quantum Correction Model (QM) and direct tunneling current for each gate oxide thickness. We know that threshold voltage is decreasing in the constant field scaling and increasing in the constant voltage scaling when gate length is reducing, and direct tunneling current is increasing when gate oxide thickness is reducing. To minimize the roll off characteristics for threshold voltage of MOSFET with decreasing channel length, we know a value must be nearly 1 in the generalized scaling.

## 키워드

halo doping, threshold voltage, generalized scaling, Van Dort Quantum Correction Model, direct tunneling

## 1. 서 론

반도체 집적기술의 눈부신 발달은 소자의 크기를 얼마나 소형화하는데 달려있다. 소자의 스켈링 이론은 소자의 물리적인 크기를 줄임으로서 집적도 및 응답속도와 전력소비의 향상을 가져올 수 있다. 이상적인 스켈링에 대해, 공급전원 전압은 내부전계를 일정하게 유지하기 위해선 감소되어야 한다. 그러나 사실상 공급전원 전압은 소자의 크기 변화에 따라 스켈링될 수 없다. 펀치오프 영역에서 수직전계와 게이트 산화물을 가로지르는 수평전계는 MOSFET의 스켈링에 따라 증가한다. 스켈링 이론은 소자의 크기를 줄이면서 소자 내 전계의 모양과 크기를 일정하게 유지하도록 하는 것이다[1]. 그러나 소자의 크기가 작아지면서 여러 가지 단채널효과(SCE)들이 발생하였으며, 이러한 문제들을 해결하기 위해 MOSFET의 많은 스켈링 이론들이 제안되고 논의되어졌다.[2][4] 정전계 스켈링은 공급된 전압이 줄어드는 것과 기판 도핑농도가 증가하는 것에 비례하는 동안 수평 영역에 따라서 수직부분의 스켈링이 떨어지는 상태에서 단채널 효과가 나타날 수 있다. 정전계 스켈링의 원리는 소자 크기가 (수직, 수평) 인자  $s(s>1)$ 와 소자의 전압 스켈링이 같아서 전계가 변하지 않고 남아있는 것이다. 비록 정전계 스켈링이 MOSFET 구조의 설계에 기본적인 원칙을 제공하고 있지만 사실상 공급 전압은 시스템에 관련된 여러 가지 제한들 때문에 소자의 크기에 따라 병행하여 스켈링될 수 없다. 그러므로 소자의 디자인에 있어서 증가하는 전계의 영향에 적절하게 유지시킬 수 있는 좀더 일반화된 스켈링 이론이 필요하게 되었다.

일반화된 스켈링에서는 수직과 수평 전계가 전기장의 패턴을 보존하기 위해서 동일한 곱셈 요소에 의하여 변화된다. 비록 공핍 영역의 포아슨 방정식이 일반화된 스켈링에서 변하지 않는다 해도 사실 이동전하들이 발생하는 역전층에서는 성립되지 않는다. 이동전하 농도는 물리적 크기나 전압과 함께 선형적으로 스켈링되지 않는 지수함수로 나타나기 때문이다. 대부분의 실제 설계에서는 정전계 스켈링의 문제점 때문에 필요한 만큼 전압을 줄일 수 없다. 따라서 대부분의 설계에서는 전압과 전력을 일정하게 유지하는 정전압

스켈링을 적용하게 된다.

매우 얇은 게이트 산화층과 채널의 고농도 도핑은 SCE를 억압하기 위하여 사용되었고, 결과적으로 이것은 Si/SiO<sub>2</sub>계면에서 매우 큰 횡단 전계를 야기시키게 되며, 역전층에서 QM(quantum mechanical)효과에 의한 방법과 QM효과가 없는 고전적인 계산 방법과 비교했을 경우 역전층 전하량은 감소시키고, 문턱전압은 증가시키며, 산화막 캐패시턴스를 감소시켰기 때문이다.[5][8] 만약 산화층이 매우 얇으면, 즉 3nm나 그 이하, 전자들이 산화층의 전도대로 이동할 때 Fowler-Nordheim tunneling 이 일어나는 대신에 산화층의 금지대로 바로 이동할 수 있다. 일반적인 소자의 동작에 있어서 Fowler-Nordheim tunneling 전류는 무시할 수 있지만, 산화층에서의 direct tunneling 전류의 영향은 무시할 수 없다.

그러므로 본 논문에서는 QM효과를 포함한 드레인 전류 모델을 사용하여 적합한 스켈링 인자  $\alpha$ 를 조사할 것이다. 또한 얇은 산화층에서의 direct tunneling 과 전기적 특성을 조사할 것이다.

## II. 소자 구조와 시뮬레이션

그림 1은 일반적인 LDD 구조에 할로우 도핑이 되어 있는 nMOSFET를 보여주고 있다. 본 논문에서는 채널의 길이가 서브 마이크론, 즉 나노스케일로 줄어들어 따라 발생하는 SCE중 펀치스투현상을 줄이기 위하여 일반적인 LDD 구조의 소스/드레인 부근에만 halo도핑을 시켰다.

각 영역의 도핑 정보는 Gaussian 함수로 정의 되었다. 소스와 드레인 영역의 도핑 정보는 확산 영역당 60%의 측면 인자를 적용하였다. LDD와 halo 도핑 영역은 측면 인자의 절반이 적용되었다. 이때 도핑 농도를 살펴보면 게이트 길이 100nm인 MOSFET의 기판 농도는  $1.75 \times 10^{17}/\text{cm}^3$ , LDD 영역은  $6.25 \times 10^{19}/\text{cm}^3$  이고 소스/드레인 도핑농도는  $9.25 \times 10^{19}/\text{cm}^3$  이다. 그리고 halo 영역은  $3.75 \times 10^{18}/\text{cm}^3$ 로 도핑 되었다.

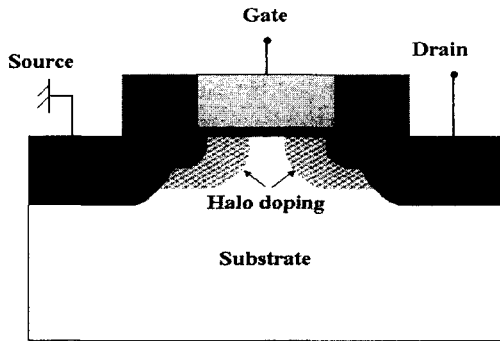


그림 1. halo 도핑된 LDD 구조  
Fig. 1 LDD structure of halo doping

표 1. 일반화된 MOSFET의 스케일링  
Table. 1 Generalized MOSFET scaling

물리적인 변수	곱셈 인자(s>1)
채널 길이, 절연물 두께	1/s
선과 채널 폭	1/s
전계	a
전압	a/s
전류	a/s
도핑농도	as
면적	1/s <sup>2</sup>
캐패시턴스	1/s
게이트 지연	1/s
전력소모	a <sup>2</sup> /s <sup>2</sup>
전력밀도	a <sup>2</sup>
반전층 전하밀도	a

표 1은 각 파라미터들에 대해 일반화된 MOSFET의 스케일링 인자들을 나타내고 있다. 본 논문에서는 게이트 길이 100nm의 소자에 대하여 표 1에서 보여주는 것과 같이 스케일링하였고, 문턱전압은 linux기반 반도체 시뮬레이션 프로그램인 ISE-TCAD로 시뮬레이션하였다. 또한 최적의 a값을 얻기 위하여 각 게이트 길이에 대한 문턱전압을 조사하였다. 소자의 크기는 100nm에서 40nm까지 일반화된 스케일링 이론을 적용하여 스케일링하였으며, 문턱전압은  $V_{gs}$ 축과  $I_{ds}(V_{ds})$ 커브

의 접선에서 가장 적은 경사점을 교차점으로 구성된 선형 추출법을 사용하여 계산하였다.

표 1에서 a=1의 값을 갖으면 정전계 스켈링이라 하며, a=s의 값을 갖으면 정전압 스켈링이라 한다. 전압은 게이트 길이와 같은 비율로 스켈링 될 수 없기 때문에 MOSFET의 게이트 길이에 대하여 일정한 전압이 공급되었다.

### III. 결과와 토론

그림 2는 게이트 길이가 변함에 따라 일반적인 모델과 QM효과를 적용한 MOSFET의 정전계 스켈링과 정전압 스켈링의 문턱전압의 변화를 보여주고 있다. 이상적인 문턱전압은 일정하지만, 그림에서 알 수 있듯이 정전계 스켈링에서는 감소하고 정전압 스켈링에서는 증가하게 된다. 또한 QM효과를 적용한 모델이 일반적인 모델보다는 약 두배정도로 문턱전압이 높아짐을 알 수 있었다.

그림 3은 드레인 전압 0.05V와 1.0V에 대해 QM효과를 적용하였을 때와 그렇지 않았을 때의 문턱전압의 변화를 게이트 길이 변화에 따라 나타내고 있다. 그림에서 알 수 있듯이 QM 모델을 적용할 경우의 문턱전압은 적용하지 않을 경우에 비해 높게 나타난다. 특히 게이트 길이가 감소할수록 드레인 전압에 관계없이 문턱전압의 변화는 심하게 나타남을 알 수 있다.

그림 4는 50nm의 게이트 길이를 갖는 MOSFET에서 QM 유무에 따른  $I_d-V_d$ 특성 곡선을 나타낸 것이다. 이때 주어진 드레인 전압은 0.05V이다. 그림에서 알 수 있듯이 QM 효과에 의해 문턱전압은 오른쪽으로 이동하게 된다. 이때 QM 효과를 적용시키지 않았을 경우의 S.S.(subthreshold slope)는 75mV/Dec.이고, QM 효과를 적용시킨 모델에서의 S.S.는 81mV/Dec.를 얻을 수 있었다. 즉, QM 효과를 적용시킬 경우 subthreshold값은 증가하게 된다.

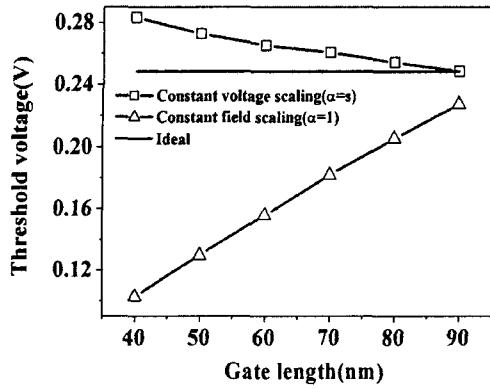


그림 2. (a)일반적인 모델  
Fig. 2 (a)classical model

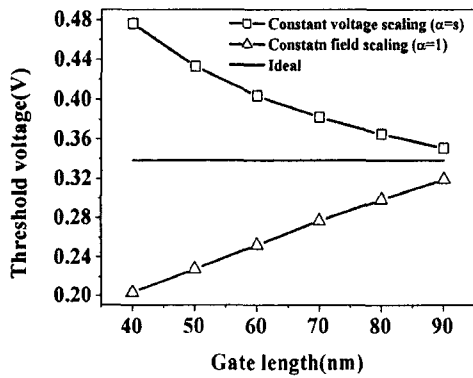


그림 2. (b)QM 모델  
Fig. 2 (b)QM model

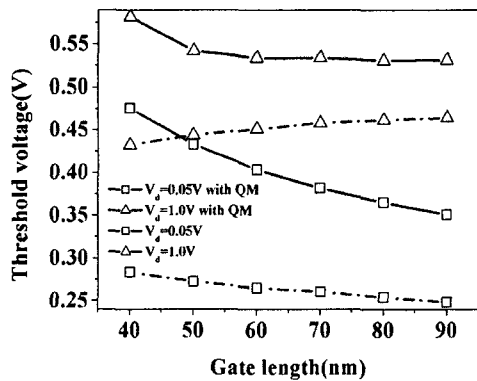


그림 3. 정전계에서 QM영향에 따른 문턱전압  
Fig. 3 The threshold voltage for QM effect in the constant voltage scaling

이때 일반 모델에서의 문턱전압은 대략 0.273V이고 QM 모델에서의 문턱전압은 대략 0.433V의 값을 얻었다.

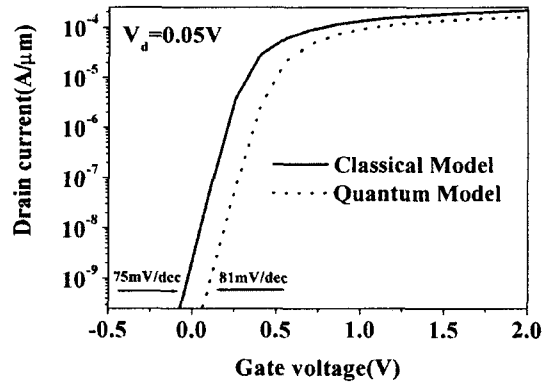


그림 4.  $V_d=0.05V$ , 50nm MOSFET에 대한  $I_d-V_g$  특성곡선

Fig. 4  $I_d-V_g$  characteristics curve for the 50nm MOSFET with  $V_d=0.05V$

그림 5는 일반화된 스케일링에 의한 경우, 각각의 게이트 길이에 따른 인자  $\alpha$ 에 대한 문턱전압의 변화를 나타낸 것이다. 게이트 길이가 60nm보다 클 때, 문턱전압을 최소화하는 최적의  $\alpha$ 값은 0.94s와 0.95s 사이에 존재함을 알 수 있었다. 그러나 만약 게이트 길이가 50nm이하로 작아진다면 최적의  $\alpha$ 값은 0.94s보다 작아지게 될 것이다. 즉, 게이트 길이가 50nm보다 작아지면,  $\alpha$ 값은 크게 변할 것이다. 만약 산화막 층이 너무 얇다면, 반전된 실리콘 표면으로부터의 전자들은 SiO2 층의 금지대를 통해 직접적으로 tunneling할 수 있게 된다. 이러한 전자들로 인해 direct tunneling 전류는 증가하게 된다. 그러므로 일반화된 스케일링에서 최적의  $\alpha$ 값은 게이트 길이가 50nm이하인 나노구조에서의 전기적 특성을 유지하기 위해서는 변해야 함을 알 수 있다.

그림 6은 게이트 길이가 50nm인 MOSFET에서 산화막 두께의 변화에 따른 tunneling 전류를 보여주고 있다. 그림에서 나타낸 것과 같이 게이트 전압에 대한 전류는 거의 대부분 direct tunneling 전류이다. 그림에서 알 수 있듯이 게이트 절연체를 통하는 direct tunneling 전류는 2~3nm정도로 얇은 게이트 산화층

을 갖는 매우 작은 크기의 MOSFET에 있어서 가장 고려해야할 것들 중에 하나이다.

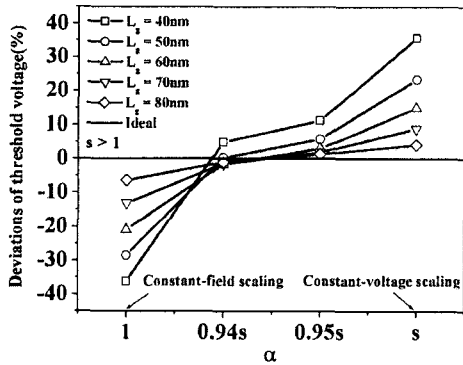


그림 5. 기준 게이트 길이 90nm에 대하여 게이트 길이 변화에 따른 문턱전압의 편차  
Fig. 5 Deviations of threshold voltage for the gate length. A standard gate length is 90nm

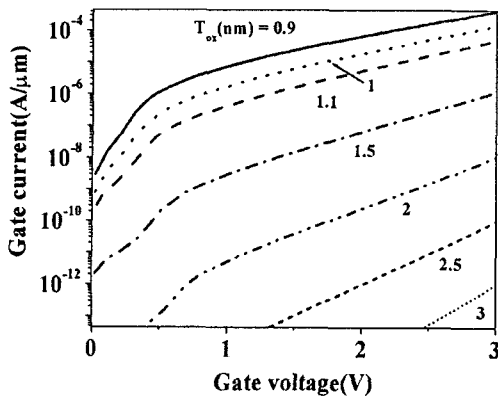


그림 6. 게이트 길이 50nm를 가진 MOSFET의 터널링 전류  
Fig. 6 Tunneling current in the MOSFET with gate length of 50nm

#### IV. 결론

본 논문에서는 halo doping profile된 나노구조 MOSFET의 문턱전압을 조사하였다. 게이트 길이가 작아질 때, 정전계 스켈링에서는 문턱전압이 감소하고, 정전압 스켈링에서는 증가하는 것을 볼 수 있었

다. 일반화된 스켈링을 적용할 경우 게이트 길이 50nm이하에서 최적의  $\alpha$ 값은 1에 가깝게 되는 것을 볼 수 있었다. 이러한 이유는 너무 얇은 게이트 산화막 두께로 인해 direct tunneling 전류가 증가하기 때문이다. 즉, 본 논문에서는 문턱전압을 최소화하는 최적의  $\alpha$ 값은 0.94s와 0.95s 사이에 존재함을 알 수 있었다. 이런 결과로 알 수 있듯이, 나노구조 MOSFET에서는 정전계 스켈링과 정전압 스켈링 모두 적합하지 않음을 알 수 있었다. 따라서 나노구조에서 소자의 특성을 유지하기 위해 보다 나은 소자 구조를 개발하고 스켈링 이론을 적용할 경우에는 최적화된 스켈링 인자 값을 찾아 적용하여야 함을 알 수 있었다.

#### 감사의 글

본 연구는 2003년도 두뇌한국21 사업에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

#### 참고문헌

- [1] Ben G. Streetman, Sanjay Banerjee, Solid State Electronic Devices, pp. 307-311
- [2] David J. Frank, Robert H. Dennard, Edward Nowark, Paul M. Solomon, Yuan Taur, and Hon Sum Philip Wong, "Device Scaling Limits of Si MOSFETs and Their Application Dependencies", Proc. IEEE. 89, pp. 259-288, 2001.
- [3] Dale L. Critchlow, "MOSFET Scaling The Driver of VLSI Technology", Proc. IEEE. 87, pp.659-667, 1999.
- [4] M. J. van Dort, P. H. Woerlee, and A. J. Walker, "A Simple Model for Quantisation Effects in heavily doped Silicon MOSFETs at Inversion Conditions", Solid State Electronics. 37, pp. 411-414, 1994.
- [5] S. A. Hareland, S. Jallepalli, G. Chindalore, W. -K. Shin, A. F. Tasch, and C. M., Maziar, "A Simple Model for Quantum Mechanical Effects in Hole Inversion Layers in Silicon PMOS Devices", IEEE Trans. Electron Dev. 44, pp. 1172-1173, 1997.
- [6] Sheng-Lyang Jang, Chwan-Gwo Chyau, and Chong-Jye Sheu, "Complete Deep-Submicron

Metal-Oxide-Semiconductor Field-Effect-Transistor Drain Current Model Including Quantum Mechanical Effects", Jpn. J. Appl. Phys., 38, pp. 687-688, 1999.

- [7] Jhung soo Jhung, Kwang gyun Jang, Sung taik Shim, and Hak kee Jung, "Investigation of Threshold Voltage in MOSFET with nano Proc. ISIC 2001, pp. 230-233, 2001.
- [8] 정정수, 장광균, 심성택, 정학기, 이종인, "Si-기반 나노채널 MOSFET의 문턱전압에 관한 분석", 한국해양정보통신학회, pp. 317-320, 2001.

### 저자 소개



#### 정학기(Hak-kee Jung)

1983년 2월 아주대학교 전자공학과 졸업(BS)

1985년 2월 연세대학교 대학원 전자공학과 석사졸업(MS)

1990년 8월 연세대학교 대학원 전자공학과 박사과정 졸업(Ph.D)

1994년 7월~1995년 7월 일본 오사카대학 객원 연구원

2001년 2월~ 한국해양정보통신학회 편집이사

2003년 현재 군산대학교 전자정보공학부 교수

※관심분야 : 반도체 및 통신 소자



#### 고석웅(Suk-woong Ko)

1999년 2월 군산대학교 전자공학과 학사졸업

2001년 2월 군산대학교 전자공학과 석사졸업

2003년 현재 군산대학교 전자정보공학부 박사과정중

※관심분야 : 반도체 및 통신 소자



#### 김재홍(Jae-hong Kim)

2001년 2월 군산대학교 전자공학과 졸업

2002년 현재 군산대학교 대학원 전자정보공학부 석사 과정 중

※관심분야 : 반도체 및 통신 소자