
CATV망을 위한 자동화 장치구현 사례 연구

곽윤식*

A Study on the Implementation of Automatic Device for CATV Network

Yoon-Sik Kwak*

요 약

본 논문은 CATV 망 관련 장치 구현에 관한 것으로 기존의 수동형 장치의 비효율성을 제거하기 위해 자동화된 집중식 Headend 시스템 및 분배장치를 구현하였다. 이를 위해 기존의 주파수대역 중에서 비디오 신호의 송신에 사용되지 않은 대역을 확보하고 이를 제어신호의 송·수신이 이루어지는 제어대역으로 사용하는 송수신 시스템 및 자동화 분배기를 설계하였으며, 상·하향통신 및 하향통신방식이 공유된 형태로 RS-232를 이용한 9600bps의 CATV 망을 위한 통합관리 시스템을 구현하였다.

ABSTRACT

This study is about the development of a system related to the CATV network. It intends to develop an automatically centralized Headend system and a distributive system to remove the ineffectiveness of the established manual system. To achieve this goal, we took a part of bandwidth, which is not used for the transmission of video signals in the established frequency bandwidth, and used it for the transmission and receiver of controlling signals. By this way we could design a system of transmission and receiver and a automatic distributive system. We developed an information management system for the 9600bps CATV using RS-232 of forward/backward communication and backward communication.

키워드

CATV, Headend System, Division Device

*충주대학교 컴퓨터공학과 교수

접수일자 : 2003. 6. 2

1. 서 론

정보화의 발전과 더불어 CATV는 통신과 방송이라는 두 가지 기술의 접목으로 그 응용범위가 확대됨에 따라 CATV망을 이용한 다양한 형태의 서비스가 제공되고 있으며 서비스의 다양화에 따라 응용분야의 확대는 자연스러운 현상으로 판단된다[1]. CATV 시스템은 영상 정보를 전송하는 분배망으로 그 구성은 영상정보의 전송 및 시스템에 대한 전체적인 제어가 수행되는 센터부(Headend system), 중계전송기기 및 케이블을 포함한 전송로분배기 부문, 영상정보의 수신 이 이루어지는 단말부로 구성된다[2][3][4].

기존 소규모의 CATV 가입자망에서는 케이블로 연결되어 있는 중앙 시스템과 가입자 분배기 사이에 가입자에 대한 비디오 신호의 송출만이 이루어지고 있으며 가입자 분배기는 단순 수동형 스위치로 구성되어 있어 중앙 시스템과의 연관성 및 망 관리의 자동화가 곤란한 점 등 여러 가지 문제점이 제기되고 있다. 또한 현재 사용 중인 주파수 대역은 단순히 비디오 신호의 송출을 위해 사용됨으로서 제어 신호 대역을 사용하지 않는 문제 등이 있다[5][6].

이를 해결하기 위해서 본 논문에서는 다음과 같은 방법론을 제시한다. 먼저 제어 신호대역의 확보문제이다. CATV 신호대역에서 비디오 신호의 송신에 사용되지 않는 신호대역을 확보하여 가입자와의 제어 데이터를 송수신 할 수 있도록 하였다[5][6]. 또한 일반적으로 가입자 수는 수만에서 수십만 가입자를 관리할 수 있도록 3바이트의 가입자ID 데이터와 분배기 스위치 데이터로 1바이트를 사용하였다. 그 결과 소규모에서 중규모까지 가입자망의 관리가 가능하게 하였다. 두 번째로는 Headend 시스템의 설계에서 기존의 단순 방송신호의 송출뿐만 아니라 가입자망에 대한 관리기능이 부여된 통합시스템을 설계하였다. 또한 기존의 하향통신과 상·하향통신이 모두 가능토록 RS-232를 이용하여 9600bps로 송수신 시스템을 구현하였다. 셋째는 자동화 가입자 분배기를 설계하였다. 기존 분배기는 사람의 손에 의해서 on/off 가 설정되는 단순 수동형 스위치 형식을 취하고 있다. 이를 보완하기 위해서 본 시스템에서는 프로세서를 활용하여 송수신이 가능할 뿐만 아니라 기존 수동형 동작이 가

능하도록 설계하였다. 이와 같은 특성을 갖는 본 시스템의 운영관리를 위해 자동화 통합관리 시스템을 구현하여 시스템의 효율성을 확인하였다.

II. 본 론

영상정보를 전송하는 분배망으로 CATV 시스템의 구성은 영상정보의 전송 및 시스템에 대한 전체적인 제어가 수행되는 센터부(Headend), 중계전송기기 및 케이블을 포함한 전송로 분배기 부문, 영상정보의 수신 이 이루어지는 단말부로 구성된다[2].

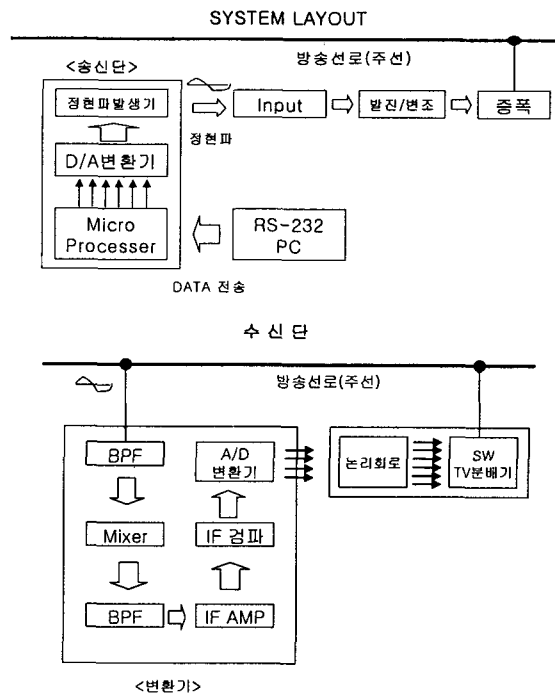


그림 1. 시스템 구성

Fig. 1 System Architecture

본 논문에서 제안한 시스템의 전체 구성은 그림 1과 같다. 그림과 같이 중앙관리가 이루어지는 Headend 시스템인 송수신단과 가입자와 연결되어 있는 분배기인 수신단, 그리고 이를 연결하는 상·하향통신 또는 하향통신 방식의 방송선로로 이루어져 있다.

Headend 시스템의 구성은 컴퓨터를 포함한 프로세서부분, 디지털신호에 대한 아날로그신호로의 변환부분으로 구성되어 있으며 가입자 분배기인 수신부는 아날로그신호에 대한 디지털신호로의 변환부분과 프로세서가 포함된 분배기 부분으로 구성되어 있다.

Headend 시스템의 가장 중요한 마이크로프로세서 부분은 AT89C2051 8비트 프로세서를 내장시켰으며 그림 2에는 프로세서의 내부 구조를 나타내었다.

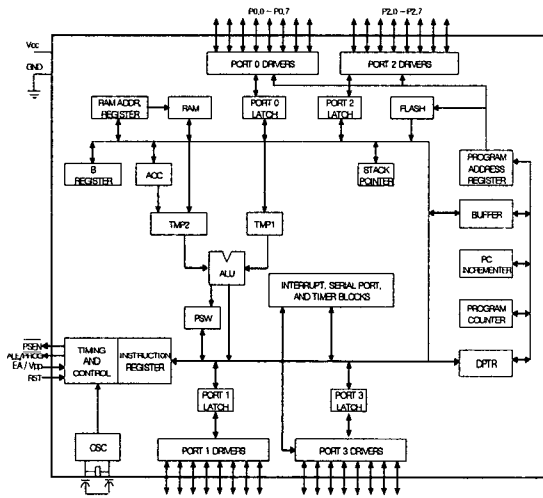


그림 2. 마이크로프로세서 내부구조
Fig. 2 Microprocessor Architecture

ATMEL사의 AT89C2051은 내부에 플래쉬 메모리와 EEPROM(Electric Erasable Programmable Read Only Memory)을 가지고 있는 저전압·고기능의 CMOS 8 비트이며 MCS-51의 명령세트와 호환 및 가격 대 성능비가 뛰어난 마이크로프로세서이다. AT89C2051의 특성으로는

- ① 2K의 내부 메모리
- ② 128 * 8 비트 내부 RAM
- ③ 32개의 I/O 포트
- ④ 2개의 16 비트 타이머
- ⑤ 6개의 인터럽트 소스
- ⑥ 프로그램이 가능한 시리얼 포트를 내장하고 있는 특성이 있다[7].

내부 구조를 보면 2개의 입출력 포트가 있고 내부의 클럭 발진기(OSC)를 구동하기 위해서 크리스털과 콘덴서가 연결되어 있다. 또한 2개의 외부인터럽트를 받을 수 있는 단자와 프로그램이 가능한 통신 단자(TX, RX)가 있어서 시리얼 통신을 가능케 한다.

RF 송수신단은 디지털 제어신호 데이터를 아날로그 신호로 변환하고 이를 주 전송선로에 입력시키는 부분으로 본 시스템에서 사용한 송수신 모듈은 CM-447-TX1과 CM-447-RX1 이다. 이에 대한 세부적인 사양은 표 1과 같다[8].

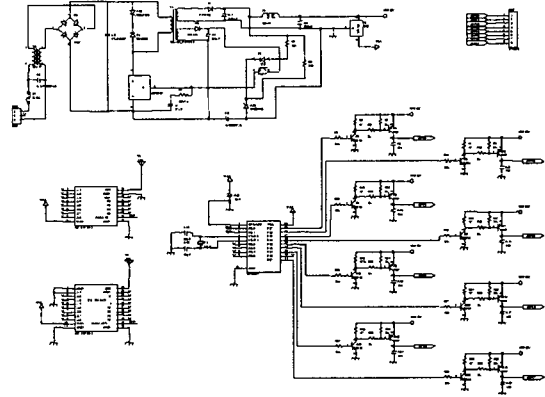
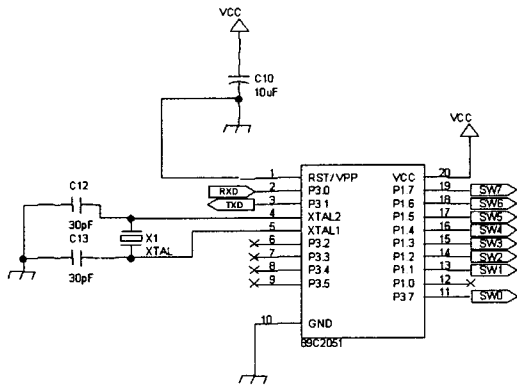
표 1. 송·수신에 대한 사양
Table. 1 Specifications for Trans·Receiver

항목(송신기)	단위	규격		
		최소	표준	최대
소비전류	mA	-	22	25
중심주파수	MHz	447.725		
침유주파수대역	kHz	±5.0	±6.0	±8.0
주파수편차	ppm	±7		
RF 출력	dBm	3.5	6.5	8.4
스푸리어스 방사전력	dBc		-50	-40

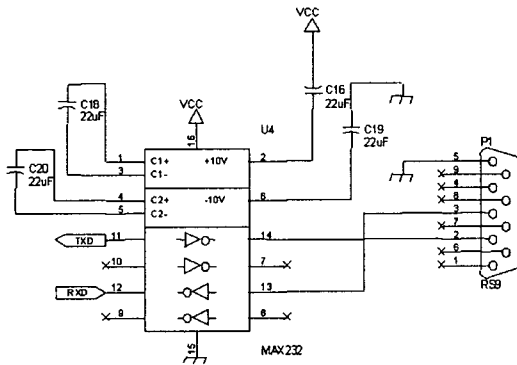
항목(수신기)	단위	규격		
		최소	표준	최대
소비전류	mA	-	15	18
수신감도	dB	12	20	
스푸리어스 응답	dB	-	-	12
스푸리어스 발사	dBm	-	-55	-42

III. 실험 및 고찰

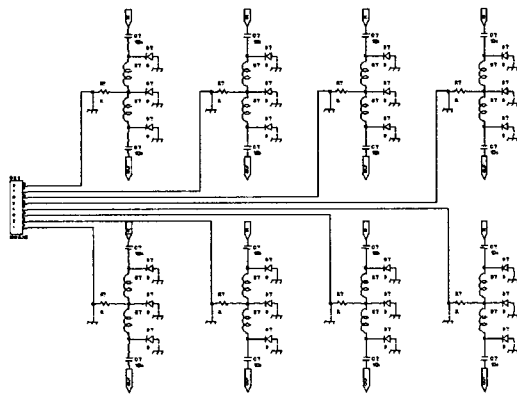
본 논문에서 구현한 Headend 시스템과 분배기에 대한 전체 회로도가 그림 4이다. 구성 요소로는 RF 모듈이 포함된 PC부, 마이크로 프로세서부, 분배기 스위치부로 구성되어 있다.



(c) 전원부 및 프로세서 회로도



(a) PC 인터페이스 부분



(b) 스위치 부분

그림 3. 구현된 회로도
Fig. 3 Implemented Circuit

먼저 PC와 Headend 시스템을 연결하는 부분과 마이크로프로세서를 중심으로 구성된 시스템은 그림 3(a)와 같다. 그림과 같이 PC에서는 RS-232를 이용하고 TTL 수준(5V)의 시리얼 데이터에 대해서 EIA/TIA-232E로 변환, 접속하기 위해 위해서 MAX232를 사용하였다.

AT89C2051 마이크로프로세서에서 PC와의 송수신 신호인 RXD와 TXD는 각각 P3.0 포트 그리고 P3.1 포트에 할당하고 스위치 데이터 신호선으로 P1.1부터 P1.7 그리고 P3.7 까지 8개 포트를 할당하였다. 또한 마이크로프로세서에서 사용하는 주기 신호로 11.0592MHz의 주파수 발생기를 구현하였다.

마이크로프로세서는 데이터를 받을 수 있는 수신단 (RXD: 11번 핀)과 데이터를 보내기 위한 송신단 (TXD: 10번 핀)을 사용하게 된다. 이 두개의 시리얼 포트 내부에는 송신과 수신 기능을 담당하고 있는 SBUF 레지스터가 있으며 이는 특수 기능 레지스터인 I/O 포트 99H이다. 또한 SCON 및 PCON 레지스터를 이용하여 통신방식을 설정한다. SCON 레지스터는 시리얼 포트를 제어하고 상태를 감시하기 위한 레지스터이고 PCON 레지스터는 보드올을 조절할 수 있는 레지스터이다. 그림 4는 SCON과 PCON 레지스터를 나타낸 것이다.

SM0	SM1	SM2	REN	TB8	RB9	TI	RI
SMOD	-	-	-	-	-	-	-

그림 4. SCON과 PCON 레지스터
Fig. 4 SCON & PCON Register

SM0~SM2는 통신 방식의 설정, REN는 시리얼 통신을 허락하는 비트, TB8과 RB9는 11프레임을 사용할 때 송신하거나 수신하는 9번째 비트, TI는 송신 완료 인터럽트 플래그, RI는 수신완료 인터럽트 플래그이다.

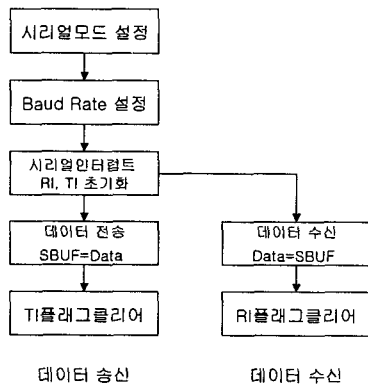


그림 5. 송수신 알고리즘
Fig. 5 Algorithm of Trans · Receiver

본 논문의 자동 제어 분배기에 대해서 SCON의 레지스터에 0x50(01010000)을 값을 인가하여 모드1의 통신방식으로 설정하여 한 데이터 값을 주고받는 순간 10비트 프레임으로 송수신하도록 설계하였다. 프레임 형태는 1개의 스타트 비트, 8개의 데이터 비트, 한 개의 스톱 비트로 구성되며 보드율은 9600bps로 설정된다.

본 논문에서는 상·하향통신과 하향통신 모두를 적용 할 수 있도록 송수신 시스템 및 분배기를 설계하였다. 내장된 송수신 알고리즘을 나타낸 것이 그림 5이다.

송수신을 위한 프로그램 구현은 Headend시스템 및 분배기에 내장되어 있는 AT89C51 프로세서에 대한 초기화 과정, 시리얼 포트를 통한 송수신 프로그램으

로 구분된다. 이를 위한 소스프로그램은 다음과 같다. 초기화 과정은 포트에 대한 핸들러(Handler)의 획득과정과 이를 이용한 초기화 데이터의 입력과정으로 구성된다.

본 시스템에서는 보드율 9600bps, 데이터비트 8비트, 패리티 비트 0비트, 정지비트 0비트로 초기화하였다.

<초기화 프로그램>

```

BOOL PortSetting()
{
    hCom =
        CreateFile(PortName,
        GENERIC_READ|GENERIC_WRITE,0,NULL,
        OPEN_EXISTING,
        FILE_ATTRIBUTE_NORMAL |
        FILE_FLAG_OVERLAPPED,NULL);
    if (hCom==INVALID_HANDLE_VALUE)
    {
        MessageBox(0,"다른 곳에서 통신포트를 사용하거나 오류가 발생했습니다.",
        "통신초기화예러", MB_SYSTEMMODAL
        | MB_OK | MB_ICONHAND);
        return 0;
    }
    GetCommState(hCom,&Dcb);
    Dcb.DCBlength=sizeof(DCB);
    SetupComm(hCom,4096,4096);
    PurgeComm(hCom,PURGE_TXABORT
    | PURGE_TXCLEAR
    | PURGE_RXABORT | PURGE_RXCLEAR);
    Dcb.BaudRate = 9600;
    Dcb.ByteSize = 8;
    Dcb.Parity = 0;
    Dcb.StopBits = 0;
    if(! SetCommState(hCom,&Dcb)) return 0;
    MessageBox(0,"통신포트 초기화에 성공하였습니다.", "통신포트 초기화 성공",
    MB_SYSTEMMODAL | MB_OK
    | MB_ICONEXCLAMATION);
    return TRUE;
}
    
```

시리얼 포트의 송신부분에서는 바이트 데이터에 대한 송신과정이 수행되며 이를 위해서 송신 버퍼의 상태를 확인(GetLastError 함수)하는 과정을 수행하고 확인 후, 데이터의 송신이 이루어진다. 이때 송신 데이터의 지연은 0.05초로 설정되었으며 이는 통신버퍼의 확보를 위한 지연시간으로 실험적으로 얻은 값이다.

시리얼 포트의 수신부분에서는 바이트 데이터에 대한 수신과정이 수행되며 이를 위해서 수신버퍼의

상태를 확인(ComStat.cbInQue)과정을 수행한 후, 데이터의 수신이 이루어진다. 1 바이트의 데이터 수신 이 데이터수신 완료 후, 버퍼를 클리어하고 재 송신을 위한 단계로 전환된다.

<시리얼포트 송신부분>

```

BOOL OutPort(HWND hDlg,DWORD ex,BYTE c)
WORD f,d,count=0;
int a,b,e,t=0;
intcl[10];
BYTE RxChar;
f=(HIWORD(ex));
d=(LOWORD(ex));
a=(LOBYTE(f));
b=(HIBYTE(d));
e=(LOBYTE(d));

if(! WriteFile(hCom,&a,1,&WriteSize,&m_osWrite))
{
    if (GetLastError() == ERROR_IO_PENDING)
    {
        if(!GetOverlappedResult(hCom, &m_osWrite,
            &WriteSize, TRUE))
        {
            MessageBox(hDlg,"첫 번째 바이트를 보내지 못했습니다
            .","err",MB_SYSTEMMODAL | MB_OK
            | MB_ICONEXCLAMATION);
            return 0;
        }
    }
    else
    {
        return 0;
    }
}
for(long i=0;i<10000i++);
    
```

<시리얼포트 수신부분>

```

BYTE InPort(BYTE RxChar){
ClearCommError(hCom,&ReturnCode,&ComStat);

if(ComStat.cbInQue==0)
{
    return FALSE;
}

if(!ReadFile(hCom,&RxChar,1,&ReadSize,&m_osWrite))
{
    if(GetLastError() == ERROR_IO_PENDING)
    {
        if(!GetOverlappedResult(hCom, &m_osWrite, &ReadSize,
            TRUE))
        {
            MessageBox(0,"수신에 실패했습니다.","err",
            MB_SYSTEMMODAL | MB_OK
            | MB_ICONEXCLAMATION);
            return 0;
        }
    }
}
    
```

```

}
else
{
    ClearCommError(hCom,&ReturnCode,&ComStat);
    return 0;
}
}
ComStat.cbInQue=0;
return RxChar;
}
    
```

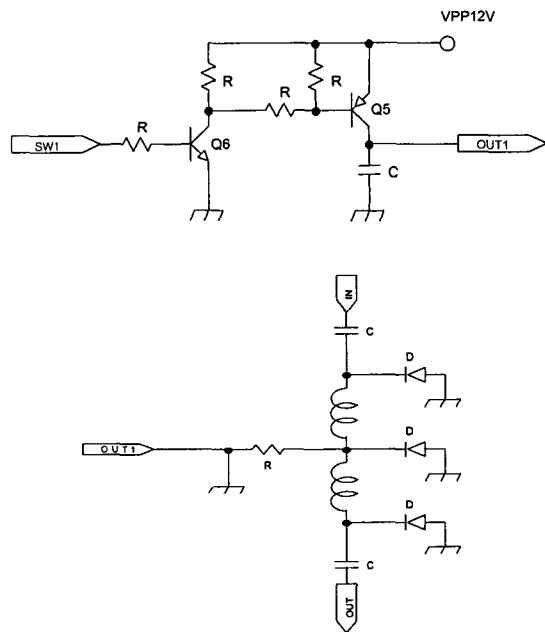


그림 6. 드라이브 및 분배기 스위치 회로
Fig. 6 Driver & Division Switch Circuit

프로세서 출력에 대한 드라이브 회로를 나타낸 것이 그림 6과 같다. 본 분배기 스위치는 12V로 동작 되도록 설계되어 있다. 여기서 2단 으로 구성된 회로도 부분은 on 상태에서 +12V의 출력을 발생하도록 하기 위함이다. 또한 분배기 스위치는 in 단자가 비디오 신호선, out 단자는 출력이며 out1 단자는 스위치 제어입력으로 제어입력신호에 따라 on/off동작이 이루어진다. 회로의 설계 시 고려해야 할 점은 비디오 신호에 대한 사양으로 본 시스템에 적용되는 비디오 신호의 전력은 60dB 이상이며 각각의 스위치는 차폐장치로 분리되도록 설계되었다.

IV. 결 론

본 논문은 CATV 망 관련 장치 구현에 관한 것으로 기존의 수동형 장치의 비효율성을 제거하기 위해서 자동화된 중앙집중식 Headend 시스템 및 분배장치를 구현하였다. 이를 위해 기존의 주파수 대역 중에서 비디오신호의 송신에 사용되지 않은 대역을 확보하여 제어신호의 송수신이 이루어지는 제어대역으로 사용하는 송신시스템 및 자동화 분배기를 설계하였으며, 상·하향통신 및 하향통신 방식이 공유된 형태로 RS-232를 이용한 9600bps의 CATV 망 통합 관리 시스템을 구현하였다. 이는 가입자관리를 위한 ID 생성부, 송수신부, 제어부, 자료 백업부를 윈도우 기반의 C++로 구현하였다.

참고문헌

- [1] 송문규 외1, "무선 CATV망의 원격관리 및 제어시스템의 개발", 한국통신학회논문집, Vol. 23, No. 4, P.1134-1146, 1998.
- [2] 이규성, "CATV 핸드북 I II III", 진한도서, 1998
- [3] 우신편집부, "CATV의 기술", 우신, 1994.
- [4] 전석호, "유선 텔레비전의 수용, 나남출판사, 1992.
- [5] 광윤식 외 5, "CATV 시스템의 하향채널을 이용한 가입자망 관리 방법", 특허출원 중, 특허-2002-0075093.
- [6] 광윤식 외 5, "CATV 시스템의 하향채널을 이용한 가입자망 관리 장치", 특허출원 중, 특허-2002-0075092.
- [7] Data Sheet, "ATM89C251 Microprocessor", ATMEL, 2002.
- [8] Data Sheet, "CM-447-TX1& CM-447-RX1", Chongwoo Corporation, 2000.

저자소개



광윤식(Yoon-Sik Kwak)

1984년 2월 : 청주대학교 전자공학과 졸업(공학사)

1986년 9월 : 경희대학교 대학원 전자공학과 졸업(공학석사)

1994년 2월 : 경희대학교 대학원 전자공학과 졸업(공학박사)

1991년 5월~현재 : 충주대학교 컴퓨터공학과 교수

※ 관심분야 : 영상처리, 패턴인식, 신호처리