
초고주파용 SiGe pMOSFET에 대한 전기적 특성 분석

정학기* · 고석웅

Electrical characteristics analysis of SiGe pMOSFET for High frequency

Hak-kee Jung* · Suk-woong Ko

이 논문은 2003년도 군산대학교 두뇌한국21사업에 의하여 일부 지원되었음

요 약

본 논문에서는 p형 SiGe pMOSFET를 디자인하고 온도에 따른 전기적 특성들을 분석하였다. 채널길이는 $0.9\mu\text{m}$ 로 하였으며, 온도는 300K와 77K일 때의 특성을 조사하였다. 게이트 전압이 -1.5V 로 인가되었을 때, 실온에서는 -0.97V 의 문턱전압 값을 얻었으나 77K에서는 -1.15V 의 문턱전압 값을 얻었다. 이것은 실온에서의 Si pMOSFET가 갖는 문턱전압 값(-1.36V)보다 동작특성이 우수함을 알 수 있었다.

ABSTRACT

In this paper, we have designed the p-type SiGe MOSFET and analyzed the electrical characteristics over the temperature range of 300K and 77K. When the gate voltage is biased to -1.5V , the threshold voltage values are -0.97V and -1.15V at room temperature and 77K, respectively. We know that the operating characteristics of SiGe MOSFET is superior to the basic Si MOSFET which the threshold voltage is -1.36V .

키워드

SiGe PMOSFET, electrical characteristics, room temperature, 77K

I. 서 론

최근 무선통신은 눈부시게 발전되었으며, 우리 일상생활에 꼭 필요한 필수적인 요소가 되었다. 무선통신 시스템의 성능은 반도체 소자가 좌우하게 되는데, 기존에는 값이 비싼 GaAs를 이용한 무선통신 시스템을 만들었다[1]-[2]. 그러나 SiGe가 Si를 기반으로 하고 있으므로 제작이 용이하며, 가격이 저렴하고, GaAs보다 특성이 우수하다는 것이 밝혀지면서 이에 관한 연구가 활발하게 진행되고 있다[3]-[5].

따라서 본 논문에서는 채널길이가 $0.9, 0.1\mu\text{m}$ 인

p형 SiGe MOSFET를 TCAD를 이용하여 디자인하고, 온도가 300, 77K일 때 SiGe pMOSFET의 전기적 특성들을 조사할 것이다.

또한 본 논문에서 조사한 pMOSFET를 기반으로 하여 nMOSFET를 연구함으로써 보다 유용한 소자를 개발하도록 할 것이다.

II. TCAD를 이용한 시뮬레이션

2-1. SiGe pMOSFET의 디자인

본 논문에서는 TCAD 시뮬레이터를 이용하여 채널길이가 0.9, 0.1 μm 인 SiGe pMOSFET를 디자인하여 시뮬레이션하였다. 그림 1은 본 논문에서 디자인한 SiGe pMOSFET를 보여주고 있다.

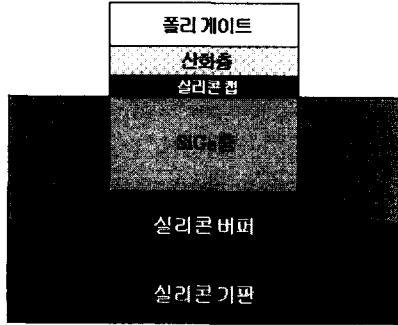


그림 1. TCAD를 이용하여 디자인된 SiGe pMOSFET의 구조
Fig. 1 The structure of SiGe pMOSFET designed by TCAD

그림에서 알 수 있듯이 모든 층은 에피텍셜층으로 이루어져 있으며, 채널길이가 0.9 μm 인 구조에서는 $\rho=10\Omega\text{-cm}$ 를 갖는 n-Si 기판을 사용하였으나, 0.1 μm 인 구조에서는 농도가 $8\times 10^{16}/\text{cm}^2$ 인 기판을 이용하여 시뮬레이션 하였다. Si-cap 두께와 산화층의 두께 그리고 SiGe층은 각각 3, 10nm와 40nm로 두 채널길이에 있어서 같은 값을 사용하였다.

소스/드레인은 시뮬레이션할 때 발생하는 도핑농도의 불균형을 조정하기 위하여 0.9 μm 에서는 $2\times 10^{15}/\text{cm}^2$, 20keV로 하였으며, 0.1 μm 에서는 $5\times 10^{15}/\text{cm}^2$, 10keV의 값을 사용하여 시뮬레이션 하였다. 위의 조건들을 표 1에 나타내었다.

표 1. SiGe pMOSFET의 시뮬레이션 조건
Table. The simulation conditions of SiGe pMOSFET

채널길이(μm)	0.9	0.1
기판농도	$\rho=10\Omega\text{-cm}$	$8\times 10^{16}/\text{cm}^2$
실리콘 버퍼(nm)	70	10
SiGe층(nm)	40	
산화층두께(nm)	10	
실리콘 캡(nm)	3	
소스/드레인 도핑농도	$2\times 10^{15}/\text{cm}^2$, 20keV	$5\times 10^{15}/\text{cm}^2$, 10keV

2-2. 시뮬레이션 결과

그림 2는 본 논문에서 디자인하여 시뮬레이션 한 구조가 타당함을 입증하여주는 전압-전류곡선을 보여주고 있다.

이때 드레인 전압은 0~-1.5V까지, 게이트 전압은 0~-2.0V까지 변화시키면서 시뮬레이션 하였다. 그림 2에서 알 수 있듯이 게이트 전압이 증가함에 따라 드레인 전류가 감소하는 pMOSFET의 특성을 보여주고 있으며, 본 논문에서 디자인한 SiGe pMOSFET의 구조가 타당함을 알 수 있다. 본 논문에서는 캐리어 전송 모델에 따른 전류-전압 특성을 조사하였으며, 이것은 그림 3에 나타내었다.

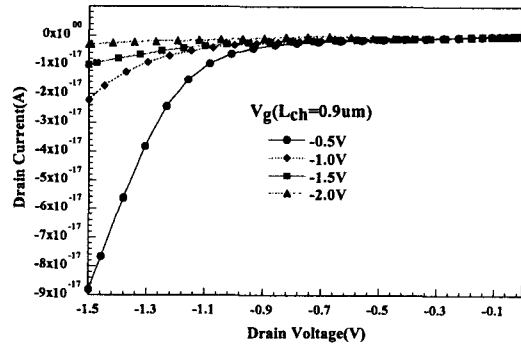


그림 2. 채널길이가 0.9 μm 인 SiGe pMOSFET의 전류-전압 특성곡선
Fig. 2 The current-voltage curves of SiGe pMOSFET at $L_{ch}=0.9\mu\text{m}$

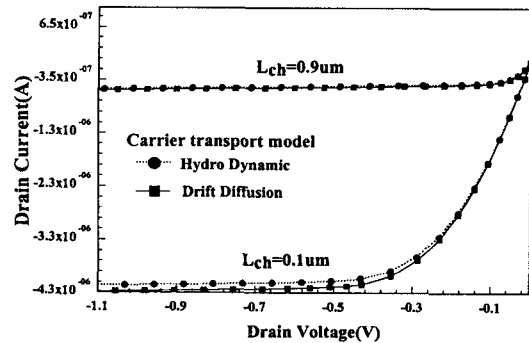


그림 3. 캐리어 전송모델에 따른 전류-전압 특성곡선
Fig. 3 The current-voltage curves on carrier transport model with channel length

캐리어 전송 모델중 시뮬레이션 결과 하이드

로 다이내믹 모델보다는 드리프트 확산 모델에서 전류가 많이 흐름을 알 수 있었으며, 그림 3에서 알 수 있듯이 채널길이가 작아짐에 따라 전류의 양이 증가함을 알 수 있었다.

그림 4는 채널길이 0.9 μm 에서 온도가 77, 300K 일 때 SiGe pMOSFET의 전기적 특성을 나타내고 있다. 결과적으로 온도가 증가함에 따라 드레인 전류의 양이 적어짐을 알 수 있었으며, 본 논문에서 디자인한 구조가 아주 낮은 온도에서도 우수하게 동작함을 알 수 있었다.

또한 본 논문에서는 SiGe pMOSFET의 문턱

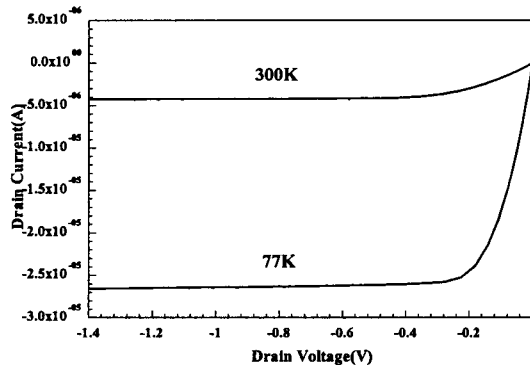


그림 4. 온도에 따른 전류-전압 특성곡선
Fig. 4 The current-voltage curves with temperature

전압을 조사하였다. 게이트 전압이 -1.5V로 인가되고, 게이트 길이가 0.9 μm 일 때, 300K에서는 -0.97V의 문턱전압 값을 얻었으나 77K에서는 -1.15V의 문턱전압 값을 얻었다. 이것은 실온에서의 Si pMOSFET가 갖는 문턱전압 값(-1.36V)보다 동작특성이 우수함을 알 수 있었다. 또한 게이트 길이가 0.1 μm 일 때 300K에서는 -1.4V의 문턱전압 값을 얻었으나 77K에서는 -1.42V의 문턱전압 값을 얻었다. 게이트 길이와 온도가 감소할수록 문턱전압 값은 증가함을 알 수 있었다.

그림 5는 본 논문에서 디자인하여 시뮬레이션한 SiGe pMOSFET의 전자-전류 농도(eCurrent Density)분포를 보여주고 있다.

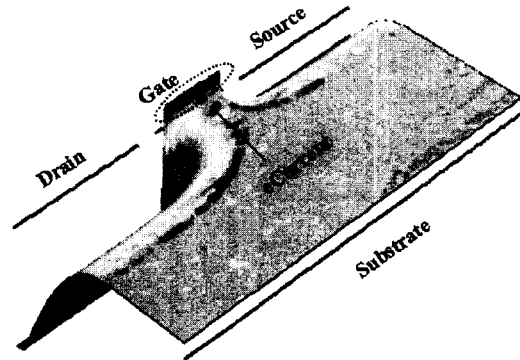


그림 5. SiGe pMOSFET의 전자-전류 농도 분포
Fig. 5 The electron-current density distribution of SiGe pMOSFET

이때, 게이트와 드레인은 각각 -2.0, -1.5V의 전압이 인가되었으며, 실온에서 시뮬레이션하였다. 게이트 전압으로 인하여 채널이 형성되어 있으며, 본 논문에서 디자인한 구조가 타당함을 증명할 수 있었다.

III. 결 론

본 논문에서는 SiGe pMOSFET를 디자인하여 시뮬레이션 하였다. 채널길이가 0.9 μm 에서 0.1 μm 로 작아지더라도 전기적 특성들이 우수하게 나왔으며, 캐리어 전송 모델중 하이드로 다이내믹 모델보다 드리프트 확산 모델에서 전류가 증가함을 알았다. 또한 300K에서 보다 77K에서 드레인 전류가 증가함을 알았다. 그러나 온도가 77K일 때 너무 작은 채널길이에서는 동작 특성이 나빠짐을 알았다.

게이트 길이가 0.9 μm 일 때, 300K에서는 -0.97V의 문턱전압 값을 얻었으나 77K에서는 -1.15V의 문턱전압 값을 얻었다. 이것은 실온에서의 Si pMOSFET가 갖는 문턱전압 값(-1.36V)보다 동작특성이 우수함을 알았다. 또한 게이트 길이가 0.1 μm 일 때 300K에서는 -1.4V의 문턱전압 값을 얻었으나 77K에서는 -1.42V의 문턱전압 값을 얻었다. 게이트 길이와 온도가 감소할수록 문턱전압 값은 증가함을 알았다.

감사의 글

본 연구는 2003도 군산대학교 두뇌한국21 사업에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참고문헌

- [1] Mantu Kumar Hudait, S.B. Krupanidhi, "Effects of thin oxide in metal-semiconductor and metal-insulator- semiconductor epi-GaAs Schottky diodes", *Solid-State Electronics*, Vol. 44, pp. 1089-1097, 2000
- [2] E. Gaubas, J. Vaitkus, K. M. Smith, "Monitoring of carrier lifetime in GaAs substrate-epi-layer structures by space-resolved transient microwave absorption", *Nuclear Instruments and Methods in Physics Research, A*, Vol. 460, pp. 35-40, 2001
- [3] G. S. Kar, S. Maikap, S. K. Banerjee and S. K. Ray, "Series resistance and mobility degradation factor in C-incorporated SiGe heterostructure p-type metal-oxide semiconductor field-effect transistors", *Semicond. Sci. Technol.*, Vol. 17, pp. 938-941, 2002
- [4] Mantu Kumar Hudait, S. B. Krupanidhi, "Atomic force microscopic study of surface morphology in Si-doped epi-GaAs on Ge substrates: effect of off-orientation", *Materials Research Bulletin*, Vol. 35, pp. 909-919, 2000
- [5] K. P. Roenker, D. Todorova, A. Breed, "Analysis of parasitic barriers formed at SiGe/Si heterojunctions due to p-n junction displacement", *Solid-State Electronics*, Vol. 46, pp. 1473-1483, 2002

저자소개

정학기(Hak-Kee Jung)

1983. 2 아주대학교 전자공학과 졸업(BS)

1985년 2월 연세대학교 대학원 전자공학과 석사졸업(MS)

1990년 8월 연세대학교 대학원 전자공학과 박사과정 졸업(Ph. D.)

1994년 7월~1995년 7월 일본 오사카대학 객원연구원
2003년 현재 군산대학교 전자정보공학부 학부장겸 BK21사업단 팀장

※관심분야: 반도체 및 통신소자

고석웅(Suk-Woong Ko)

1999년 2월 군산대학교 전자공학과 학사졸업

2001년 2월 군산대학교 전자공학과 석사졸업

2003년 현재 군산대학교 전자정보공학부 박사과정중

※관심분야: 반도체 및 통신소자