
저전압 플래시메모리를 위한 SONOS 비휘발성 반도체기억소자에 관한 연구

김병철* · 탁한호*

A Study on SONOS Non-volatile Semiconductor Memory Devices
for a Low Voltage Flash Memory

Byungcheul Kim* · Han-Ho Tack*

이 논문은 2002년도 진주산업대학교 기성회 연구비를 지원 받았음

요 약

저전압 프로그래밍이 가능한 플래시메모리를 실현하기 위하여 0.35 μm CMOS 공정 기술을 이용하여 터널링산화막, 질화막 그리고 블로킹산화막의 두께가 각각 2.4nm, 4.0nm, 2.5nm인 SONOS 트랜지스터를 제작하였으며, SONOS 메모리 셀의 면적은 1.32 μm^2 이었다. 질화막의 두께를 스케일링한 결과, 10V의 동작 전압에서 소거상태로부터 프로그램상태로, 반대로 프로그램상태에서 소거상태로 스위칭 하는데 50ms의 시간이 필요하였으며, 최대 메모리윈도우는 1.76V이었다. 그리고 질화막의 두께를 스케일링함에도 불구하고 10년 후에도 0.5V의 메모리 윈도우를 유지하였으며, 105회 이상의 프로그램/소거 반복동작이 가능함을 확인하였다. 마지막으로 부유게이트 소자에서 심각하게 발생하고있는 과도소거현상이 SONOS 소자에서는 나타나지 않았다.

ABSTRACT

Polysilicon-oxide-nitride-oxide-silicon(SONOS) transistors were fabricated by using 0.35 μm complementary metal-oxide-semiconductor(CMOS) process technology to realize a low voltage programmable flash memory. The thickness of the tunnel oxide, the nitride, and the blocking oxide were 2.4nm, 4.0nm, and 2.5nm, respectively, and the cell area of the SONOS memory was 1.32 μm^2 . The SONOS device revealed a maximum memory window of 1.76V with a switching time of 50ms at 10V programming, as a result of the scaling effect of the nitride. In spite of scaling of nitride thickness, memory window of 0.5V was maintained at the end of 10 years, and the endurance level was at least 105 program/erase cycles. Over-erase, which was shown seriously in floating gate device, was not shown in SONOS device.

키워드

SONOS, Flash memory, Low programming voltage, Non-volatile, Nitride scaling

1. 서 론

플래시메모리에 적용되고 있는 소자구조는 2층 다결정실리콘을 사용한 부유 게이트형 적층 게이트(stacked gate) 구조가 주류를 형성하고 있다^[1]. 이 구조는 프로그램을 위해 주로 CHE(channel hot

electron) 주입방식을 이용하기 때문에 프로그램전압이 높고, 낮은 주입효율로 인해 소비전류가 크며, 기억전하가 전도성 다결정 실리콘에 연속적인 공간분포를 갖는 자유전하로서 저장되기 때문에 과도소거에 대한 문제가 심각하며, 기억유지특성이 터널링 산화막내 핀 홀(pin-hole) 결함에 영향을 받기 쉬워 산

화막의 두께를 스케일링(scaling)하는 것이 한계가 있다. 이에 비해 전하트랩형 SONOS(Polysilicon-Oxide-Nitride-Oxide-Silicon) 소자구조는 프로그램/소거를 위해 MFN(Modified Fowler-Nordheim) 터널링 방식을 사용하므로 소모전류가 작으며, 질화막의 스케일링이 가능하여 저전압화가 용이하다^[2]. 기억전하가 ONO 삼중 게이트 유전막의 질화막에 공간적으로 고립된 깊은 준위(deep level)트랩에 저장되기 때문에 기억유지특성이 우수하다. 또한 게이트 절연막 형성공정을 제외하면 기존의 CMOS 공정기술을 그대로 이용할 수 있기 때문에 공정개발에 대한 새로운 투자비용이 요구되지 않으며, 내방사능 특성이 우수하여 위성 및 통신, 군사용에 그 응용이 집중되고 있다^[3-5].

SONOS 비휘발성 메모리소자는 저 전압 프로그래밍 동작을 실현하기 위하여 유전막의 최적 두께 및 공정조건에 대한 연구가 진행되고있다^[6-9]. Weinberg 등은 질화막을 60~100Å으로 얇게 할 경우 블로킹산화막 형성공정으로 인하여 질화막과 터널링산화막의 물리적, 화학적 특성이 변화될 가능성이 있기 때문에 질화막의 두께를 그 이하로 스케일링하는 것은 한계가 있다고 보고하였다^[10]. 이러한 ONO 유전막의 물리적, 화학적 특성변화는 프로그래밍전압 및 속도, 기억유지특성, 프로그램/소거 반복에 대한 전기적 내구성 등의 기억특성에 중대한 영향을 미친다. 본 논문은 저전압 프로그래밍이 가능한 SONOS 플래시메모리를 실현하는데 목적을 두고 있다. 이를 위하여 0.35 μ m CMOS 공정 기술을 이용하여 터널링산화막, 질화막, 그리고 블로킹산화막의 두께가 각각 2.4nm, 4.0nm, 2.5nm인 SONOS 트랜지스터를 제작하였다. 질화막의 스케일링에 따른 프로그래밍 특성, 기억유지특성, 전기적 내구성 등의 기본적인 기억특성을 조사하였다. 그리고 부유게이트 소자구조에서 심각하게 발생하고있는 과도소거현상이 SONOS 소자구조에서도 나타나는지를 조사하기 위하여 프로그램과 소거동작을 반복한 후 문턱전압의 변화를 조사하였다.

II. 본 론

n-채널 SONOS 트랜지스터의 전기적 프로그램과 소거에 대한 동작원리를 그림 1에 나타내었다.

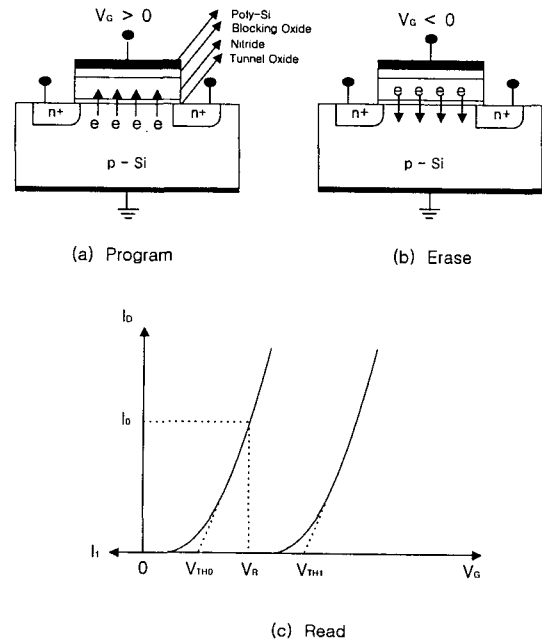


그림 1. SONOS 트랜지스터의 동작원리
Fig. 1 Operating principles of SONOS transistor

3중 ONO 절연막 구조를 갖는 SONOS 비휘발성 기억소자는 게이트에 인가되는 프로그래밍 전압에 의해 전하를 질화막내로 주입할 수 있을 뿐만 아니라 제거 할 수도 있다. 그림 1(a)와 같이 소자의 게이트에 인가되는 양(+) 전압의 크기와 시간에 따라 소자의 채널영역으로부터 전자는 터널링산화막을 MFN(Modified Fowler-Nordheim) 터널링에 의해 질화막 내의 트랩으로 주입된다. 질화막 내에 트랩된 전자는 문턱전압을 양의 전압방향으로 이동시키고 (V_{TH1}) SONOS 트랜지스터는 저전도 상태(I_1)가 된다. 그림 1(b)와 같이 소자의 게이트에 음(-) 전압이 인가되면 채널로부터 얇은 산화막을 직접 터널링하여 질화막 내의 트랩으로 홀이 주입된다. 질화막 내에 저장된 양 전하는 소자의 문턱전압을 음의 전압방향으로 움직이게 하고(V_{TH0}) SONOS 트랜지스터는 고전도 상태(I_0)가 된다. 따라서 그림 1(c)와 같이 읽

기 전압(V_R)을 인가했을 때 프로그램된 상태의 전류(I_1)와 소거된 상태의 전류(I_0)가 상당히 큰 차이를 나타냄으로써 기억상태를 구분할 수가 있게 된다.

III. 소자제작

SONOS 트랜지스터는 산화막-질화막-산화막으로 구성된 게이트 절연막을 제외하면 MOS 트랜지스터와 동일한 구조를 갖고 있으므로 기존의 CMOS 공정기술을 적용하여 제작할 수 있다. 본 연구에서는 $0.35\mu\text{m}$ CMOS 공정에 ONO 메모리 셀 공정을 추가시켰으며, 리트로그래이드 트윈 웰, 이층 다결정실리콘, 이층급속배선을 사용하였다. 제작된 SONOS 트랜지스터의 단면구조를 그림 2에 나타내었다.

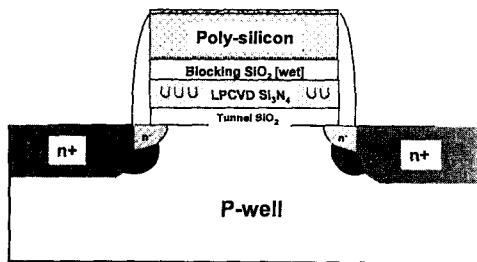


그림 2. SONOS 트랜지스터의 단면구조
Fig. 2 The cross sectional view of SONOS transistor

메모리 셀의 게이트 절연막인 ONO의 두께는 각각 2.4nm, 4.0nm, 2.5nm이며, 페리페럴(peripheral) 트랜지스터의 게이트 산화막의 두께는 6.8nm이다. 메모리 셀의 게이트 전극과 페리페럴 트랜지스터의 게이트 전극을 별도로 형성하기 때문에 이층 다결정실리콘 공정이 필요하며, 소오스와 드레인은 LDD 구조이고, 펀치스투우(punch-through) 현상을 방지하기 위하여 halo 이온주입공정을 적용하였다. 게이트 절연막은 실리콘 기판 위에 터널링산화막, 질화막, 그리고 블로킹산화막을 차례로 적층하였다. 실리콘 기판 위의 산화막을 터널링산화막이라고 하며 실리콘 기판으로부터 실리콘 질화막의 트랩으로 전자를 주입할 수 있도록 충분히 얇은 두께로 형성되어야 한다. 터널링산화막은 900°C 에서 질소로 희석시킨 산소(O_2 5%)를 사용하여 상압에서 건식 산화하였다. 성장된 터널링

산화막의 두께는 분광 엘립소미터(spectroscopic ellipso-meter)로 측정하였으며, 200nm 웨이퍼의 상, 중, 하, 좌, 우의 위치에서 측정된 두께는 각각 2.4nm, 2.5nm, 2.4nm, 2.3nm, 2.3nm이었다. 질화막은 질화막내의 트랩에 전자를 저장하기 위한 기억영역으로 사용된다. 770°C 에서 SiH_2Cl_2 와 NH_3 의 혼합 가스($\text{SiH}_2\text{Cl}_2 : \text{NH}_3 = 30 \text{ sccm} : 330 \text{ sccm}$)를 반응시켜 55Pa의 감압로에서 터널링산화막 위에 증착하였으며, 증착율은 $11.6 \text{ \AA} / \text{min}$ 이다. 실리콘 기판 위에 질화막만이 증착된 시료로부터 분광 엘립소미터를 사용하여 두께를 측정된 결과 89.6 \AA 이었다. 또 다른 산화막은 다결정 실리콘 전극과 실리콘 질화막 사이에 있으며, 실리콘 질화막으로 주입된 전자가 게이트 전극으로 빠져나가는 것을 막기 위한 역할을 하며 블로킹산화막이라고 한다. 950°C , 상압에서 $\text{H}_2 : \text{O}_2 = 5 \text{ L/min} : 10 \text{ L/min}$ 인 혼합가스를 사용해서 습식 산화방법으로 질화막 위에 성장시켰다. 블로킹 산화막의 두께와 블로킹 산화막 성장 후의 최종 질화막 두께를 정확히 결정하기 위하여 영상의 중첩이 발생하지 않은 얇은 두께에서 XTEM(cross sectional transmission electron microscopy; Philips CM300)을 이용하여 측정하였다. XTEM 촬영을 위한 시료는 ONO 유전막 위에 3500 \AA 두께의 다결정 실리콘이 증착된 SONOS 구조를 사용하였으며, 각 유전막의 두께는 단결정 실리콘 기판의 원자간격으로부터 결정된 길이 척도를 사용하여 측정하였고, 분해능은 0.1nm 이었다. 블로킹산화막과 질화막의 두께는 각각 2.5nm 와 4.0nm 로 확인되었다.

$0.35\mu\text{m}$ 설계규칙을 적용하여 제작한 SONOS 메모리의 셀 어레이 평면도와 단위 셀을 그림 3에 나타내었으며 구현된 메모리 셀의 면적은 $1.32\mu\text{m}^2$ 이었다. 소자구조의 단면도에서 알 수 있듯이 3층의 게이트 절연막과 1층의 다결정 실리콘 전극으로 구성되어 있어 부유게이트에 비해 상당히 간단한 구조임을 알 수 있다.

표준로직공정에 ONO 메모리 셀 공정을 임베디드할 경우 주요공정은 그림 4와 같다. 게이트 스택 식각시 SONOS구조는 부유게이트 구조보다 주변의 논리 트랜지스터(peripheral transistor)와의 구조적 단차가 작기 때문에 게이트 적층 식각으로 인한 실리콘 기판 및 게이트 절연막의 손상을 감소시킬 수 있어서 표준로직공정과 메모리 셀 공정의 통합공정에

대한 공정자유도가 높음을 알 수 있다. 또한 메모리 셀의 면적을 감소시키기 위하여 공통 소오스로서 n+ 확산영역을 형성하는데 이때 SAS(self-align source) 공정을 사용한다. SAS 공정에서 액티브 영역과 필드 영역의 단차가 크기 때문에 실리콘과 산화막의 건식 식각의 선택비를 1:30 이상으로 공정을 수행하였다.

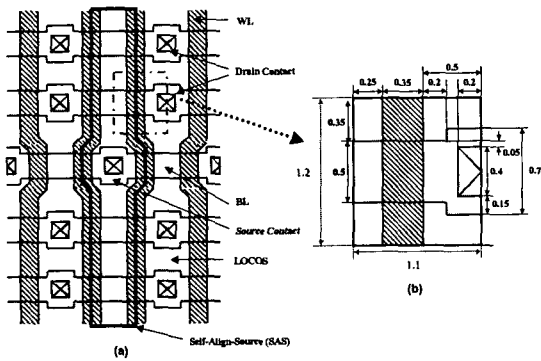


그림 3. 0.35 μm 설계규칙을 적용하여 제작한 SONOS 메모리의 (a) 셀 어레이 평면도와 (b) 단위 셀
 Fig. 3 (a) Cell layout and (b) an unit cell of SONOS memory fabricated by using 0.35 μm design rule

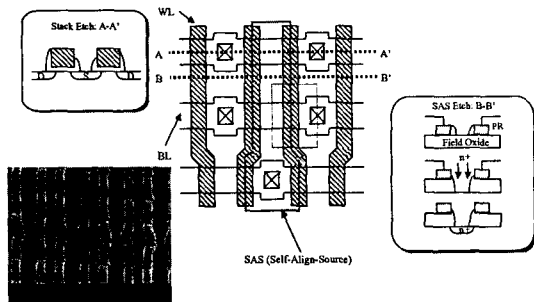


그림 4. 표준로직공정에 SONOS 메모리 셀 공정을 임베디드 할 경우 주요공정
 Fig. 4 Key process for SONOS memory cell embedded standard logic process

IV. 결과 및 고찰

프로그래밍전압의 크기와 시간에 따른 SONOS

트랜지스터의 문턱전압을 측정된 결과는 그림 5와 같다.

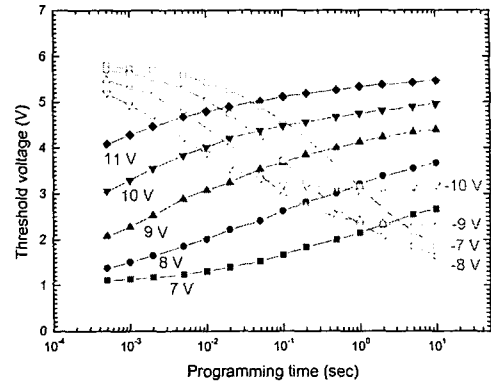


그림 5. SONOS 트랜지스터의 프로그래밍 특성
 Fig. 5 Programming characteristics of a SONOS Transistor

프로그램 특성을 측정하기 위하여 소자의 게이트에 음의 전압을 인가하여 소거상태가 되도록 항상 측정 초기상태의 문턱전압을 1.0V로 조절된 상태에서 프로그램 전압을 인가하였다. 소거 특성을 측정하기 위하여 소자의 게이트에 양의 전압을 인가하여 프로그램상태가 되도록 항상 측정 초기상태의 문턱전압을 6.0V로 조절한 후 소거전압을 인가하였다. 그림 5의 결과로부터 프로그래밍 전압에 따른 cross-over 시간을 결정하여 그림 6에 나타내었다.

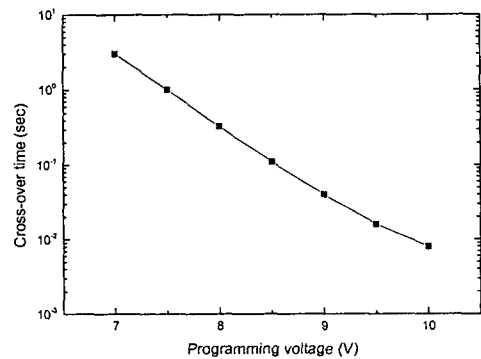


그림 6. 프로그래밍 전압에 따른 cross-over 시간
 Fig. 6 Cross-over time as a function of programming voltage

Cross-over 시간은 동일한 크기의 프로그램전압과 소거전압을 사용하여 프로그램과 소거상태에서 각각 측정된 문턱전압이 교차하는 시간으로 정의한다. 그림 6의 결과로부터 프로그래밍 전압이 증가할수록 프로그램상태에서 소거상태로, 소거상태에서 프로그램상태로 스위칭하는 시간이 감소됨을 알 수 있다. 이 결과는 반대로 프로그래밍 전압을 저전압화하면 프로그래밍 시간이 증가한다는 것을 의미한다. 따라서 그림 5의 결과를 보면 메모리 윈도우를 약 1V 정도 유지하기 위해서는 10V의 프로그래밍 전압에서 소거상태로부터 프로그램상태로, 반대로 프로그램상태로부터 소거상태로 스위칭하는 데 50ms의 시간이 필요함을 알 수 있다. 10V의 동작전압에서 최대 메모리윈도우는 1.76V임을 확인하였다. 그리고 소거동작의 경우, -9.0V 이상에서는 소거전압이 클수록 오히려 더 높은 문턱전압 값을 나타내었으며, 문턱전압의 포화되는 시간이 짧아짐을 알 수 있다. 이것은 터널링산화막에 걸리는 전기장이 감소하게 되고 플로킹산화막에 걸리는 전기장은 증가하게 되어 게이트로부터 전자가 주입되게 되므로 더 이상 문턱전압이 감소되지 않기 때문이다^[11].

SONOS 트랜지스터의 기억유지특성을 조사하기 위하여 프로그램과 소거상태에서 경과 시간에 따른 문턱전압을 측정한 결과는 그림 7과 같다. 기억유지 특성을 측정하기 위하여 10V의 전압으로 프로그램 하였으며, 소거는 -10V를 사용하였다. 프로그램과 소거시간은 50ms로 동일하였다.

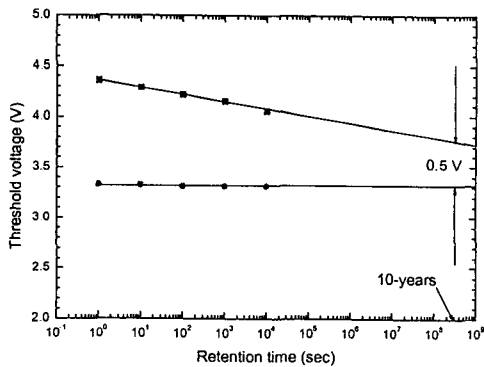


그림 7. SONOS 트랜지스터의 기억유지특성
Fig. 7 Retention characteristics of a SONOS transistor

그림 7에서 실선으로 나타낸 직선들은 문턱전압의 감쇠율(decay rate)을 구하기 위하여 측정값으로부터 최소자승법을 사용하여 구한 것이고, 10^4 sec 이후는 이 직선들로부터 예상되는 경향을 나타낸 것이다. 10년 후에도 0.5V의 메모리 윈도우가 유지됨을 알 수 있다. 프로그램 상태의 문턱전압은 경과시간에 따라서 선형적으로 감소하였으나, 소거상태의 감쇠율은 시간이 경과함에 따라서 거의 일정하였다. 프로그램 상태보다 소거상태에서의 감쇠율이 낮은 것은 플로킹산화막과 질화막 사이의 포텐셜 장벽 차이가 전자(1.05eV)보다 홀(1.85eV)의 경우가 더 큼으로 플로킹산화막은 홀에 대해서 더 큰 플로킹 효과를 갖기 때문이다^{[12][13]}. 두 번째 이유는 전자트랩밀도($7 \times 10^{18} \text{ cm}^{-3}$)보다 홀트랩밀도($1.2 \times 10^{20} \text{ cm}^{-3}$)가 더 많으므로 측정된 홀이 질화막 내로 더 깊이 분포하여, 더 적은 수의 홀이 기판으로 후방터널링(back-tunneling)하기 때문이다^[14].

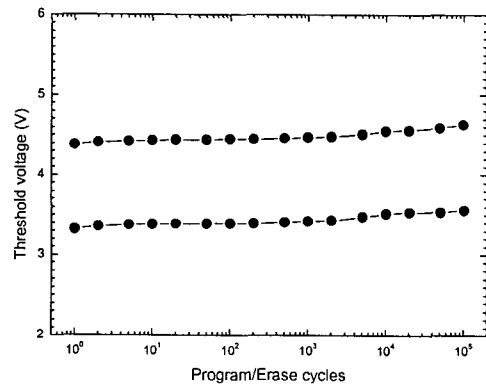


그림 8. SONOS 트랜지스터의 전기적 내구성
Fig. 8 Endurance characteristics of a SONOS transistor

프로그램과 소거동작의 반복에 따른 문턱전압을 측정한 전기적 내구성에 관한 결과를 그림 8에 나타내었다. 프로그램은 10V/50ms, 소거는 -10V/50ms의 전압조건으로 105회 반복하였다. 메모리 윈도우의 크기는 약 1V로서 105회 반복 후에도 유지됨을 알 수 있다.

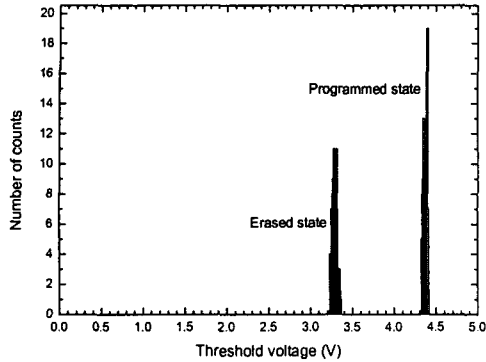


그림 9. 프로그램과 소거 동작 반복 후 문턱전압분포
Fig. 9 Threshold voltage distribution after repeated program/erase cycles

프로그래밍 횟수에 따른 문턱전압의 분포를 조사하기 위하여 프로그램전압은 10V/50ms, 소거전압은 -10V/50ms의 프로그래밍 조건으로 프로그램과 소거를 50회 반복하면서 매회 측정된 문턱전압의 분포는 그림 9와 같다. 프로그램과 소거 후 문턱전압은 각각 0.2V 이내에 모두 분포함을 확인할 수 있다. 이러한 특성은 전하트랩형 소자가 갖고 있는 장점 중의 하나로서 부유게이트형의 플래시메모리에서 현재 문제가 되고 있는 과도소거로 인한 복잡한 베리파이과정 (verifying process)이 SONOS 트랜지스터에서는 필요하지 않음을 알 수 있다.

V. 결 론

본 논문은 저전압 플래시메모리를 실현하는데 그 목적이 있다. 이를 위하여 0.35 μ m CMOS 공정 기술을 이용하여 터널링산화막, 질화막, 그리고 블로킹산화막의 두께가 각각 2.4nm, 4.0nm, 2.5nm인 SONOS 트랜지스터를 제작하였다. 질화막의 두께를 4.0nm로 스케일링하여 10V의 프로그래밍 전압을 실현하였으며, 질화막 두께의 감소에도 불구하고 10년 이상의 우수한 기억유지특성과 105회 이상의 전기적 내구성을 얻을 수 있었다. 부유게이트 소자구조에서 심각하게 발생하고있는 과도소거현상이 SONOS 소자구조에서는 나타나지 않았다. 따라서 SONOS 소자구조

를 이용하여 저전압 플래시메모리를 실현할 수 있다.

감사의 글

본 연구는 2002년도 진주산업대학교 기성회 연구비 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

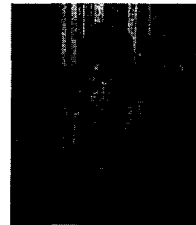
참고문헌

- [1] G. Verma and N. Mielke, "Reliability of ETOX based flash memories," Proc. IRPS, p. 158, 1988.
- [2] B. V. Keshavan and H. C. Lin, "MONOS memory element," IEDM, p. 140, 1968.
- [3] 고석용, 정학기, "나노 구조 Double Gate MOSFET의 핀치오프특성에 관한 연구," 한국해양정보통신학회논문지, vol. 6, no. 7, p. 1074, 2002.
- [4] M. C. Peckerar and N. Bluzer, "Hydrogen annealed nitride/oxide dielectric structures for radiation hardness," IEEE Trans. Nucl. Sci., vol. NS-27, p. 1753, 1980.
- [5] W. D. Brown, R. V. Jones, and R. D. Nasby, "The MONOS memory transistor: application in a radiation-hard nonvolatile RAM", Solid-State Electronics, vol. 28, no. 9, p. 877, 1985.
- [6] M. H. White, Y. Yang, A. Purwar, and M. French, "A low voltage SONOS nonvolatile semiconductor memory technology," IEEE Trans. Comp. Pack. Manu. Tech., vol. 20, p. 190, 1997.
- [7] Y. Yatsuda, T. Hagiwara, S. Minami, R. ondo, K. Uchida, and K. Uchiumi, "Scaling down MNOS nonvolatile memory devices," Jap. J. Appl. Phys., vol. 21, S21-1, p. 85, 1982.
- [8] E. Suzuki, H. Hiraishi, K. Ishi, and Y. Hayashi, "A low voltage alterable EEPROM with metal-oxide-nitride-oxide- semiconductor (MONOS) structure," IEEE Trans. Elect. Dev., vol. ED-30, p. 122, 1983.
- [9] F. R. Libsch, A. Roy, and M. H. White,

- "Amphoteric trap modeling of multi-dielectric scaled SONOS nonvolatile memory structures, 8th NVSM, 1986.
- [10] Z. A. Weinberg, K. J. Stein, T. N. Nguyen, and J. Y. Sun, "Ultrathin oxide-nitride-oxide films," Appl. Phys. Lett., vol. 57, no. 12, p. 1248, 1990.
- [11] H. Reisinger, M. Franosch, B. Hasler, and T. Bohm, "A Novel SONOS structure for nonvolatile memories with improved data retention," VLSI Tech. Digest Tech. Symp. 9A-2, 1997.
- [12] F. R. Libsch, A. Roy, and M. H. White, "Charge transport and storage of low programming voltage SONOS/MONOS memory devices," Solid-State Electronics, vol. 33, no. 1, p. 105, 1990.
- [13] J. A. Topich and E. T. Yon, "The effects of high temperature annealing on MNOS devices," J. electrochem. Soc., vol. 123, p. 535, 1976.
- [14] S. Minami and Y. Kamigaki, "New scaling uidelines for MNOS nonvolatile memory devices," IEEE Transactions on Electron Devices, vol. 38, no. 11, p. 2519, 1991.

저자소개

김병철(Byungcheul Kim)



1988년 2월 광운대학교 전자재료공학과 공학사
 1990년 2월 광운대학교 전자재료공학과 공학석사
 2001년 2월 광운대학교 전자재료공학과 공학박사

1990년 1월~2000년 4월 (주)KEC 종합연구소 선임연구원

2001년 1월~8월 고려대학교 BK21 Post-doctoral

2001년 9월~현재 국립진주산업대학교 전자공학과 전임강사

2002년 12월~현재 삼성종합기술원 자문교수

※관심분야: 전하트랩형 비휘발성 기억소자, 플래시메모리, 단전자 트랜지스터(Single Electron Transistor)/메모리, 나노재료 및 소자

탁한호(Han-Ho Tack)



1987년 2월 부경대학교 전자공학과 공학사

1992년 2월 동아대학교 전자공학과 공학석사

1998년 2월 한국해양대학교 전자공학과 공학박사

1987년 1월~1989년 2월 (주)홍창 부설연구소 연구원

1989년 3월~현재 국립진주산업대학교 전자공학과 부교수

※관심분야: 멀티미디어시스템, 퍼지-신경망시스템, 로봇틱스, 트랜스포테이션 등