
초고속 동작을 위한 더블 게이트 MOSFET 특성 분석

정학기* · 김재홍*

Analysis of Double Gate MOSFET characteristics for High speed operation

Hak-kee Jung* · Jae-hong Kim*

이 논문은 2002년도 군산대학교 두뇌한국21 사업에 의하여 일부 지원되었음

요 약

본 논문에서는 main gate(MG)와 side gate(SG)를 갖는 double gate(DG) MOSFET 구조를 조사하였다. MG가 50nm일 때 최적의 SG 전압은 약 3V임을 알 수 있었고, 각각의 MG에 대한 최적의 SG 길이는 약 70nm임을 알 수 있었다. DG MOSFET는 매우 작은 문턱 전압 roll-off 특성을 나타내고, 전류-전압 특성곡선에서 $V_{MG}=V_{DS}=1.5V$, $V_{SG}=3V$ 인 곳에서 포화전류는 $550\mu A/\mu m$ 임을 알 수 있었다. subthreshold slope는 $82.6mV/decade$, 전달 컨덕턴스는 $114\mu A/\mu m$ 그리고 DIBL은 $43.37mV$ 이다. 다중 입력 NAND 게이트 로직 응용에 대한 이 구조의 장점을 조사하였다. 이때, DG MOSFET에서 41.4MHz의 매우 높은 컷오프 주파수를 얻을 수 있었다.

ABSTRACT

In this paper, we have investigated double gate (DG) MOSFET structure, which has main gate (MG) and two side gates (SG). We know that optimum side gate voltage for each side gate length is about 3V in the main gate 50nm. Also, we know that optimum side gate length for each for main gate length is about 70nm. DG MOSFET shows a small threshold voltage roll-off. From the I-V characteristics, we obtained $I_{DSat}=550\mu A/\mu m$ at $V_{MG}=V_{DS}=1.5V$ and $V_{SG}=3.0V$ for DG MOSFET with the main gate length of 50nm and the side gate length of 70nm. The subthreshold slope is $86.2mV/decade$, transconductance is $114\mu A/\mu m$ and DIBL (Drain Induced Barrier Lowering) is $43.37mV$. Then, we have investigated the advantage of this structure for the application to multi-input NAND gate logic. Then, we have obtained very high cut-off frequency of 41.4MHz in the DG MOSFET.

키워드

main gate, side gate, double gate, threshold voltage, subthreshold slope

1. 서 론

1930년에 FET(field effect transistor)의 기본 개념이 도입된 이후 집적회로들의 일부분이 되어졌고, 현재 전자 산업에 있어서 가장 중요한 소자가 되었다. 그러나, 지난 20년 동안 CMOS 기술의 두드러진 성장으로 인하여 스케일링 기술과 소자의 크기는 나노 영역의 기본적인 물리적인 한계에 도달하게 되었

다. 소자의 속도와 특성을 개선시키기 위해 MOS(metal oxide semiconductor) 소자의 크기는 매우 작아지게 되었고, 최근 MOS 소자들이 50nm 이하로 작아짐에 따라 소자 설계에 있어서 고려해야 할 여러 가지 문제점들이 나타나게 되었다. 이런 문제들을 해결하기 위해 여러 가지 방법들이 제시되고 있는데, 본 논문에서는 하나의 메인 게이트(main gate, MG)와 두 개의 측면 게이트(side gate, SG)를

갖는 더블 게이트(double gate, DG) MOSFET에 대해 조사하였다[1]-[3]. 이때, 긴 SG 길이는 증가된 저항 때문에 특성 저하의 결과를 낳게 된다. 반대로, 너무 짧은 SG 길이는 단 채널 효과를 거의 억압할 수 없다. 따라서, 적당한 SG가 필요하다. 이러한 이유 때문에 적당한 SG 길이를 얻기 위해 SG와 MG의 길이를 100nm에서 40nm까지 스케일링하여 소자의 특성을 조사하였다.

소자의 특성을 조사하기 위해 시뮬레이션 툴인 ISE-TCAD를 사용하여 SG 길이와 SG 전압에 대한 문턱 전압의 변화를 조사하였고, 이때 얻어진 최적의 SG 전압과 SG 길이를 가지고 MG 50nm에서 subthreshold slope, I-V 특성 곡선, 전달 컨덕턴스(transconductance; gm) 및 컷오프 주파수(Cut-off frequency)와 같은 전기적 특성을 조사하였다.

II. TCAD를 이용한 공정설계

본 논문에서는 ISE-TCAD에 있는 DIOS를 사용하여 소자를 설계하였다. 소자의 공정순서를 보면, 먼저 p-형 실리콘(100)이 기판물질로 사용되었고, 일반적으로 낮은 도핑을 하게 된다. 이것은 기판에서 MOSFET에 대한 소스와 드레인 영역의 공핍층은 더 커지고, 이들 접합의 기생 접합 커패시턴스는 작아지게 될 것이라는 것을 의미한다. 기판 위에 4nm의 게이트 산화막층을 성장시켰고, 산화막을 성장시킨 후 폴리 실리콘은 저압 화학 기상 증착법(low pressure chemical vapor deposition, LPCVD)에 의해 증착 시켰다. 증착된 폴리 실리콘은 SG 형태로 형성되고, 광 리소그래피(photolithography) 마스크에 의해 MOSFET에서 게이트 길이가 형성된다. 그 후, 폴리 실리콘 게이트를 에칭 하였다.

이런 과정에 있어서 게이트와 소스/드레인은 자기정렬을 하게 된다. 소스와 드레인 영역은 $As^+(5 \times 10^{15} cm^{-2}, 30keV)$ 이온을 이온 주입하였다. 불순물은 급속 열처리(Rapid Thermal Annealing, RTA)에 의해 즉, 1050°C에서 5초 동안의 열처리로 인해 활성화되었다. 이온 주입 후, 질화물 층을 증착 시키고 수직 sidewall을 형성하기 위해 반응성 이온 에칭(RIE)에 의해 비 등방성 에칭

을 하고 MG와 SG 사이에 산화막층을 형성시키기 위해 화학 기상 증착법에 의해 균등하게 산화막 층을 증착 시켰다.

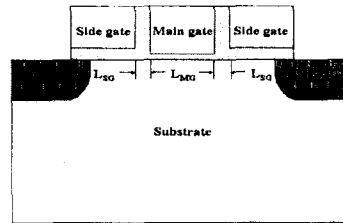


그림 1. 더블 게이트 MOSFET 구조
Fig. 1 Structure of DG MOSFET

MG 창을 만들기 위해 SG를 에칭 한 후, 메인 폴리 게이트를 에칭 하였다. 에칭 후, SG와 MG 사이의 산화막 층은 4nm로 형성하였다. 채널영역은 $BF_2^+(1 \times 10^{13} cm^{-2}, 70keV)$ 이온을 이온 주입 시켰다. 이때, 채널 도핑은 문턱 전압을 조절하는 역할을 한다. 채널 영역 이온 주입 후, MG 산화막은 3nm로 증착 하고, MG에 폴리 실리콘을 증착 하였다. 마지막으로, 소스와 드레인에 도선을 연결하였다. 위 공정에 대한 구조를 그림 1에 나타내었다.

소자의 특성을 분석하기 위해 먼저 게이트 길이에 대한 문턱 전압을 조사하였다. 문턱 전압을 구하는 많은 방법들이 조사되고 연구되어져 왔다[4]. 본 논문에서는 드레인 전류 축을 로그크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는 지점의 전압을 구하는 방법을 사용하여 문턱 전압을 구하였다[5].

III. 결과 및 고찰

3.1 문턱전압 효과

그림 2는 50nm의 MG를 갖는 DG MOSFET에서 SG 전압에 대한 문턱 전압의 roll-off 특성을 나타낸 것이다. 그림은 SG 길이의 변화에 따른 문턱전압의 변화를 나타낸 것이다. 이때 드레인 전압은 0.05V이고 SG 전압은 1V에서 5V까지 인가하였다. 100nm의

SG를 갖는 DG MOSFET에서 SG 전압이 5V일 때 문턱 전압은 0.506V이고 SG 전압이 3V일 때 문턱 전압은 약 0.501V이다. 이때 문턱 전압의 변화는 MG 100nm를 기준으로 했을 때 약 1% 이하로 매우 작다. 그러나 SG 전압이 3V보다 작다면 문턱 전압의 변화는 1% 이상으로 매우 커지게 된다. 다시 말해서 SG 전압이 3V보다 크다면, SG 전압에 대한 문턱 전압은 SG 길이의 변화에 관계없이 거의 변하지 않는다. 즉, 강 반전층이 형성되면 부가적인 SG 전압은 필요하지 않는다는 것을 알 수 있었다.

그림 3은 SG 전압이 3V일 때 SG 길이에 따른 문턱전압의 변화를 나타낸 것이다. 이때 MG 길이는 40nm에서 100nm까지 스케일링하였다. 그림에서 SG 길이가 100nm일 때 50nm의 MG를 갖는 DG MOSFET의 문턱 전압은 약 0.501V이고 SG 길이가 70nm일 때 문턱 전압은 약 0.501V로 문턱 전압의 변화가 거의 없다는 것을 알 수 있었다. 즉, SG 길이가 70nm보다 크다면 문턱 전압은 거의 변하지 않는다는 것을 알 수 있었다.

그림 4는 시뮬레이션 되어진 소자의 MG 길이에 대한 문턱 전압의 roll-off 특성을 나타낸 것이다. 그림에서 보듯이 MG 길이가 감소할수록 문턱 전압은 낮아지는 것을 볼 수 있다. MG 길이가 100nm에서 40nm까지 스케일링되어질 때 70nm의 SG를 갖는 DG MOSFET의 문턱 전압의 변화는 약 24mV정도를 얻을 수 있다. 이런 결과로 인해 우리는 SG 길이가 70nm 이상이고 SG 전압이 3V일 때 DG MOSFET는 최소의 roll-off 특성을 유지한다는 것을 알 수 있다. 또한, MG 길이가 감소할수록 문턱 전압은 작아짐을 알 수 있었다. 그림 2, 3, 4에서 볼 수 있듯이 게이트 길이에 대한 문턱 전압의 변화를 1% 정도로 유지시키기 위한 SG 길이는 70nm이고, 이때 SG 전압은 3V임을 알 수 있었다.

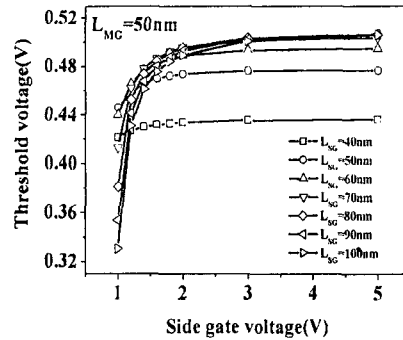


그림 2. SG 전압에 대한 문턱 전압의 변화
Fig. 2 Variety of threshold voltage for SG voltage

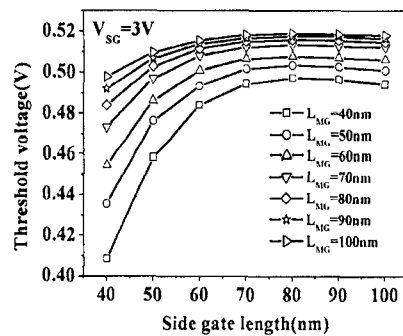


그림 3. SG 길이에 대한 문턱 전압
Fig. 3 Threshold voltage for SG length

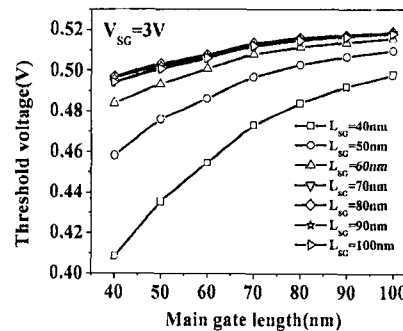


그림 4. MG 길이에 대한 문턱 전압
Fig. 4 Threshold voltage for MG length

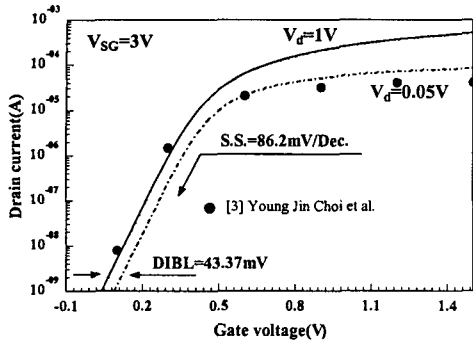


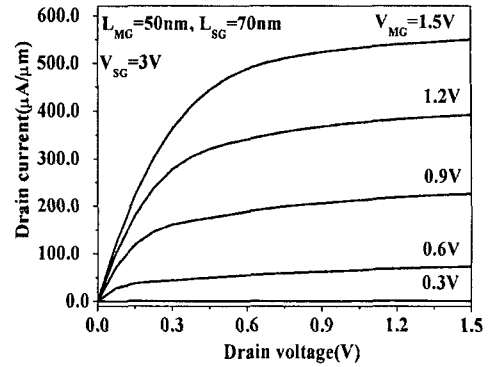
그림 5. MG 50nm MOSFET의 subthreshold 특성
Fig. 5 Subthreshold characteristics in MG 50nm MOSFET

3.2 Subthreshold 특성

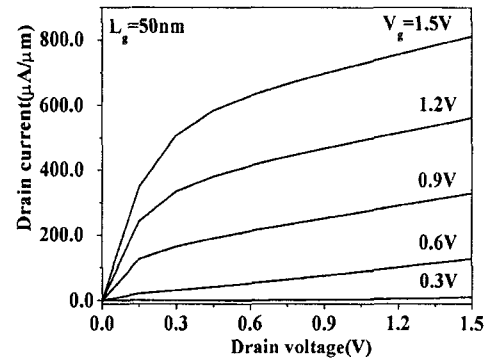
그림 5는 70nm의 SG 길이를 갖는 MG 50nm MOSFET의 subthreshold slope를 나타낸 것이다. subthreshold 동작은 MOSFET 소자의 스위칭을 나타내기 때문에 디지털 로직이나 메모리 회로들과 같은 저 전압, 저 전력 응용에 있어 특히 중요하다. 작은 채널길이를 갖는 MOSFET에서 적당히 스케일링 되지 않고 소스/드레인 접합이 너무 깊고, 채널 도핑이 너무 낮다면 소스와 드레인 사이엔 드레인 유기 장벽감소(Drain Induced Barrier Lowering, DIBL)로 알려진 의도하지 않은 정전기적인 상호작용이 있을 수 있는데 이는 소스와 드레인 사이에 펀치 스루 누설이나 항복(breakdown)을 가져오고 게이트의 제어능력을 상실하게 된다. 본 논문에서는 DIBL 값이 43.37mV로 매우 작음을 볼 수 있었다.

3.3 전류·전압특성

그림 6은 70nm의 SG 길이를 갖는 DG MOSFET와 50nm의 게이트 길이를 갖는 LDD MOSFET의 전류-전압 특성곡선을 나타내고 있다. 그림에서 $V_d=V_{MG}=1.5V$, $V_{SG}=3.0V$ 일 때 DG MOSFET의 드레인 포화전류는 $550\mu A/\mu m$ 이고, $V_d=V_g=1.5V$ 일 때 LDD MOSFET의 포화전류는 $811\mu A/\mu m$ 이다. 이 때, 동작 저항 및 출력저항을 표 3에 나타내었다.



(a) DG MOSFET



(b) LDD MOSFET

그림 6 전류-전압 특성 곡선
Fig. 6 I-V characteristics curve

그림 6과 표 1에서 볼 수 있듯이 50nm의 게이트 길이를 갖는 LDD MOSFET에서 더 많은 전류가 흐르지만 포화 영역에서 소자의 특성은 LDD MOSFET보다 DG MOSFET가 더 좋은 특성을 갖는 것을 알 수 있었다.

표 1. 드레인 전압에 따른 출력 저항 및 동작 저항
Table. 1 Output resistance and On-resistance for drain voltage

드레인 전압	DG MOSFET		LDD MOSFET	
	출력저항	동작저항	출력저항	동작저항
0.3	1.8kΩ	266Ω	1.67kΩ	47.3Ω
0.6	81.5Ω	2.7Ω	15.76Ω	6.85Ω
0.9	44.6Ω	1Ω	7.86Ω	1.18Ω
1.2	34.3Ω	0.73Ω	6.42Ω	0.62Ω
1.5	27.6Ω	0.61Ω	5.5Ω	0.43Ω

3.4 온-오프 특성

그림 7은 MG 50nm를 갖는 DG MOSFET의 컷오프 주파수에 대한 특성을 나타낸 것이다. 그림에서 볼 수 있듯이 SG가 감소할수록 컷오프 주파수는 증가하는 것을 볼 수 있었다. 이때, SG 70nm에서의 컷오프 주파수는 41.4GHz로 매우 높은 컷오프 주파수를 갖는다.

일반적인 MOSFET와는 다르게 SG를 갖는 MOSFET는 다중 입력 동작을 실행 할 수 있다. 그림 8은 MG와 SG의 2입력 함수로서의 출력특성을 보여주고 있다. MG와 SG는 좋은 컷오프 특성을 나타내고 있고, 양쪽 게이트의 바이어스 상태에 따라 분명한 온-오프(on-off) 상태를 나타내고 있다. 이러한 출력 특성은 다중 입력 논리 게이트의 적용 가능성을 보여준다. 실제 논리 회로에서, MOSFET를 직렬로 연결시킨 NAND 게이트는 기생 요소(소스/드레인과 게이트 사이의 오버랩 커패시터, 소스/드레인과 기판 사이의 공핍 커패시터 와 소스/드레인 영역에서의 확산 저항)들이 논리 동작 능력을 심각하게 감소시킨다. 그러나, 기생 요소들이 중간에 없는 이런 DG MOSFET 구조는 2 또는 3-입력 NAND 동작에 대해 매우 좋은 장점을 가질 뿐만 아니라 고속 동작에 적합하다.

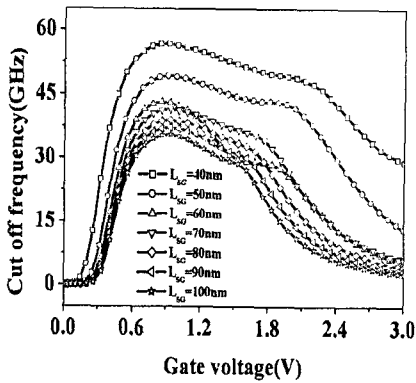


그림 7. MG 50nm DG MOSFET의 컷오프 주파수
Fig. 7 Cut-off frequency of DG MOSFET with 50nm MG

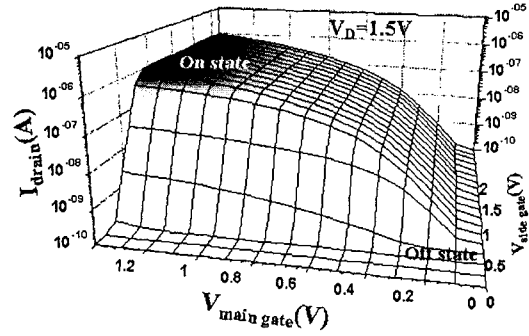


그림 8. 2-입력 NAND 게이트의 시뮬레이션 출력특성
Fig. 8 Output characteristics of 2-input NAND application

IV. 결 론

본 논문에서는 Si-기반 DG MOSFET의 문턱 전압 및 전기적 특성에 대해서 고찰하였다. 이때, SG는 단 채널 효과를 억압시키기 위해서 사용되어졌고, 최적의 SG 전압과 길이는 문턱 전압의 변화로서 구하였다. 50nm의 MG를 갖는 DG MOSFET에서 문턱 전압의 변화를 1% 이하로 유지하기 위한 SG 전압 값은 3V임을 알 수 있었고, 최적의 SG 길이는 70nm를 갖는다는 것을 시뮬레이션 결과를 통해 알 수 있었다. 70nm의 SG를 갖는 MG 길이 50nm인 DG MOSFET에서 드레인과 VMG=1.5V, VSG=3V일 때 포화 전류는 550 μ A/ μ m이고, 이때 동작 저항 및 출력 저항은 각각 0.61 Ω 과 27.6 Ω 으로 매우 작은 값을 갖는다. 또한, 컷오프 주파수가 41.4GHz로 매우 높은 컷오프 주파수를 갖는 것을 알 수 있었다. 이런 구조는 다중 입력 NAND 게이트에 적용했을 경우 많은 이점을 갖는다.

본 논문에서 실험된 결과는 IC제조에 있어서 DG MOSFET의 기초자료로 활용될 수 있으리라 사료된다.

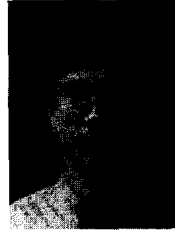
감사의 글

본 연구는 2002년도 두뇌한국21 사업에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

참고문헌

- [1] Woo Yong Choi, Byung Yong Choi, Dong Soo Woo, Young Jin Choi, Jong Duk Lee and Byung Gook Park, "Side-Gate Design Optimization of 50nm MOSFETs with Electrically Induced Source/Drain", Jpn. J. Appl. Phys., Vol. 41, Part 1, No. 4B, pp. 2345-2347, 2002
- [2] Byung Yong Choi, Suk Kang Sung, Byung Gook Park and Jong Duk Lee, "70nm NMOSFET Fabrication with 12nm n+-p Junctions Using As2+ Low Energy Implantations", Jpn. J. Appl. Phys., Vol. 40, Part1, No. 4B, pp. 2607-2610, 2001
- [3] Young Jin Choi, Byoung Yong Choi, Kyung Rok Kim, Jong Duk Lee and Byung Gook Park, "A New 50-nm nMOSFET With Side-Gates for Virtual Source-Drain Extensions", IEEE Trans., Electron Dev., Vol. 49, No. 10, pp. 1833-1835, 2002
- [4] 김영동, 김재홍, 정학기, "나노구조 MOSFET의 문턱전압 변화를 최소화하기 위한 스케일링 이론", 한국해양정보통신학회 추계종합학술대회논문집, Vol. 6, No. 2, pp. 494-497, 2002
- [5] X. Zhou, K. Y. Lim, W. Qian, "Threshold voltage definition and extraction for deep-submicron MOSFETs", Solid-State Electronics, Vol. 45, pp. 507-510, 2001.

저자소개



정학기(Hak-kee Jung)

1983년 2월 아주대학교 전자공학과 졸업(BS)
1985년 2월 연세대학교 대학원 전자공학과 석사졸업(MS)

1990년 8월 연세대학교 대학원 전자공학과 박사과정 졸업(Ph.D)
1994년 7월~1995년 7월 일본 오사카대학 객원 연구원
2001년 2월~한국해양정보통신학회 편집이사
2003년 현재 군산대학교 전자정보공학부 교수
※관심분야: 반도체 및 통신 소자



김재홍(Jae-hong Kim)

2001년 2월 군산대학교 전자공학과 졸업
2003년 군산대학교 대학원 전자정보공학부 석사졸업
※관심분야: 반도체 및 통신 소자