
디지털 위상고정루프를 이용한 FSK복조기의 설계 및 성능 분석

김성철* · 송인근*

Analysis and design of a FSK Demodulator with Digital Phase Locked Loop

Seong-Cheol Kim* · In-Keun Song*

요 약

본 논문에서는 주파수 도약 대역확산시스템에서 널리 적용되는 FSK복조기를 설계하고 실험 결과를 분석하였다. FSK 복조회로에 있어서 가장 중요한 부분인 ADPLL의 성능을 소프트웨어를 이용하여 분석하였다. 이 분석을 토대로 Altera사에서 제공하는 Maxplus-II 툴을 이용하여 각 구성 회로를 설계하였으며 EPM7064SLC44-10 chip으로 집적화 하였다. 시뮬레이션 결과와 구현된 회로의 특성을 비교 분석하였다. 결과에 있어서 PLL의 시상수는 약 2 μ s의 차이가 발생하였다. 이 차이는 FSK복조회로에 있어서는 큰 영향을 주지 않는다. 실험결과를 보면 FSK 변조된 신호는 기준 신호와 위상 차가 180° 인 경우에도 설계된 회로에 의해 잘 복조 됨을 관찰할 수 있었다.

ABSTRACT

In this paper, FSK(Frequency Shift Keying) demodulator which is widely used for FH-SS system is designed and the experimental results are analyzed. The performance of the ADPLL(All-digital Phase-Locked-Loop), which is the main part of the demodulator circuit, is analyzed by the computer program. Using Maxplus-II tool provided by altera. co., ltd, each part of the ADPLL is designed and all of them is integrated into EPM7064SLC44-10 chip. And the simulation results are compared with the characteristics of the implemented circuits for analysis. There is about 2 μ s difference in time constant of the PLL. This difference is not critical in the demodulator. And the experimental results show that the transmitted data is well demodulated when the phase difference between the FSK modulated signal and the reference signal is about 180 degree.

키워드

FS-SS system, ADPLL, FSK demodulator, time constant

I. 서 론

셀룰라 이동전화 시스템에 있어서의 다중경로 페이딩, 타 사용자로부터의 간섭 등의 영향을 감소시키기 위한 주파수 다이버시티 효과를 가진 대역확산 시스템이 적용되면서 대역확산 방식의 성능이 우수

함이 증명되었으며 ISM(Industrial, Scientific and Medical) 대역에서의 간섭의 영향을 줄이기 위한 기술로 대역확산시스템이 도입되었다. 한편 ISM 대역에서의 서비스는 저 전력과 소형의 장치가 요구된다. 이러한 요구는 데이터를 변조할 반송파를 한 주파수에서 다음 주파수로 임의로 도약하게 함으로서 신호

를 넓은 스펙트럼을 차지하도록 해주는 주파수 도약 대역확산 시스템이 수용될 수 있다^{[1],[2]}. 이러한 주파수 도약 시스템에 적용되는 전형적인 변조방식은 M진 주파수천이 키잉(MFSK)이다. 또한 주파수 천이 키잉(FSK) 변조방식은 다른 디지털변조방식인 위상천이키잉, QAM 등에 비해 비코히어런트하게 복조할 수 있기 때문에 수신기의 회로가 간단하다^[3]. 한편 디지털 신호처리 기술의 발달과 주문형 반도체(ASIC)기술의 발달로 아날로그 회로의 많은 부분이 디지털화 되어 가고 있는 추세이며 이와 같은 디지털 회로 설계를 위해서 다양한 소프트웨어가 개발되고 사용되어지고 있다^{[4],[5]}.

따라서 본 연구에서는 디지털 PLL을 이용한 FSK 복조 회로를 MAX-Plus II tool을 이용하여 설계하고 주변회로를 구성하여 구현하고자 한다.

이를 위해서 II장에서는 FSK 수신기의 구조 및 각 구성요소를 다루며^{[6],[7]} III장에서는 FSK 복조회로를 설계하고 성능을 분석하며 전체 구현된 회로의 실험 측정 결과를 고찰하고 IV장에서는 결론을 맺는다.

II. FSK 수신기의 구조

그림 1은 본 논문에서 제안한 디지털 위상고정루프를 이용한 FSK 복조기의 블록도를 나타낸다. 본 논문에서 제안한 FSK 복조기의 주요 구성요소는 디지털 PLL이다. 디지털 PLL을 위해 사용된 위상 검파기는 JK-플립플롭 형태의 위상 검파기이며 루프 필터는 K카운터 필터이다. ID 카운터는 DCO(Digital Controlled Oscillator)로서 사용된다. 클럭 펄스의 극성에 대한 규칙은 아래와 같다.

- ① K 카운터의 두 카운터들은 K 클럭의 하강 모서리에 동작한다.
- ② ID 카운터의 토글 플립플롭은 ID 클럭의 상승 모서리에 동작한다.
- ③ N 카운터의 모든 플립플롭은 동기클럭 신호의 하강 모서리에서 동작한다.

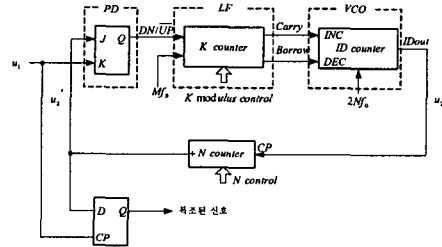


그림 1. 디지털 PLL을 이용한 FSK복조기
Fig. 1 FSK Demodulator with digital PLL

K카운터 루프필터는 두 독립적인 카운터로 구성되며, 보통 "UP 카운터"와 "DOWN 카운터"라고 한다. 실제로는 양쪽 카운터 모두 항상 UP 카운트로서 동작한다. K는 2의 정수 배이고 K모듈러스 제어 입력에 의해 제어할 수 있다. K클럭의 주파수는 기준 중심 주파수 f_0 의 M 배에 해당하며, M은 일반적으로 8, 16, 32...이다. K 카운터의 동작은 DN/UP 신호에 의해 제어된다. UP 카운터의 값이 K/2 이상 일 때 carry 신호가 '1' 상태가 되고 DN 카운터의 값이 K/2 이상 일 때 borrow 신호가 '1' 상태가 된다. 이 신호의 상승 에지는 DCO의 주파수를 제어하는데 사용된다. VCO로 사용되는 ID 카운터는 ID클럭, INC, DEC의 세 개의 입력 신호가 있다. carry와 borrow가 없을 때 ID 클럭 주파수를 2분주 한다. ID 카운터의 입출력관계는 식 (1)과 같다.

$$IDout = \overline{IDclock} \cdot \overline{Toggle} - FF \quad (1)$$

ID counter의 출력신호 IDout 신호의 최대주파수는 토글플립플롭이 '1 0 0 1 0 0 ...'의 패턴을 가질 때이다. 따라서 ID 카운터의 최대출력주파수는 ID 클럭의 2/3가 된다. 이는 PLL의 동기유지범위를 제한한다. 또한 토글플립플롭이 '0 1 1 0 1 1 ...'의 패턴을 보일 때 최소출력주파수를 전달하게 된다. 따라서 최소출력주파수는 ID 클럭의 1/3이다. ID 카운터는 하나의 carry 또는 하나의 borrow를 처리하기 위해 세 ID 클럭이 필요하기 때문에 carry나 borrow 펄스의 최대주파수는 ID 클럭의 주파수에 1/3보다 더 크지 않아야 한다.

III. FSK 복조회로 성능분석 및 실험 결과

3.1. 성능 분석

매개변수 $M=16$, $K=8$, 그리고 $N=8$ 인 경우의 PLL 이 동기가 되었을 때의 시뮬레이션 결과를 그림 2에 나타내었다. 이때 신호 u_1 과 u'_2 의 위상은 서로 반대되는 위상상태를 가진다. UP/ DOWN 계수기는 한 주기의 계수시간동안 평균적으로 한번 overflow가 발생한다. 파형에서 보는 것처럼, IDout 펄스는 주기적으로 ID 클럭의 한 주기에 의해 앞서거나 지연되기 때문에 u'_2 신호는 비대칭적으로 나타나게 되며 이로 인해 출력이 위상지터가 생기게 된다. 이와 같은 비대칭성은 식 (2)과 같이 표현되는 u'_2 의 듀티 사이클의 변화 식에 의해 예측할 수 있다.

$$0.5(1 - \frac{M}{2KN}) < \delta < 0.5(1 + \frac{M}{2KN}) \quad (2)$$

그림 3과 같이 K 가 $M/2$ 보다 더 작게 선택될 때, UP 계수기는 하나의 UP 계수기간에 하나 이상의 carry신호를 발생하며 출력 신호에서 리플을 증가시킨다. 따라서 JK-플립플롭 위상검파기의 경우 최소 리플을 위해 $K=M/2$ 으로 선택해야 한다. 그림 4는 시스템의 주파수영역에서의 성능분석을 위한 1의 등가 모델을 나타낸다.

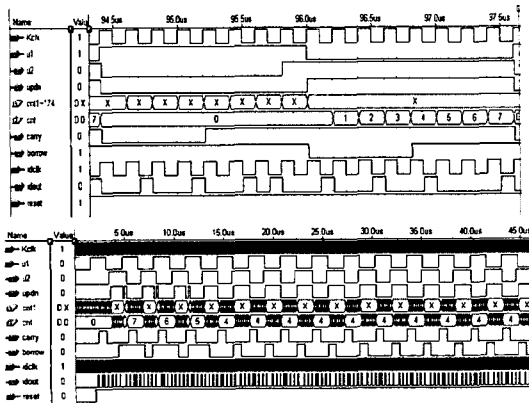


그림 2. 동기화된 상태의 각 부분의 파형들
Fig. 2 The waveform of each part of the system when synchronized

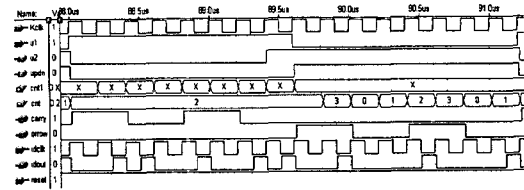


그림 3. K 가 $M/2$ 보다 작게 선택된 경우의 파형들
Fig. 3 The waveform of each part of the system at $K < M/2$

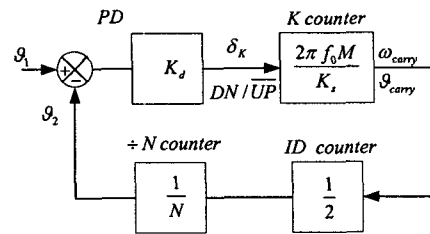


그림 4. 그림 1 시스템의 PLL 등가적 모델
Fig. 4. Equivalent model of the PLL of the system

ID카운터의 출력의 주파수 변화는 식 (3)으로 표현된다.

$$\Delta f_{IDout} = f_0 \frac{M}{2K} \quad (3)$$

이 출력은 다시 N카운터의 의해 N분주 되므로 PLL이 처리할 수 있는 최대주파수 편차는 식 (4)와 같다.

$$\Delta f_H = f_0 \frac{M}{2KN} \quad (4)$$

그림 4의 등가모델의 위상 전달함수 $H(s)$ 는 식 (5)와 같다.

$$H(s) = \frac{\omega_0}{s + \omega_0} \quad (5)$$

여기서 ω_0 는 식 (6)에 의해 주어진다.

$$\omega_0 = \frac{K_d \pi M f_0}{KN} \quad (6)$$

오차전달함수 $H(s)$ 는 식 (7)과 같다.

$$H(s) = \frac{s}{s + \omega_0} \quad (7)$$

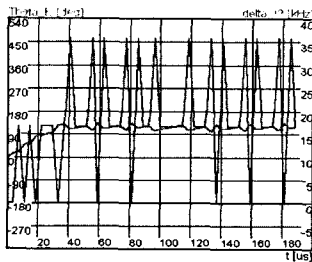
전달함수 식 (5)를 보면 알 수 있듯이 본 논문에서 고려하는 PLL은 1차 시스템이다. 이 시스템의 시정수는 식 (8)에 의해 주어진다.

$$\tau = \frac{1}{\omega_0} = \frac{KN}{K_d \pi M f_0} \quad (8)$$

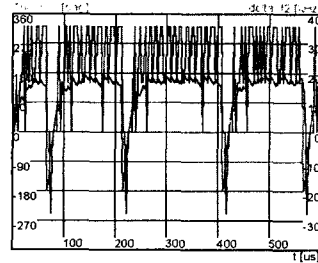
또한 JK-FF 위상 검파기의 이득은 $K_d=1/\pi$ 이므로 이때의 시정수는 식 (9)와 같다.

$$\tau(JK) = \frac{KN}{M f_0} \quad (9)$$

K계수가 최소리플을 만족하는 경우, 즉 JK-플립플롭 PD에서 $K=M/2$ 라면 $\tau=(N/8) T_0$ 를 얻는다. 그림 5는 JK-플립플롭 위상 검파기를 적용한 경우의 $M=16, N=8, K=8$ 이고 중심주파수 $f_0=250kHz$ 일 때의 시뮬레이션 결과이다. 이 경우 식 4로부터 알 수 있듯이 이론적인 위상고정루프의 hold 범위는 약 31.25kHz에 해당한다. 그러나 실제의 경우 그림 5의 결과를 보면 알 수 있듯이 약 28kHz가 넘어갈 경우 PLL이 고정이 되지 않음을 알 수 있다. 그림 6은 위상오차 $\theta_e=180^\circ$ 일 때의 시뮬레이션 결과이다. 이 경우의 시정수는 약 $\tau=47\mu s$ 이다.



(a) 주파수 step $\Delta f_1 = 20kHz$ 일때



(b) 주파수 step $\Delta f_1 = 28kHz$ 일때

그림 5. JK-FF 위상 검파기를 적용시 시스템의 시뮬레이션 결과

Fig. 5 Simulation results when JK-FF phase detector is applied

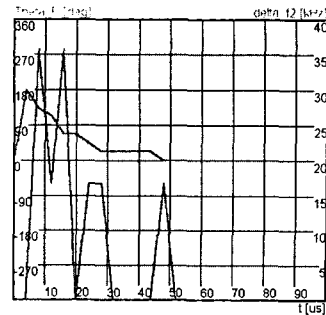


그림 6. 위상오차에 따른 시뮬레이션 결과

Fig. 6 Simulation result according to the phase error

3.2. FSK 복조기 설계

그림 7은 FSK 복조를 위한 DPLL의 설계 절차이다. DPLL의 중심주파수 f_0 는 FSK 송신기에 의해 사용된 두 주파수 중간을 선택한다. ADPLL이 선택된 f_0 를 중심주파수로 동작한다면 JK-FF 위상 검파기가 두 신호 u_1 과 u_2 가 정확하게 반 위상 된다. 그러므로 N 카운터의 값은 $N/2$ 이 되며 기준신호 u_1 의 상승 변화에 실행한다. FSK 송신기에서 중심주파수(f_0)는 $f_0=250kHz$ 로 선택하며 동기유지 범위는 송신기의 두 주파수 이내이므로 $\Delta f_H=20kHz$ 로 설정한다. 따라서 2진 정보 0과 1을 전송하기 위한 주파수는 각각 $f_{11}=240kHz$ 와 $f_{12}=260kHz$ 로 설정한다.

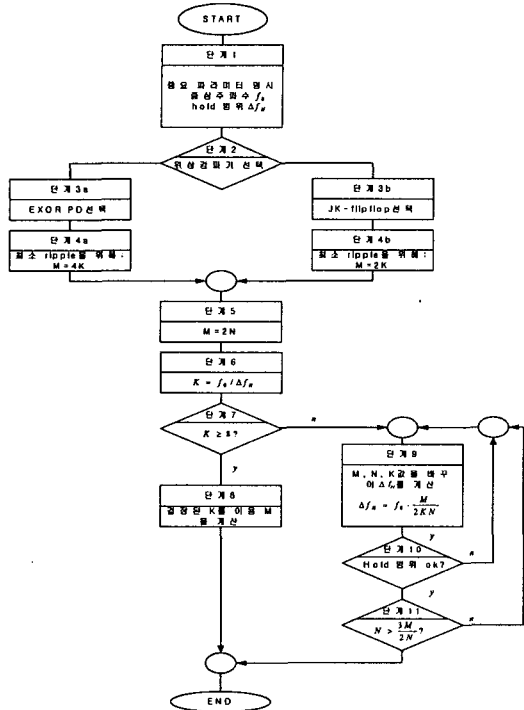


그림 7. FSK 복조를 위한 DPLL의 설계 흐름도
Fig. 7 Design flowchart of the DPLL for FSK demodulation

3.3. 실험 및 결과

그림 8은 설계된 시스템에 있어서 DPLL의 성능을 측정하기 위해 변조되지 않은 250kHz 구형파 신호를 입력하였을 때의 입 출력신호를 나타내고 있으며 리셋 후 두 신호의 위상오차가 없이 바로 동기가 이루어진 결과를 나타내었다. 그림 9는 입력 신호와 PLL출력신호의 위상오차가 180. 일 때 동기 성능을 나타내며 측정된 시정수는 약 $\tau=49\mu s$ 이다. 이 결과는 실제 데이터를 복조하는 과정에서 데이터 전송속도에 비해 아주 작은 값이므로 실제 복조에는 큰 영향을 주지 않는다.

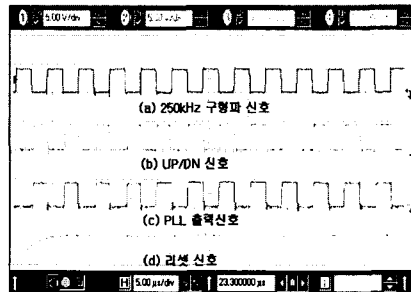


그림 8. 리셋 후 바로 동기를 이룬 경우의 파형
Fig. 8 Immediately synchronized waveform after reset

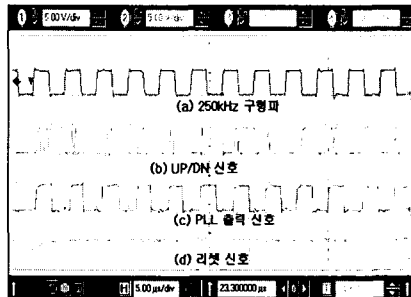


그림 9. 180°의 위상오차에 대한 PLL의 동기성능
Fig. 9 Synchronization waveform of the PLL at 180. phase difference

그림 10은 FSK변조된 신호 입력시 PLL의 루프 필터와 DCO의 출력신호이며 이는 앞서 시뮬레이션 결과와 차이가 나지 않음을 알 수 있다. 그림 11은 FSK신호와 PLL의 출력신호를 나타내며 출력신호의 위상오차가 존재할 때 동기가 되어 가는 과정을 보여지고 있다. 그림 12는 송신부 PN신호와 수신부 출력신호가 동기된 상태를 나타낸다. 즉 DPLL을 이용하여 FSK 변조된 신호로부터 만족할 만한 데이터의 복구가 이뤄짐을 알 수 있다.

VI. 결론

본 논문에서는 주파수 도약 시스템 등에 적용되는 디지털 변조방식 중 FSK신호의 복조를 위한 디지털 PLL을 이용한 FH-FSK 수신기를 설계하였다. 설계에 앞서 위상 고정 루프의 이론적인 분석 및 위상고정루프의 성능을 분석하고 이를 토대로 Altera사에서 제공하는 MaxplusII tool을 이용하여 수신기를 설계하고 altera사의 EPM7064SLC44-10 칩을 사용하여 FPGA화하였다. 또한 수신기의 성능을 분석하기 위해 PN신호 발생기와 FSK송신기를 설계하였다. 설계된 회로의 실험은 우선 단순히 PLL의 위상오차에 대한 성능과 FSK 변조신호에 대한 성능을 분석하고 PN 신호의 복조 성능을 평가 및 관찰하였다. 이 시스템의 매개변수를 $M=16$, $N=8$, $K=8$ 일 때의 시뮬레이션결과와 구현된 시스템에서의 결과에서 시스템이 정상상태가 되기까지의 시간이 각각 $47\mu s$ 와 $49\mu s$ 로 약 $2\mu s$ 의 차이를 보였고 FSK 변조된 신호는 기준 신호와 위상 차가 180. 인 경우에도 전송된 데이터에 대해 만족스런 복조결과를 얻을 수 있었다.

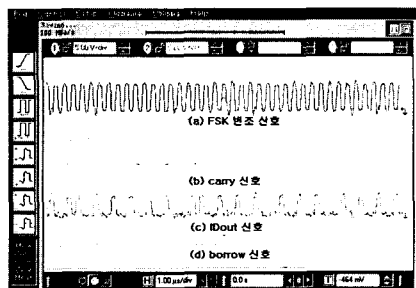


그림 10. FSK 변조 신호 입력시 PLL 각부분의 출력신호
Fig. 10 Output signal of each part of the PLL when FSK signal is applied

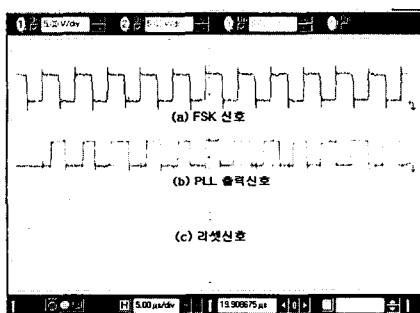


그림 11. FSK 변조신호와 PLL 출력신호
Fig. 11 output signal of the FSK modulator and PLL

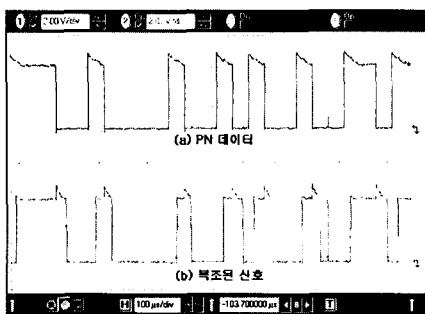


그림 12. 송신부의 PN 데이터와 복조된 수신부의 출력
Fig. 12 The waveform of the transmitted data and demodulated signal

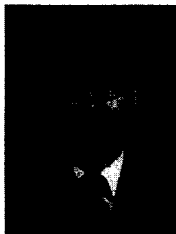
참고문헌

- [1] Jonathan S. Min and Henry Samuelli, "Analysis and Design of Frequency-Hopped Spread-Spectrum Transceiver for Wireless personal Communications," IEEE Trans. On Vehicular Tech. Vol.49, No.5, pp 1719-1731, Sep. 2000.
- [2] Jouko Vankka, "Digital Frequency Synthesizer/Modulator for Continuous-Phase modulations with Slow Frequency Hopping," IEEE Trans. On Vehicular Tech. Vol.46, No.4, pp 993-940, Nov. 1997.
- [3] R. W. Lucky, J. Salz, E. J. Wledon, "Principles of Data Communication," McGraw-Hill
- [4] P. H. Saul and D. G. Taylor, "A high-speed direct frequency synthesizer," IEEE J. Solid-State Circuits, vol.25, no. 1, pp.215-219, 1990.
- [5] K. Seki, T. Sakata, and S. Kato, "A digitalized quadrature modulator for fast frequency

hopping." IEICE Trans. Commun., vol. E77-B, no.5, pp.656-662, 1994.

- [6] Gardner, Floyd M: Phaselock Techniques, 2d ed., John Wiley and Sons, New York, 1979.
- [7] Lindsey, William C, Chak Ming, Chie, "A Survey of Digital Phase-Locked Loops", Proc. IEEE, vol. 69, April 1981

저자소개



김성철(Seong-cheol Kim)

1987년 고려대학교 전자공학과
학사

1989년 고려대학교 전자공학과
석사

1989년~1994년 삼성전자(주) 근무

1997년 고려대학교 전자공학과
박사

1997년~현재 우송대학교 컴퓨터전자정보공학부 조
교수

※관심분야: CDMA 이동통신, 통신이론, 차세대 광대역
이동 멀티미디어 시스템

송인근(In-Keun Song)

1978년 고려대학교 전자공학과 학사

1983년 고려대학교 전자공학과 석사

1984년 3월~1995년 2월: 한국전자통신연구원

1999년 명지대학교 전자공학과 박사

1995년~현재 우송대학교 컴퓨터전자정보공학부 부
교수

※관심분야: 이동 통신, 컴퓨터통신