論文2003-40SD-9-9

저 전력소모와 높은 테스트용이성을 위한 새로운 논리 변환 방법

(A New Logic Transformation Method for Both Low Power and High Testability)

孫 允 植 *, 鄭 正 和 *

(Yoon Sik Son and Jong Wha Chong)

요 약

본 논문에서는 저 전력소모와 높은 테스트용이성을 동시에 고려하기 위한 새로운 게이트 레벨 논리변환 방법을 제안한다. 주출력에서 관측될 확률이 낮은 CFF(Compact Fanout Free)를 찾아내고, 해당 CFF가 모든 주출력에서 관측불가능한 조건에서는 리던던트 연결을 첨가하여 내부에서 발생하는 스위칭 동작을 제거한다. 일반적으로 논리 변환된 회로의 테스트 용이성은 떨어지는 경향이 있다. 그러나 제안된 방법에서 첨가된 리던던트 연결은 테스트 모드에서 테스트 포인트로 동작하며 CFF의 제어도와 관측도를 동시에 향상시키게 된다. 따라서 논리 변환된 회로는 정상 모드에서는 전력 손실이 매우 낮으며, 테스트 모드에서는 높은 테스트용이성을 갖는다. 제안하는 논리 변환 방법의 효율성을 보이기 위하여 MCNC 벤치마크 테스트 회로에 대하여 실험을 수행하였다. 실험 결과로부터 변환된 회로의 전력소모는 최대 13%정도 감소하며, 고장 검출율은 오히려 증가함을 확인할 수 있다.

Abstract

In this paper, a new logic transformation method to consider both low power consumption and high testability is proposed. We search the CFF(Compact Fanout Free) that has low probability of being observable at the primary outputs. Under the condition that the CFF is unobservable at all primary outputs, the switching operations in it can be removed by adding redundant connections into it. The testability of the transformed circuit generally tends to reduce. In our method, however, the inserted redundant connections operate as test points in the test mode and can improve not only the controllability but also the observability of the CFF. The transformed circuit consumes less power in the normal mode and also has higher testability in the test mode. To show the efficiency of the proposed logic transformation method, we perform some experiments on the MCNC benchmark test circuits. The results show that the power consumption of the transformed circuit is reduced by 13% maximally and the fault coverage of the transformed circuit is increased.

Keyword : Logic transformation, redundant interconnection, fanout free, controllability, observability

I. 서 론

근래에 휴대용 전자제품시장의 급속한 성장과 성공으로 전력소모는 VLSI회로의 설계에 있어서 가장 중요한 목표 중의 하나가 되었다. CMOS회로에서 동적 전

* 正會員, 漢陽大學校 電子工學科

(Hanyang University, Department of Electronic Engineering)

接受日字:2003年 月 日, 수정완료일:2003年 月 日

력 소모가 전체 전력소모의 90% 정도를 차지한다[1]. 이러한 동적 전력 소모는 회로 내에 존재하는 기생 정전용량의 충전 및 방전으로 발생하는 것이다. 정전용량이 C인 노드가 0에서 V_{dd}까지 그리고 V_{dd}에서 0까지 스위치 할 때마다 CV_{dd}^2의 전력이 소모된다. 회로의 평균 동적 전력 소모 E_{avg}는 다음과 같이 주어진다.

$$E_{avg} = \frac{1}{2}\sum_{i=1}^{N} C_{load}^{i} \cdot V_{dd}^{2} \cdot f \cdot P^{TR}(i) \quad (1)$$

여기서, C_{load}^{i}와 $P^{TR}(i)$는 각각 노드 i의 부하 정전용량과 천이횟수의 기대값이다. N은 회로 내의 노드의 총수이며, f는 클락 주파수를 나타낸다. C_{load}^{i}와 $P^{TR}(i)$의 곱은 스위칭 정전용량(switched capacitance)이라고 한다. 논리 레벨에서 V_{dd}와 f는 고정되어 있다고 가정하므로, 회로의 전체 스위칭 정전용량이 최적화되어야 할 비용함수가 된다.

각 주 입력(primary input)에 인가되는 값들이 시간적으로 서로 독립이라고 가정하면, $P^{TR}(i)$는 다음 식과 같다.

$$P^{TR}(i) = 2 \cdot P(i) \cdot (1 - P(i)) \quad (2)$$

여기서 P(i)는 노드 i의 논리 값이 1일 확률이며 i의 신호확률(signal probability)이라고 한다.

CMOS 조합 회로의 전체 스위칭 정전용량을 줄이기 위하여 많은 설계방법들이 제안되었다. 기존의 방법들은 다음과 같은 두 가지 범주로 나누어 볼 수 있다. 첫 번째는 논리합성 단계에서 전체 전력 소모를 줄이기 위하여 무정의 조건(don't care condition)을 사용하는 방법이다[2, 3]. 논리합성 단계에서 전력 소모를 고려하기 위해서는 주항(prime implicants)이나 내부 노드의 지역 무정의 집합(local don't care set)이 반드시 계산되어야 하며 많은 실행 시간이 요구된다.

두 번째는 논리합성 단계 이후에 회로의 구조를 보다 전력 소모가 적은 구조로 변환하는 방법이다[4, 5]. 그러나 지금까지 제시된 방법들은 BDD(Binary Decision Diagram)를 사용하므로 계산복잡도가 크고 대규모 회로에는 적용되기 힘들다는 단점을 갖는다. 회로의 대칭성(circuit symmetries)을 사용하여 전력 소모가 적은 회로 구조로 변환하는 기법이 제안되었으나 대칭성을 구하는 알고리듬의 복잡도가 커서 실효성이 떨어진다[6].

본 논문은 게이트 레벨 논리 변환 과정에서 저 전력 소모와 높은 테스트용이성을 동시에 달성하기 위한 논리 변환 방법을 제안한다. 본 논문은 다음과 같이 구성된다. 제안하는 저 전력 설계 기법은 Ⅱ장에서 설명된다. 1절에서 CFF의 기본적인 개념과 redundant 연결의 첨가 방법을 설명하고, 2절에서 제안하는 알고리듬을 설명한다. Ⅲ장에서는 높은 테스트용이성을 위한 회로 구조를 제안한다. Ⅳ장에서 MCNC 벤치마크 회로에 대한 실험결과를 제시하고, Ⅴ장에서 결론을 맺는다.

Ⅱ. 제안하는 저 전력 설계기법

1. CFF의 관측 불가능 조건

본 논문에서 제안하는 논리 변환 기법을 설명하기 위하여 기호들을 다음과 같이 정하기로 한다. 논리 회로의 임의의 노드를 k라고 두자. 출력이 노드 k인 게이트는 G_k로 표기한다. $FIN(k)$는 노드 k의 fanin 집합이다. 임의의 노드 j가 노드 k에서 시작하는 경로에 의해 도달가능하다면 j를 k의 transitive fanout이라고 하고, k는 j의 transitive fanin이 된다. $TFI(k)$ 와 $TFO(k)$는 각각 k의 transitive fanin 집합과 transitive fanout 집합이다. $l(k)$는 노드 k의 논리 레벨이며, 식 (3)에 의해 결정된다. 모든 주 입력의 논리 레벨은 0이다.

$$l(k) = \max(l(f_i)) + 1, \quad where\ f_i \in FIN(k) \quad (3)$$

$v(k)$는 노드 k의 논리 값이며, $c(G_k)$는 게이트 G_k의 제어 값이다. 즉, G_k가 AND나 NAND 게이트이면 $c(G_k)$는 0이고, OR나 NOR게이트이면 $c(G_k)$는 1이다. PO와 FS는 각각 회로의 모든 주 출력(primary output) 집합과 팬아웃 스템(fanout stem) 집합이다.

[정의 1] 임의의 부분 회로가 하나의 출력 노드만을 가지고 출력 노드를 포함한 모든 내부 노드가 PO와 FS에 포함되지 않으면, 이 부분 회로는 CFF(Compact Fanout Free) 이다.

[정의 2] 노드 k에서 도달 가능한 모든 주 출력까지의 경로들이 반드시 임의의 게이트를 통과해야 한다면 이 게이트를 k의 지배자(dominator)라고 한다.

노드 k의 지배자 집합은 $D(k)$로 표기하고 CFF인 부분 회로를 CFF_i로 표기하기로 한다. 정의 1과 2로부터 CFF_i의 출력 노드는 다른 모든 내부 노드의 지배자임을 알 수 있다.

[정의 3] 노드 k의 임의의 지배자의 팬인 중에서

*TFO(k)*에 속하지 않는 팬인을 off-path 입력이라고 하고, 이들의 집합을 *OPI(k)*로 표기한다. 즉, *OPI(k)*는 다음과 같다.

$$OPI(k) = \bigcup_{l \in D(k)} \{x \mid x \in FIN(l) \wedge x \notin TFO(k)\} \quad (4)$$

예를 들어, <그림 1>의 회로를 고려하여보자. *PO*={*j*, *l*}, *FS*={*b*, *e*, *f*}, 그리고 *CFF*는 {*k*, *h*, *g*}이다. *D*(*k*)={*l*} 이고 *OPI*(*k*)={*i*}이다. *CFF* 내의 노드로부터의 주 출력까지의 모든 경로는 반드시 지배자를 통과해야 하므로 다음과 같은 현상을 쉽게 관측할 수 있다.

[관측 1] *k*가 임의의 *CFF*의 출력 노드라고 하자. *m*을 *k*의 지배자, *i*는 *m*의 팬인이면서 *OPI*(*k*)에 속하는 노드라고 두자. 다음 조건에서 *CFF*는 관측불가능 하다.

(조건) $\exists i \in OPI(k)$ *such that* $v(i) = c(m)$

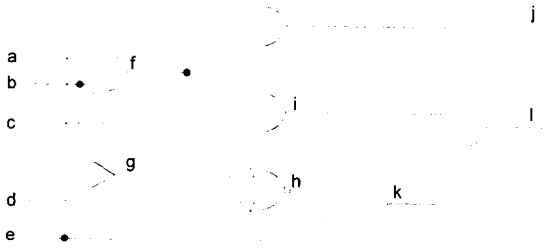


그림 1. 예제 회로.
Fig. 1. Example circuit.

<그림 1>의 예제 회로를 다시 고려해보자. 노드 i의 논리 값이 0이면 *i*에 의해 *l*이 0으로 결정되므로, *CFF* 인 부분회로 {*k*, *h*, *g*}는 주 출력 l에서 관측되지 않는다. 따라서 $v(i)$=0일 때 *CFF* 내부 노드의 스위칭 동작은 주 출력으로 전파되지 않는 불필요한 스위칭 동작이 된다. 이러한 *CFF* 내부의 불필요한 스위칭 동작을 제거하기 위하여 redundant 연결을 첨가하기로 한다.

Redundant 연결의 소스(source)는 천이 확률이 매우 낮은 게이트의 출력 노드이며, redundant 연결의 타겟(target)은 이러한 *CFF* 내부의 높은 천이확률을 갖는 게이트이다.

예를 들어, <그림 2(a)>를 고려하여 보자. 각 노드의 임의의 신호확률은 노드 이름 근처에 표시하였다. *D*(*k*)={*l*}, *OPI*(*k*)={*i*} 이고 *l*은 *CFF*의 지배자이므로, $v(i)$=0는 *CFF*가 주 출력에서 관측되지 않을 조건이다. 조건 $v(i)$=0를 (*i*,0)와 같이 표기하기로 한다. (*i*,0)를 만족시키는 다른 조건들을 찾기 위하여 <그림 2(b)>에

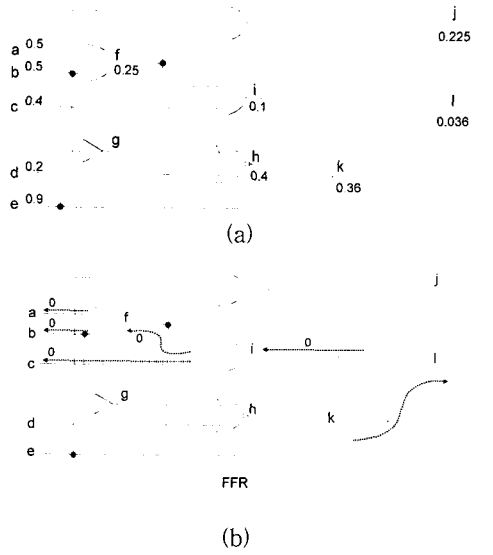


그림 2. 역 방향 함의탐색 과정
Fig. 2. Backward implication procedure.

표 1. Redundant 연결의 종류
Table 1. Types of redundant interconnections.

소스의 제어값	타겟	연결 형태
0	INV 또는 BUF	비 반전
	AND 또는 NAND	비 반전
	OR 또는 NOR	반전
1	INV 또는 BUF	비 반전
	AND 또는 NAND	반전
	OR 또는 NOR	비 반전

표시된 것과 같이 역 방향 함의탐색을 수행한다. *i*가 AND 게이트이므로, $v(i)$=0은 $v(f)$=0 또는 $v(c)$=0이면 만족된다. 같은 이유로 $v(f)$=0는 $v(b)$=0 또는 $v(a)$=0이면 만족된다. 따라서 *a*, *b*, *c*, *f*, 또는 *i*의 논리 값이 0이면 *l*은 0으로 제어되어 CFF은 주 출력에서 관측불가능하며, 관측불가능 조건의 집합 {(i,0), (f,0), (c,0), (b,0), (a,0)}을 얻을 수 있다. <그림 2(a)>로부터 (*i*,0)가 위의 조건들 중에서 가장 높은 확률을 가짐을 알 수 있다.

회로에 첨가될 수 있는 redundant 연결의 종류를 <표 1>에 정리하였다. 만약 소스가 0일 때 *CFF*이 주 출력에서 관측되지 않으면 소스로부터 *CFF* 내의 INV, BUF, AND, 또는 NAND 게이트의 입력으로의 비 반전(non-inverted) 연결은 redundant 연결이 된다. 만약 타겟이 OR나 NOR 게이트라면 INV게이트를 통한 소스로부터 타겟까지의 반전(inverted) 연결은 redundant

연결이 된다. 예를 들어, <그림 2(a)>의 회로에서 i가 0이면 지배자 l이 0으로 제어되므로 i로부터 g까지 비 반전 연결은 l의 논리에 영향을 주지 않는다. 또한 i로부터 h까지의 반전된 연결도 l의 논리함수를 변화시키지 않는다.

2. 저전력 소모를 위한 논리 변환

만약 회로가 fanout free이면 각 노드의 신호 확률은 다음 식으로 쉽게 계산될 수 있다[10].

$$\begin{aligned} &NOT\ gate: P(o) = 1 - P(i) \\ &AND\ gate: P(o) = \prod_{i \in inputs} P(i) \\ &OR\ gate: P(o) = 1 - \prod_{i \in inputs} (1 - P(i)) \end{aligned} \quad (5)$$

여기서 o는 게이트 출력이다. 위 알고리듬은 트리 형태의 회로에 대한 정확한 신호 확률을 계산하므로 트리 알고리듬이라고 한다.

[11]에서는 조합 논리 회로의 천이 확률을 구하기 위한 새로운 시뮬레이션 방법을 제시되었다. 팬아웃을 통해 분기되었던 신호선 들이 몇 레벨 이후에 재 수렴하더라도 이들 신호선 간의 공간적인 상관성을 무시할 수 있어, 짧은 시간 내에 전체 회로의 전력 소모를 정확히 예측할 수 있음을 실험을 통하여 보였다. *CFF* 내에서는 팬아웃이 존재하지 않으므로 식 (5)를 사용하여 *CFF* 내의 각 노드의 신호 확률을 예측하더라도 비교적 정확한 수치를 얻어낼 수 있다.

임의의 *CFF*를 주 출력에서 관측되지 않게 하는 확률이 가장 높은 노드를 r이라고 두자. r을 팬인으로 갖는 게이트의 제어 값을 0이라 두어도 보편성을 잃지 않는다. r을 소스로 하고 *CFF* 내의 AND 게이트 k를 타겟으로 가정하면, 비 반전 연결은 redundant 연결이 된다. 연결을 첨가하기 이전의 k의 신호확률을 $P_{bef}(k)$라 두면, 연결을 첨가한 후의 신호확률 $P_{aft}(k)$는 식 (5)로부터 다음 식과 같다.

$$P_{aft}(k) = P_{bef}(k) \cdot P(r) \quad (6)$$

식 (2)로부터 redundancy 첨가 이전과 이후의 노드 k의 천이확률 $P_{bef}^{TR}(k)$, $P_{aft}^{TR}(k)$은 다음과 같다.

$$\begin{aligned} P_{bef}^{TR}(k) &= 2 \cdot P_{bef}(O) \cdot (1 - P_{bef}(O)) \\ P_{aft}^{TR}(k) &= 2 \cdot P_{bef}(O)P(r) \cdot (1 - P_{bef}(O)P(r)) \end{aligned} \quad (7)$$

Redundant 연결이 첨가되는 게이트에서의 천이확률 감소를 Δ라 두면, Δ는 다음과 같다.

$$\Delta = P_{bef}^{TR}(k) - P_{aft}^{TR}(k) = 2 \cdot P_o \cdot (\alpha - \beta \cdot P_o) \quad (8)$$

여기서 $P_o = P_{bef}(k)$, $\alpha = (1 - P(r))$, 그리고 $\beta = (1 - P(r)^2)$이다. 모든 경우의 P_o, α, β를 <표 2>에 정리하였다. 표에서, v_c는 *CFF*가 관측불가능 하게 되는 소스의 제어 값이다.

표 2. 타겟의 종류와 v_c에 따른 P_o, α, β
Table 2. P_o, α and β according to the type of target gate and v_c.

Target	v_c	P_o	α	β
AND	0	$P(O)$	$1-P(r)$	$1-P(r)^2$
	1		$P(r)$	$1-(1-P(r))^2$
NAND	0	$1-P(O)$	$1-P(r)$	$1-P(r)^2$
	1		$P(r)$	$1-(1-P(r))^2$
OR	0	$1-P(O)$	$P(r)$	$1-(1-P(r))^2$
	1		$1-P(r)$	$1-P(r)^2$
NOR	0	$P(O)$	$P(r)$	$1-(1-P(r))^2$
	1		$1-P(r)$	$1-P(r)^2$

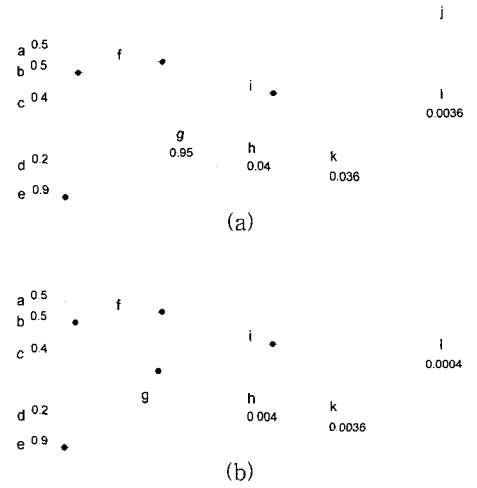


그림 3. 논리 변환의 결과
Fig. 3. Results of logic transformation.

<그림 3>에 i로부터 첨가되는 두 가지 redundant 연결을 보였다. <그림 2(a)>와 비교하여, <그림 3(a)>로부터 i와 g의 비반전 연결로 인하여 g, h, k의 신호 확률은 각각 0.95, 0.04, 0.036이 된다. 타겟 g 에서의 Δ는

0.405이다. 게이트의 부하 정전용량을 해당 게이트의 팬아웃 수로 가정하면, 회로의 전체 스위칭 정전용량은 5.45에서 4.37로 줄어든다. <그림 3(b)>에서와 같이 i에서 h까지 반전 연결을 첨가할 수도 있다. 그러나 이 redundant 연결로 인하여 회로의 전체 스위칭 정전용량은 4.37에서 4.73으로 오히려 증가하게 된다. h에서의 Δ는 무시될 수 있는 값인 반면에 반전 연결을 위해 첨가된 INV 게이트에 따른 정전용량의 증가와 i에서 팬아웃 수가 1만큼 증가함에 따른 정전용량의 증가는 무시될 수 없는 값이다. 두 번째 redundant 연결은 회로에 첨가되지 않는다.

제안하는 논리 변환 알고리듬을 <그림 4>에 보였다. 먼저, 회로에 존재하는 모든 *CFF*를 구하고 이를 집합 S_{CFF}에 저장한다. S_{CFF}에서 임의의 *CFF*를 선택하여 *CFF*의 지배자 집합 D_{CFF}을 구하고, 식 (4)에 의하여 *CFF* 내에서의 천이 확률을 계산한다. 역 방향 함의탐색 과정을 수행하여 선택된 *CFF*가 주 출력에서 관측

```
Power_Optimize( )
{
 SCFF = ∅;
 SCFF = find_all_CFF();
 while(SCFF ≠ ∅) {
 CFF = select_a_region(SCFF);
 DCFF = find_all_dominator(CFF);
 Icontrol = find_all_control_fanin_of_CFF's_dominators(CFF, DCFF);
 Scandidate = backward_implication(Icontrol, CFF);
 Sbest = select_best_source(Scandidate);
 check_and_insert_red(Sbest, CFF);
 }
}
```

그림 4. 제안하는 알고리듬
Fig. 4. The proposed algorithm.

```
 check_and_insert_red(Sbest, CFF)
 {
  Δ = 0;
  T = select_target_line_from_CFF(CFF);
  while(T ≠ NULL) {
  Δ = estimate_activity_reduction(Sbest, T, CFF);
  if(Δ > Δth) {
  redundancy_insertion(Sbest, T, CFF);
  estimate_transition_probability(CFF);
  }
  T = select_target_line_from_CFF(CFF);
  }
 }
```

그림 5. check_and_insert_redundancy 루틴
Fig. 5. check_and_insert_redundancy routine.

되지 않는 모든 조건을 찾아내어 $S_{candidate}$에 저장한다. $S_{candidate}$에서 확률이 가장 높은 조건을 선택하고 소스 S_{best}를 정한다. check_and_insert_red 루틴은 *CFF* 내에 첨가될 수 있는 모든 redundant 연결이 회로의 스위칭 정전용량에 어떠한 영향을 주는지 평가하고 그 첨가 여부를 결정한다. 모든 *CFF*가 고려될 때까지 위 절차를 반복 수행한다.

<그림 5>는 check_and_insert_red 루틴을 보인 것이다. Δ는 S_{best}에서 T로의 redundant 연결에 따른 *CFF*의 스위칭 정전용량의 감소량을 나타낸다. *CFF* 내의 모든 게이트들은 타겟으로 고려된다. 만약 Δ가 Δ_{th}보다 크면 회로 내에 첨가된 redundant 연결을 유지하고 작으면, Δ가 Δ_{th}보다 첨가된 redundant 연결을 회로로부터 제거한다. Redundant 연결이 첨가되면 S_{best}에서의 팬아웃 수가 1만큼 증가하게 되므로 Δ_{th}는 $P^{TR}(S_{best})$이다. 만약 redundant 연결에 INV 게이트가 필요하면 Δ^{th}는 $2 \cdot P^{TR}(S_{best})$이다. Redundant 연결이 첨가되면, *CFF* 내의 모든 노드의 신호확률은 식 (5)에 의해서 다시 계산된다.

Ⅲ. 높은 테스트용이성과 저 전력을 동시에 고려하는 논리 변환

VLSI 회로의 도래와 더불어, 설계 단계에서 가능한 빠른 시점에서 회로의 테스트용이성을 고려하여 이를 향상시킬 수 있도록 설계하는 테스트 용이화 설계(DFT ; Design for Testability)의 필요성은 더욱 증대되었다. 회로 내부의 테스트용이성을 평가하고, 테스트용이성이 낮은 영역에 테스트포인트를 삽입함으로써 PRPG로 LFSR을 주로 사용하는 랜덤 로직 BIST에 의한 테스트 시간을 크게 단축할 수 있기 때문이다..

1. 고장 활성화 길이

Stuck-at 고장의 검출은 두 가지 과정으로 나누어 볼 수 있다. 고장이 발생한 노드를 고장 값과 반대되는 논리 값을 갖도록 하는 고장 활성화(fault activation) 과정이 그 하나이며, 해당 고장이 검출되기 위해서는 활성화된 고장을 주 출력으로 전파하는 고장 효과의 전파(fault effect propagation) 과정이 나머지 하나이다. 한 노드의 신호확률은 가능한 모든 입력 중에서 해당 노드를 1이 되게 하는 입력의 비를 나타내므로, 한 노드의 신호확률이 낮을수록 해당 노드에서 발생한 stuck-at-0 고장을 활성화시키는 입력수가 작다고 하겠다.

신호확률이 P인 노드 k에서 stuck-at-1 고장이 발생하였다고 가정한다. 노드 k를 0으로 구동하는 첫 번째 테스트 입력의 위치를 $L0(k)$라 두자. 즉, $L0(k)=i$는 첫 $(i-1)$개의 테스트 입력으로는 해당 노드가 0으로 구동되지 못하고 i 번째 테스트 입력에서 노드가 0으로 구동됨을 의미한다. 노드 k의 신호확률이 P이므로, $L0(k)=i$일 확률은 $P^{i-1}\cdot(1-P)$이다. 노드 k가 1이 되는 첫 번째 테스트 입력의 위치를 $L1(k)$라고 두고, 임의의 노드에서 stuck-at-0 고장과 stuck-at-1 고장이 발생할 확률이 같다고 가정한다. 특정한 stuck-at 고장을 처음으로 활성화시키는데 필요한 테스트 입력의 수를 그 고장의 활성화 길이라고 두면, 활성화 길이에 대하여 다음과 같은 정리를 얻을 수 있다.

[정리 1] 노드 k의 신호확률을 P라고 두자. $L(k)$를 노드 k에서 발생하는 stuck-at 고장의 활성화 길이라고 두면 $L(k)$는 다음과 같다.

$$L(k) = \lceil (2P\cdot(1-P))^{-1} \rceil$$

(증명)

<표 3>은 i에 따른 $L0(k)=i$와 $L1(k)=i$의 확률을 보여주고 있다.

표 3. 고장 활성화 확률
Table 3. Fault activation probability.

L_0	1	2	···	i	···
$Prob(L_0)$	$(1-P)$	$P(1-P)$	···	$P^{i-1}(1-P)$	···
L_1	1	2	···	i	···
$Prob(L_1)$	P	$(1-P)P$	···	$(1-P)^{i-1}P$	···

$L0(k)$, $L1(k)$의 기대값인 $L0_{exp}(k)$, $L1_{exp}(k)$은 다음과 같이 계산된다.

$$\begin{aligned} L0_{exp}(k) &= 1\cdot Prob(L0=1)+2\cdot Prob(L0=2)+\cdots \\ &+ m\cdot Prob(L0=m)+\cdots=(1-P)+2P\cdot(1-P) \\ &+3P^2\cdot(1-P)+\cdots+nP^{n-1}\cdot(1-P)+\cdots \\ &=\frac{1}{(1-P)} \qquad (11) \\ L1_{exp}(k) &=\frac{1}{P} \end{aligned}$$

신호선에서 stuck-at-0 고장과 stuck-at-1 고장이 발생할 확률은 같으므로, 고장 활성화 길이 L은 $L0_{exp}(k)$과 $L1_{exp}(k)$로부터 다음과 같이 구할 수 있다.

$$\begin{aligned} L &= \lceil (0.5\cdot L0_{exp}(k)+0.5\cdot L1_{exp}(k)) \rceil \\ &= \lceil \frac{1}{2P\cdot(1-P)} \rceil \qquad (12) \end{aligned}$$

(증명 끝)

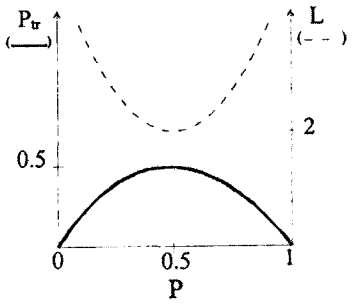


그림 6. P에 대한 L과 Ptr의 관계
Fig. 6. The relationship between L, Ptr and P.

<그림 6>은 L과 P^{TR}을 신호확률 P에 대하여 도시한 것이다. <그림 6>에서 P가 0.5일 때, P^{TR}과 L은 각각 최대와 최소가 된다. P가 0이나 1에 가까울수록 P^{TR}은 감소하나 L은 급속히 증가한다. P=0(P=1) 일 때, 해당 노드에서의 stuck-at-0(1) 고장은 검출불가능 하다. 논리 변환은 회로 내의 각 노드의 신호확률을 0또는 1에 가깝도록 회로구조를 변화시키는 과정이므로, CFF 내의 노드들에 대해서는 L이 증가하여 활성화 길이는 증가하게 되며 회로 전체의 테스트용이성은 감소하게 된다.

고장의 활성화 이후에 고장효과는 주 출력까지 전파되어 검출되게 된다. 고장효과가 임의의 게이트의 팬인에 입력되었을 때 만약 해당 게이트의 나머지 팬인들

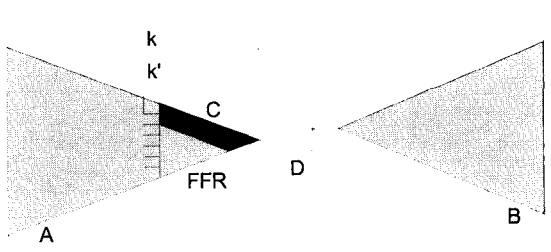


그림 7. CFF의 관측도에 대한 redundancy의 영향
Fig. 7. The effect of redundancy on the observability of CFF.

이 게이트의 제어값을 갖는다면 해당 고장효과는 게이트의 출력으로 전파되지 못한다. 이러한 현상을 고장 마스킹(fault masking)이라고 한다.

<그림 7>은 *CFF* 내에 첨가된 redundancy의 관측도(observability)에 대한 영향을 보여주고 있다. 스위칭 정전용량을 줄이기 위하여 *k*로부터 *CFF* 내부로 redundant 연결 *k'*이 첨가되었다. *D*는 *CFF*의 지배자 중의 하나이며, *k*가 *D*를 제어할 확률이 매우 높으면, 그림자 영역 *A*에서 활성화된 고장의 효과는 *D*에서 소멸할 확률이 높으므로 영역 *B*에서 관측되기 어렵다. *k'*로 인하여 *CFF*의 검은 영역 *C*내의 노드들의 신호확률은 0또는 1에 가깝도록 변하므로, 해당 노드들에서 발생하는 고장의 활성화는 더욱 어려워지게 된다. 따라서 영역 *C*에서 발생하는 고장들은 RPR(Random Pattern Resistant) 고장으로 변하게 된다.

2. 높은 테스트용이성과 저전력 소모를 위한 redundant 연결 구조

본 장에서 랜덤 패턴 테스트 구조에 적용될 수 있는 redundant 연결 구조를 설명하고자 한다. *CFF*의 테스트용이성을 향상시키기 위한 redundant 연결 구조를 <그림 8>에 보였다. MS(Mode Select) 게이트는 2-입력 게이트이며, 테스트용이성을 높이기 위한 테스트 포인트(test point)로 사용된다. T_m은 동작 모드를 선택하기 위해 첨가되는 주 입력이다. T_m=0인 정상 모드에서 MS 게이트는 회로의 함수에 전혀 영향을 주지 않으며 전체 회로는 저 전력 소모의 특성을 보인다. T_m=1인 테스트 모드에서 *k*와 *k'*는 <그림 8>에서 점선으로 표시된 것처럼 각각 연결된 게이트의 비 제어 값을 갖게 되며, 영역 *A*에서 발생하는 모든 고장들은 *D*에서 소멸되지 않고 영역 B에서 관측될 수 있다.

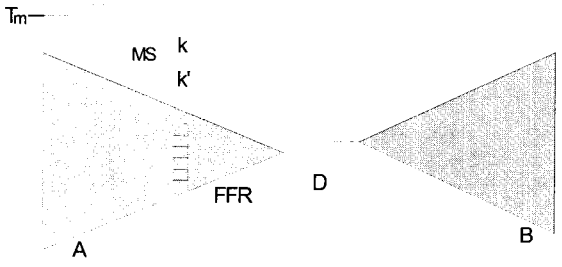


그림 8. 높은 테스트용이성을 위한 redundant 연결 구조
Fig. 8. The structure of redundant interconnection for high testability.

예를 들어 <표 4>를 살펴보자. L_{Before}는 <그림 2(a)>의 각 노드의 활성화 길이이며, L_{After}는 <그림 3(a)>의 각 노드의 활성화 길이, L_{DFT}는 <그림 3(a)>에 <그림 8>의 redundant 연결 구조를 적용한 경우의 각 노드에 대한 활성화 길이이다. L_{After} 항에서 알 수 있듯이 redundant 연결의 첨가로 인하여 *h, k, l*의 고장 활성화 길이가 14, 140, 1390으로 각각 증가하였다. 그러나 L_{DFT} 항의 경우에 *g, h, k, l*에서의 관측도와 제어도가 동시에 향상되므로 논리 변환 이전에 비하여 고장 활성화 길이가 같거나 보다 작은 것을 확인할 수 있다.

표 4. 고장 활성화 길이(L)
Table 4. Fault activation length(L).

신호선	non-DFT		DFT
	L_{Before}	L_{After}	L_{DFT}
a	2	2	2
b	2	2	2
c	3	3	3
d	4	4	4
e	6	6	6
f	5	5	5
g	2	2	2
h	3	**14**	**3**
i	6	6	6
j	3	3	3
k	3	**140**	**3**
l	15	**1390**	**3**

```
check_and_replace_red( )
{
 A = get_all_source(n);
 do {
 target = select_one(A);
 target_CFF = find_CFF(target);
 dominators = find_dom(target_CFF)
 if(hardly_testable(dominators))
 continue;
 else
 replace_redundancy(n,target);
 } while(target != end_of_list(A));
}
```

그림 9. check_and_replace_red 루틴
Fig. 9. check_and_replace_red routine.

변환 후의 회로에 대하여 테스트를 고려한 구조가 효과적인 영역을 찾기 위하여 <그림 9>의 알고리듬을 적용한다. 먼저 redundant 연결로 사용된 모든 소스를

구하고, 각 소스에 의해 제어되는 게이트를 모두 구한다. hardly_testable()를 호출하여 redundancy가 테스트를 위한 구조로 교체하는 경우의 테스트용이성을 평가한다. 모든 소스를 고려할 때까지 이를 반복 수행한다.

저 전력 회로의 고장 검출률을 향상시키기 위하여 요구되는 하드웨어 오버헤드는 전체 회로에 비해 매우 낮으며, 회로 지연 및 부가 회로에 의한 추가 전력 손실이 매우 적다.

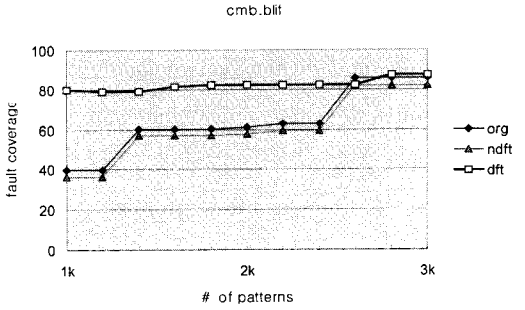
Ⅳ. 실험 및 결과

본 논문에서 제안하는 저전력회로 설계 기법을 MCNC '91 벤치마크 회로에 적용하여 천이 확률을 평가하였다. 제안하는 알고리듬은 C 언어로 구현되었으며, UC Berkeley에서 개발한 SIS 환경과 연결하여 벤치마크 회로에 대하여 실험하였다.

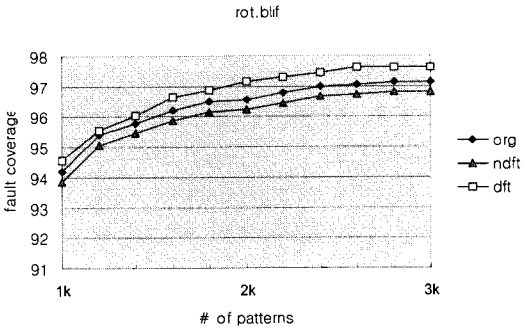
실험 순서는 다음과 같다. BLIF(Berkeley Logic Interchange Format)로 기술된 벤치마크 회로를 SIS 환경에서 2입력 게이트로 논리 합성한다. 합성된 회로의 netlist를 입력받아, 2000개의 랜덤 입력 패턴으로 시뮬레이션을 수행하여 회로의 천이확률을 구한다. <그림 4, 5>의 알고리듬에 따라 전력 소모를 줄이기 위한 redundancy를 첨가하여 회로의 구조를 변경하고, Virginia Polytech에서 개발된 ATPG(Automatic Test Pattern Generatoion) 프로그램인 Atalanta를 사용하여 redundancy 제거 과정을 수행한다. 이때 전력 소모를 줄이기 위해 첨가된 redundancy가 제거되지 않도록 한다. 변경 이전과 변경 이후의 회로에 대하여 논리 시뮬레이션을 수행하여 전체 천이확률을 구하고, SIS에서 technology mapping 이후의 두 회로의 면적을 구한다.

표 5. 실험결과
Table 5. Experimental results.

회로	Initial		After	
	#PI	#PO	면적	전력소모
cm138	6	8	1.03	0.87
decod	5	16	1.00	0.88
cm85	11	3	1.08	0.95
cu	14	11	1.04	0.96
f51m	8	8	0.998	0.97
ttt2	24	21	1.00	0.97
frg1	28	3	1.03	0.96
rot	135	107	1.006	0.99
x2	10	7	0.99	0.93
cm42	4	10	1.00	0.96
cmb	16	4	1.09	0.90
cm163	16	5	1.06	0.96



(a)



(b)

패턴수	고장검출율(cmb)			고장검출율(rot)		
	org	ndft	dft	org	ndft	dft
1k	94.2	93.9	94.6	94.2	93.9	94.6
1.2k	95.4	95.1	95.5	95.4	95.1	95.5
1.4k	95.8	95.5	96.0	95.8	95.5	96.0
1.6k	96.2	95.9	96.6	96.2	95.9	96.6
1.8k	96.5	96.2	96.9	96.5	96.2	96.9
2k	96.6	96.2	97.2	96.6	96.2	97.2
2.2k	96.8	96.5	97.3	96.8	96.5	97.3
2.4k	97.0	96.7	97.5	97.0	96.7	97.5
2.6k	97.1	96.7	97.6	97.1	96.7	97.6
2.8k	97.1	96.8	97.6	97.1	96.8	97.6
3k	97.1	96.8	97.6	97.1	96.8	97.6

(c)

그림 10. 테스트 패턴 수에 따른 고장 검출율 변화
Fig. 10. Fault coverage graph according to the number of test patterns.

<표 5>에서 저 전력 설계만을 고려한 실험 결과를 보였다. Initial 항은 redundancy가 첨가되기 이전의 회로 상태를 나타낸 것이다. #PI, #PO 항에 각 벤치마크

회로의 주 입력 수, 주 출력 수를 정리하였다. After의 전력소모 항은 원래 회로의 스위칭 정전용량과 논리 변환된 회로의 스위칭 정전 용량의 비를 표시하였다. 논리 변환 후의 벤치마크 회로에는 테스트 모드를 설정하기 위한 T_m핀이 추가되므로, After 항의 주입력 수는 Initial 항의 주입력 수에 비해 1만큼 증가한다. <표 5>에 제시된 바와 같이 제안한 논리 변환방법에 의한 실험결과 벤치마크 회로에 따라서 최대 13% 정도의 전력소모 감소를 확인할 수 있다.

Virginia Polytech에서 개발된 고장 시뮬레이터인 fsim상에서 입력 테스트 패턴수를 1000개에서 3000개까지 변화시키면서 고장 시뮬레이션을 수행한 결과를 <그림 10>에 보였다. cmb에 첨가되는 redundancy는 6개이며, S_{best}로 선택되는 게이트는 3개이다. 각 S_{best}는 <그림 8>의 구조로 대치되었다. rot에 첨가되는 redundancy는 모두 26개이며, 3개의 S_{best}를 <그림 8>의 구조로 대치하였다. org는 변환 이전의 회로, ndft는 변환 이후의 회로이고, dft는 <그림 9>의 알고리듬 적용한 회로의 실험결과를 나타낸다. <그림 10(a)>에서 확인할 수 있는 바와 같이 dft의 경우 작은 테스트 패턴 수에서도 높은 고장 검출율을 보이고 있다. <그림 10(b)>에서도 dft의 고장검출율이 향상됨을 볼 수 있다. 차이가 없는 것으로 보일 수도 있으나, 만약 97%의 stuck-at 고장 검출율이 요구되는 경우에 같은 BIST구조를 사용하더라도 dft는 2000개의 테스트 패턴을 인가하면 되나, org는 2600개의 테스트 패턴을 인가해야 같은 검출율을 얻을 수 있다. 그리고 ndft는 3000개를 인가해도 97% 고장 검출율을 얻을 수 없으므로, 테스트 인가 시간을 비용으로 평가한다면 30% 이상의 비용 절감을 기대할 수 있다. <그림 10(c)>는 두 회로에 대한 실험결과를 표형식으로 보인 것이다.

V. 결 론

본 논문에서 저 전력 소모와 높은 테스트용이성을 동시에 달성하기 위한 논리 변환 방법을 제안되었다. 회로 내에 존재하는 각 CFF에서 발생하는 불필요한 스위칭을 줄이기 위하여 redundancy 첨가 기법을 사용하였으며, 회로에 따라 최대 13% 정도 스위칭 정전용량을 줄일 수 있었다. 저 전력 설계과정 중에 대상 회로의 테스트용이성을 미리 고려하여 정상 동작시의 회로 구조와 테스트 동작시의 회로 구조를 달리 갖도록 하는 테스트가 용이한 redundancy 구조를 제안하였다. MCNC 벤치마크 회로에 대한 실험을 통하여 이와 같은 방법으로 설계된 회로는 높은 고장 검출률과 저 전력 특성을 동시에 보임을 확인할 수 있었다.

참 고 문 헌

[1] J. M. Rabaey and M. Pedram, Low Power Design Methodologies, Kluwer Academic Publishers, pp. 1-18, 1996.

[2] C. K. Lennard, P. Buch, and A. R. Newton, "Logic Synthesis Using Power-Sensitive Don't Care Sets," Proc. ISLPED, pp. 293-296, 1996.

[3] S. Iman and M. Pedram, "An Approach for Multi-level Logic Optimization Targeting Low Power," IEEE Trans. CAD, vol. 15, no. 8, pp. 889-901 , Aug. 1996.

[4] B. Rohfleisch, A. Kolbl, and B. Wruth, "Reducing Power Dissipation after Technology Mapping by Structural Transformations," Proc. Design Automation Conf., pp. 789-794, 1996.

[5] S. Chang, M. Marek-Sadowska, and K. Cheng, "Perturb and Simplify: Mutilevel Boolean Network Optimizer," IEEE Trans. CAD, vol. 15, no. 12, pp. 1494-1504, Dec. 1996.

[6] Ki-Seok Chung, C. L. Liu, "Local Transformation Techniques for Multi-Level Logic Circuits Utilizing Circuit Symmetiries for Power Reduction," Proc. ISLPED, pp. 215-220, 1998.

[7] Y. Son, J. Chong, and G. Russell, "E-BIST : enhanced test-per-clock BIST architecture," Proc. IEE Comput. Digital Techniques, vol. 149, pp. 9-15, Jan. 2002.

[8] J. Savir, "Reducing the MISR size," IEEE Trans. Computers, vol. 45, no. 8, pp. 930-938, 1996.

[9] M. F. AlShaibi and C. R. Kime, "MFBIST : A BIST Method for Random Pattern Registant Circuits," Proc. Int'l Test Conf., pp. 176-185, 1996.

[10] H. Goldstein, "Controllability/observability of digital circuits", IEEE Trans. Circuits and

Systems, pp. 685-693, 1979.

[11] J. C. Costa, J. C. Monteiro, Srinivas Devadas, "Switching Activity Estimation using Limited Depth Reconvergent Path Analysis," Proc. ISLPED, pp. 184-189, 1997.

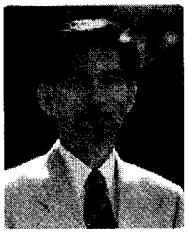
[12] H. K. Lee and D. S. Ha, "An efficient forward fault simulation algorithm based on the parallel pattern single fault propagation," Proc. Int'l Test Conf., pp. 946-955, 1991.

[13] Yoonsik Son and Jongwha Chong, "A New Logic Design Method for Considering Low Power and High Testability," Invited Chapter of System-on-Chip for Real-Time Applications, Kluwer, Oct. 2002.

저 자 소 개

孫 允 植(正會員)

1992년 : 한양대학교 전자공학과(학사). 1994년 : 한양대학교 대학원 전자공학과(석사). 1994년~현재~한양대학교 박사과정. 2001년 1월~현재 : (주)웨이투텍 책임연구원 근무. 주관심 분야는 저전력 설계, VLSI 테스팅, 유무선 통신용 ASIC 설계.



鄭 正 和(正會員)

1975년 : 한양대학교 전자공학과(학사). 1977년 : 한양대학교 대학원 전자공학과(석사). 1981년 : 일본 와세다대학교 대학원 전자공학과(박사). 1986년 6월~1987년 9월 : 미국 Berkeley 대학 박사후 과정. 2000년 10월~현재 : 한양대학교 정보통신대학 교수. <주관심분야 : CAD Algorithm for VLSI, Wireless Communication Chip Design, MPEG Encoder/Decoder Chip Design, 저전력 설계.>