

論文2003-40SD-9-7

새로운 가변 Degeneration 저항을 사용한 2.5V 300MHz 80dB CMOS VGA 설계

(Design of a 2.5V 300MHz 80dB CMOS VGA Using a New Variable Degeneration Resistor)

權 德 起 * , 文 燿 燮 * , 金 巨 成 * , 朴 鍾 泰 * , 劉 宗 根 *

(Duck-Ki Kwon, Yo-Sup Moon, Keo-Sung Kim, Jong-Tae Park, and Chong-Gun Yu)

요 약

디지털 신호에 의해 이득이 조절되는 CMOS VGA의 구조로는 degenerated 차동쌍 구조가 많이 사용되고 있다. 이 구조에서 가변 degeneration 저항을 구현하기 위해 기존에 사용되던 방법으로는 MOSFET 스위치와 함께 저항열 구조를 사용하는 방법과 R-2R ladder 구조를 사용하는 방법이 있다. 그러나 이 방법들을 이용하는 경우에는 degeneration 저항에서의 dc 전압 강하에 의해 저전압 동작이 어려우며, 높은 이득 설정시 대역폭이 크게 제한되기 때문에 고속의 VGA 구현이 어렵다. 따라서, 본 논문에서는 이러한 문제점들을 해결하기 위해 degeneration 저항에서의 dc 전압 강하를 제거한 새로운 가변 degeneration 저항을 제안하였다. 제안된 이득조절 방법을 사용하여, 저전압에서 동작하는 고속의 CMOS VGA를 설계하였다. 0.25 μ m CMOS 공정변수를 사용하여 HSPICE 모의실험을 한 결과, 설계된 VGA는 360MHz의 대역폭과 80dB의 이득조절 범위를 갖는다. 이득오차는 200MHz에서 0.4dB보다 작으며 300MHz에서는 1.4dB보다 작다. 설계된 회로는 2.5V의 전원전압에서 10.8mA의 전류를 소모하며, 칩 면적은 1190 μ m \times 360 μ m이다.

Abstract

A degenerated differential pair has been widely used as a standard topology for digitally programmable CMOS VGAs. A variable degeneration resistor has been implemented using a resistor string or R-2R ladder with MOSFET switches. However, in the VGAs using these conventional methods, low-voltage and high-speed operation is very hard to achieve due to the dc voltage drop over the degeneration resistor. To overcome this problem a new variable degeneration resistor is proposed where the dc voltage drop is almost removed. Using the proposed gain control scheme, a low-voltage and high-speed CMOS VGA is designed. HSPICE simulation results using a 0.25 μ m CMOS process parameters show that the designed VGA provides a 3dB bandwidth of 360 MHz and a 80dB gain control range in 2dB step. Gain errors are less than 0.4dB at 200MHz and less than 1.4dB at 300MHz. The designed circuit consumes 10.8mA from a 2.5V supply and its die area is 1190 μ m \times 360 μ m.

Keyword : CMOS VGA, degenerated 차동쌍, 가변 degeneration 저항, gm-boosting 증폭기

* 正會員, 仁川大學校 電子工學科
(University of Incheon, Department of Electronics Engineering)

※ 본 연구는 2002년도 인천대학교 학술연구비조성과 IDEC 지원에 의하여 수행되었음.

接受日字:2003年3月28日, 수정완료일:2003年9月3日

I. 서론

AGC(Automatic Gain Control) 회로는 전체 시스템의 다이내믹 범위(dynamic range)를 극대화시키기 위해 필수적으로 사용되며, VGA (Variable Gain Amplifier)는 AGC를 구현하기 위한 핵심 부품이다. VGA는 디스크 드라이브 (disk drive)^[1,2], 보청기 (hearing aids)^[3], 광 수신기 (optical-fiber receiver)^[4], 무선 통신 시스템 (wireless communication systems)^[5-7] 등 다양한 응용분야에 광범위하게 사용되고 있다.

VGA는 이득 조절 신호의 유형에 따라 디지털 방식^[6-11]과 아날로그 방식^[12-17]으로 구분된다. 최근 AGC는 같은 칩내의 디지털부로부터 조절을 받는 방식으로 귀환루프 (feedback loop)를 많이 구현하기 때문에, 이런 경우에는 디지털 데이터에 의해 이득이 조절되는 디지털 방식의 VGA가 적합하다. 아날로그 방식은 하나의 아날로그 신호에 의해 이득이 조절되는 방식으로, 위와 같은 AGC 루프를 구현하기 위해서는 ADC와 같은 추가적인 회로가 필요하다는 단점이 있다.

다양한 VGA 구조 중에 가장 기본적으로 많이 사용되고 있는 구조는 degenerated 차동 쌍(differential pair) 구조이다. 이 구조는 회로가 간단하며, 고주파 동작 특성이 좋다는 장점을 갖는다. 이 구조에서 디지털 방식으로 이득을 조절하는 방법으로는 부하 (load) 저항을 조절하는 방법^[7,8]과 degeneration 저항을 조절하는 방법^[9,10]이 있다. 부하 저항을 조절하는 방법은 넓은 이득 조절 범위가 가능하지만, 이득에 따라 대역폭이 변하며 높은 이득일수록 대역폭이 감소한다는 단점이 있다. Degeneration 저항을 조절하는 방법은 전체 이득 범위에서 일정한 대역폭을 얻을 수 있다는 장점은 있으나, 이득 조절 범위가 대체로 작다.

가변(variable) degeneration 저항을 구현하기 위해 기존에 사용되던 방법으로는 저항열(resistor string) 구조^[10]를 사용하는 방법과 R-2R ladder 구조^[9]를 사용하는 방법이 있다. 그러나 이 방법들을 이용한 VGA는 degeneration 저항에서의 dc 전압 강하 때문에 저전압 동작이 어려우며, 높은 이득 설정시 대역폭이 크게 제한된다. 또한, 입력 공통모드 전압 범위가 작으며, 고속의 VGA 구현시 이득의 정확도도 떨어진다는 단점이 있다.

따라서, 본 논문에서는 이러한 문제점들을 해결하기 위해 새로운 가변 degeneration 저항을 제안하였다. 제안된 이득조절 방법을 사용하면, degeneration 저항에서의 dc 전압 강하가 거의 없기 때문에 저전압에서 고속의 VGA 구현이 용이해진다. 제안된 가변 degeneration 저항을 이용하여, 300MHz의 대역폭과 80dB의 이득조절 범위를 갖는 2.5V CMOS VGA를 설계하였다.

II장에서는 degenerated 차동쌍을 이용한 VGA cell의 구조에 대해 알아보고, III장에서는 먼저 기존의 이득조절 방법들과 이들이 가지고 있는 문제점에 대해 자세히 알아본 후, 제안된 이득조절 방법에 대해 알아보고 기존의 방법들과 성능 비교에 대해 언급한다. IV장에서는 제안된 가변 degeneration 저항을 이용한 VGA cell 설계와 이들 cell을 이용한 80dB VGA의 설계과정에 대해 자세히 언급한다. V장에서 모의실험 결과에 대해 언급하고, 마지막으로 V장에서 결론을 맺는다.

II. VGA Cell 구조

<그림 1>의 기본적인 degenerated 차동 쌍 구조의 VGA cell에 대한 전압 이득은 다음과 같다.

$$G = \frac{V_{outp} - V_{outn}}{V_{inp} - V_{inn}} = \frac{R_L}{R_D + \frac{1}{g_m}} \quad (1)$$

여기서 g_m 은 M1과 M2의 트랜스컨덕턴스이다. R_D 는 degeneration 저항이고 R_L 은 부하 저항이다. 이득의 정확도를 높이기 위해서는 이득이 저항 R_L 과 R_D 의 비(ratio)에 의해서만 결정되는 것이 바람직하다. 그러기 위해서는 $1/g_m \ll R_D$ 를 만족해야 하는데, 모든 경우에 이 조건을 충분히 만족시키기가 어렵다. 특히 이득이 높은 경우 R_D 값이 작아야 하기 때문에 이득 오차는 증가하게 된다.

따라서 이득의 정확도와 범위를 향상시키기 위해서는 <그림 2>와 같이 gm-boosting 증폭기를 사용하는 방법이 있다^[18]. <그림 2>에서 gm-boosting 증폭기가 이상적이라면 입력전압이 degeneration 저항 $2R_D$ 에 전부 인가되고 R_D 에만 의존적인 전류가 M1(M2)에 흐르게 된다. 이 전류가 M1a(M2a)에 복사되고 R_L 에 공급되어 이상적인 이득 특성, R_L/R_D 을 얻게 된다. <그림

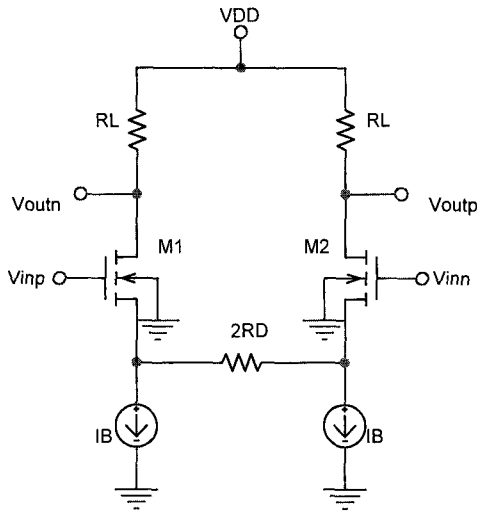


그림 1. 기본적인 degenerated 차동 쌍 구조의 VGA cell
 Fig. 1. VGA cell using a basic degenerated differential pair.

2>의 gm-boosting 증폭기를 사용한 VGA cell의 이득은 다음과 같다.

$$G = \frac{R_L}{R_D + \frac{1}{g_m A}} \quad (2)$$

식 (1)의 gm-boosting 증폭기를 사용하지 않은 경우에 비해 오차 항이 증폭기의 이득 A 만큼 감소하는 것을 알 수 있다.

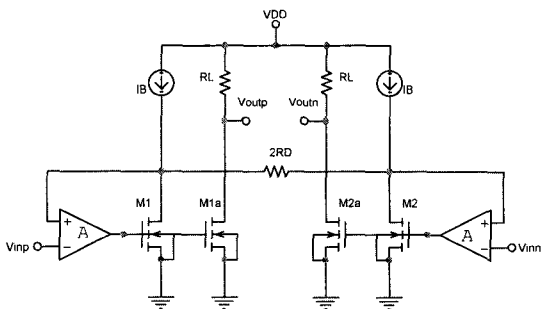


그림 2. gm-boosting 증폭기를 사용한 VGA cell
 Fig. 2. VGA cell using gm-boosting amplifiers.

gm-boosting 증폭기는 간단히 PMOS 트랜지스터로 구현이 가능하다^[9]. 이 방법은 구현이 간단하고 추가적인 비용이 적게 든다는 장점이 있으나, 이득 A가 작기

때문에 VGA의 다이내믹 범위가 14dB 정도로 작은 편이다. gm-boosting 증폭기로 단일 단 cascode 증폭기를 사용한 경우^[10]는 이득이 크기 때문에 VGA의 다이내믹 범위가 36dB로 크게 향상되지만 추가적인 비용이 요구되며 고속 동작에 적합하지 않다. 본 논문에서는 고속의 VGA를 설계하기 위해 첫 번째 방법을 채택하였다.

gm-boosting 증폭기로 PMOS 트랜지스터를 사용한 VGA cell의 구조를 <그림 3>에 보였다. PMOS 트랜지스터 M3과 M4가 gm-boosting 증폭기 역할을 한다. M1과 M2 그리고 M3과 M4가 매칭 되었다고 가정했을 때 전압 이득은 다음 식 (3)과 같다.

$$G = \frac{R_L}{R_D + \frac{1}{g_{m1}(1+A)}} \cdot \frac{A}{1+A} \approx \frac{R_L}{R_D + \frac{1}{g_{m1}A}} \quad (3)$$

여기서 A는 gm-boosting 증폭기의 이득 $r_3 g_{m3}$ 에 해당되며, r_3 은 M3의 드레인 단자에서 들여다 본 등가 저항이다. A가 1보다 상당히 크다면 이득은 이상적인 gm-boosting 증폭기를 사용한 경우의 이득인 식 (2)와 같아지게 된다.

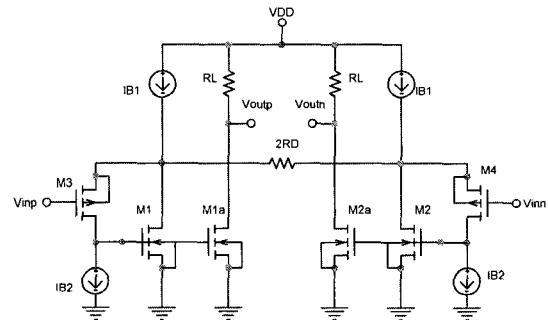


그림 3. gm-boosting 증폭기로 PMOS 트랜지스터를 사용한 VGA cell
 Fig. 3. VGA cell using PMOS transistors for gm-boosting amplifiers.

III. 이득조절 방법

Degeneration 저항인 RD 값을 변화시켜서 VGA cell 이득을 조절하는 방법으로는 <그림 4>에서와 같이 M1과 M2의 드레인 단자를 RD 블록의 'Rsel' 단자에 연결하여 이득을 조절하는 방법이 주로 사용된다. RD의 일부분, 즉 'Rsel' 단자와 'Rout' 단자에 연결된 부분만이

degeneration 저항으로 작용하기 때문에, 스위치를 사용하여 'Rsel' 단자의 위치를 변화시킴으로써 원하는 이득을 얻을 수 있다.

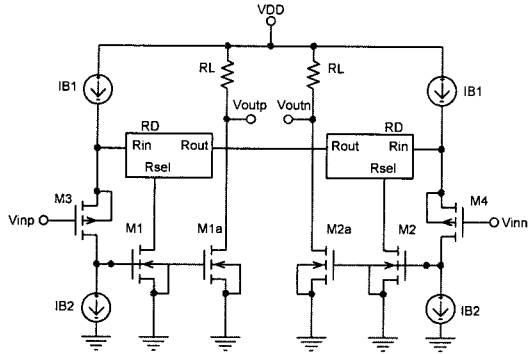


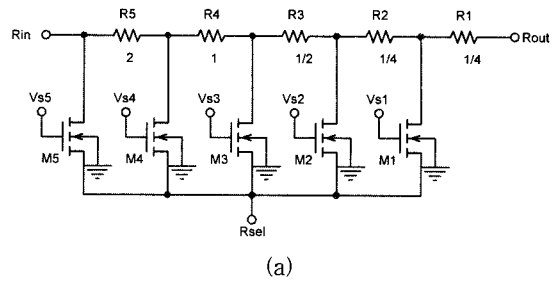
그림 4. VGA cell의 이득 조절 방법
Fig. 4. Gain control scheme of a VGA cell.

1. 기존의 이득조절 방법

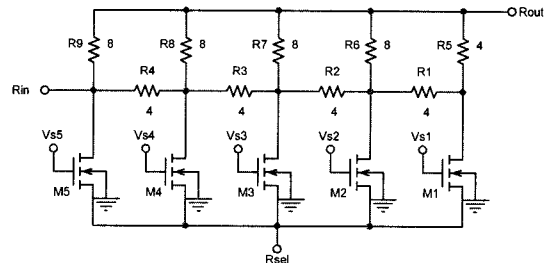
RD 블록을 구현하기 위해 기존에 사용된 방법으로는 <그림 5(a)>에서처럼 간단한 저항열(resistor string)과 스위치를 사용하는 방법^[10]과 <그림 6(b)>에서처럼 R-2R ladder 구조를 사용하는 방법^[9]이 있다. 두 방법 모두 이득조절 범위가 -12dB에서 +12dB까지 6dB step 인 경우에 대한 RD 블록을 나타내었다. 그림에서 저항 값들은 부하 저항 R_L 값에 정규화된 값으로 표시하였다. 보다 세밀한 이득조절을 위해서는 첫 번째 경우 보다 세밀한 저항들을 사용함으로써 구현 가능하고, 두 번째 경우에는 interpolated R-2R ladder 구조^[9]를 사용하여 구현할 수 있다. R-2R ladder 구조를 사용하는 방법은 interpolated 방법을 사용하여 세밀한 이득조절을 쉽게 구현할 수 있다는 장점은 있으나, 저항열을 사용하는 방법에 비해 구조가 복잡하고 더 많은 저항과 더 큰 저항 값이 필요하다는 단점이 있다.

<그림 5>의 두 경우 모두 각각의 스위치 설정시 등가 회로는 <그림 6>과 같다. 여기서 $R_D = R_r + R_c$ 이고 R_c 만이 degeneration 저항으로 동작한다. V_{s5} 가 'high'가 되어 M5만 'on'이 되면 RD 블록의 등가회로는 <그림 6(a)>와 같게 되고, RD 저항 모두가 degeneration 저항으로 동작하게 된다. 따라서 VGA cell의 이득은 $1/4(-12.04dB)$ 가 된다. V_{s4} 가 'high'가 되어 M4만 'on'이 되면 <그림 6(b)>에서와 같이, RD 저항의 반만 degeneration 저항으로 동작하게 되고 이득

은 $1/2(-6.02dB)$ 가 된다. V_{s3} , V_{s2} , V_{s1} 이 'high'인 경우 각각의 이득은 $1(0dB)$, $2(+6.02dB)$, $4(+12.04dB)$ 가 된다.



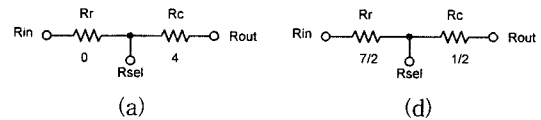
(a)



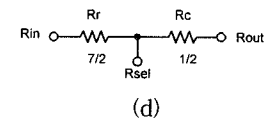
(b)

그림 5. 기존의 RD 블록 구조 (a) 저항열 (b) R-2R ladder

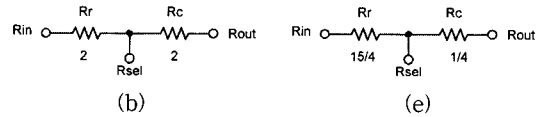
Fig. 5. Conventional RD block structures (a) Resistor string (b) R-2R ladder.



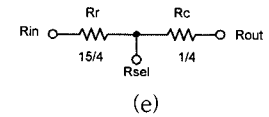
(a)



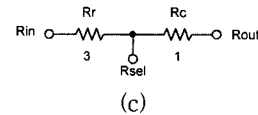
(d)



(b)



(e)



(c)

그림 6. RD 블록의 등가회로 (a) V_{s5} (b) V_{s4} (c) V_{s3} (d) V_{s2} (e) V_{s1}

Fig. 6. Equivalent circuit of the RD blocks (a) V_{s5} (b) V_{s4} (c) V_{s3} (d) V_{s2} (e) V_{s1} .

<그림 6>의 등가회로를 사용했을 때, <그림 4>의 VGA cell의 전압 이득은 다음 식 (4)과 같다.

$$G = \frac{R_L}{\frac{1}{g_{m1}A} + \left(\frac{R_D}{A} + R_c\right)} \quad (4)$$

식 (3)과 비교시 R_D/A 의 오차 항이 더 발생한 것을 알 수 있다. 이는 R_D 중 degeneration 저항으로 동작하는 부분인 R_c 를 제외한 나머지 저항 성분 R_e 에 기인한다. 요구되는 VGA의 낮은 쪽 이득이 작아지면 작아질수록 전체 degeneration 저항 R_D 값은 크게 설정될 수밖에 없기 때문에 R_D/A 의 오차 항은 증가한다. 주어진 이득조절 범위에서는 이득 설정이 클 때 R_c 가 작아지기 때문에 오차 성분이 상대적으로 커진다. 또한, 큰 바이어스 전류를 사용하는 고속의 VGA의 경우는 g_{m1} 은 증가하지만 A 는 감소하여 오차 성분은 증가하게 된다.

이러한 문제점뿐만 아니라 <그림 5>의 RD 블록을 사용하는 경우는 두 가지 더 큰 문제점이 발생한다. 첫 번째는 R_e 에 인가되는 dc 전압강하에 의해 저전압 동작이 어려워지며, 입력공통모드 범위(input common-mode range)가 제한된다는 것이고, 두 번째는 대역폭이 제안되어 고속 동작이 어렵다는 것이다.

<그림 5(a)>의 RD 블록을 사용한 경우 공급전원 전압의 최소값은 다음과 같다.

$$V_{DD, \min} = (R_r + R_{sw})(I_{B1} - I_{B2}) + \Delta V_{IB1} + \Delta V_{M1} \quad (5)$$

여기서, 우측의 첫 번째 항은 R_r 과 MOS 스위치의 온-저항, R_{sw} 에 인가되는 전압 성분이고, ΔV_{IB1} 과 ΔV_{M1} 은 각각 I_{B1} 으로 사용되는 MOS 트랜지스터와 M1의 포화(saturation) 전압이다. <그림 6(e)>의 스위치 설정시 R_e 에 인가되는 전압은 $3.75R_L(I_{B1} - I_{B2})$ 이다. VGA의 이득 설정이 큰 경우, R_r 은 거의 R_D 에 가까운 큰 값을 갖기 때문에 첫 번째 항이 전원 전압의 최소값을 결정하는 중요한 요인이 된다. 따라서 저전압 동작을 위해서는 첫 번째 항을 감소시켜야 한다. R_r 또는 R_D 의 크기를 줄이는 방법은 비례적으로 부하저항 R_L 의 크기를 줄여야하기 때문에, 출력신호의 swing 범위가 감소하고, 출력의 dc 레벨의 조정 필요성으로 전력소모의 증가와 같은 추가적인 비용이 요구된다. 따라서 R_e 의 크기를 줄이는데는 한계가 있다.

($I_{B1} - I_{B2}$)를 줄이는 방법은 M1의 바이어스 전류가 감소하고, g_{m1} 이 감소하게 된다. 이는 대역폭의 감소를 초래하고 VGA의 고속 동작에 제약이 된다.

<그림 5(b)>의 RD 블록을 사용하는 경우는 상황이 더욱 심각해진다. <그림 6(e)>의 스위치 설정시, ac 신호에 대해서는 R_e 이 $3.75R_L$ 이지만, 'Rin'과 'Rsel' 단자사이의 dc 전압 강하는 $6.172R_L(I_{B1} - I_{B2})$ 이다. 따라서, R-2R ladder 구조를 사용하는 경우 저전압 동작이 더욱 어려워진다.

<그림 5(a)>의 RD 블록을 사용한 경우 입력공통모드 범위(ICMR)는 다음 식 (6)과 같다.

$$(R_r + R_{sw})(I_{B1} - I_{B2}) + \Delta V_{M1} - V_{SG3} \leq ICMR \leq V_{DD} - \Delta V_{IB1} - V_{SG3} \quad (6)$$

위 식에서 R_e 에 인가되는 전압에 의해 아래쪽 ICMR이 크게 제한되는 것을 알 수 있다. 또한, R_r 성분은 주변의 커패시터 성분과 함께 극점(pole)을 형성하여, VGA의 주파수 특성에 영향을 미친다. 이득 설정이 큰 경우 R_e 의 값은 커지기 때문에 R_e 에 기인한 극점은 낮은 주파수로 내려오게 되고, 결국 VGA의 대역폭을 제한하게 된다.

2. 제안된 이득조절 방법

기존의 이득조절 방법이 가지고 있는 문제점들을 해결하기 위해 본 논문에서는 <그림 7>과 같은 새로운 RD 블록을 제안하였다. 기본 구조는 <그림 5(a)>의 저항열 구조와 같으나, M1a~M4a의 스위치를 사용하여 각각의 이득 설정시 degeneration 저항으로 동작하지 않는 부분은 바이패스 시킴으로써 R_e 의 영향을 최소화할 수 있다. 스위치가 이상적이라고 가정하면 제안된 RD 블록을 사용했을 때의 이득은 다음 식 (7)과 같다.

$$G = \frac{R_L}{\frac{1}{g_{m1}A} + \left(\frac{1}{A} + 1\right)R_c} \approx \frac{R_L}{\frac{1}{g_{m1}A} + R_c} \quad (7)$$

식 (4)에서의 오차 성분 R_D/A 는 R_c/A 로 감소한다. 따라서, 제안된 RD 블록을 사용한 경우 이득 오차의 개선 잠재력이 존재한다는 것을 알 수 있다.

MOSFET로 구현된 스위치의 특성은 이상적인 스위치 특성과는 다르다. 특히 MOSFET가 'on'되었을 때 채널 저항 성분이 이득의 정확도와 선형성 특성을 저

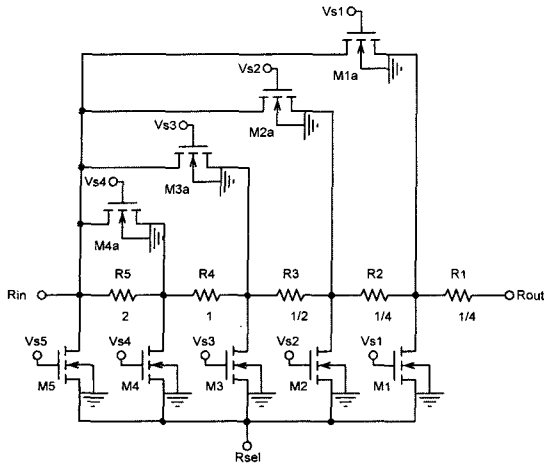


그림 7. 본 논문에서 제안한 RD 블록
Fig. 7. Proposed RD block.

하시킨다. 채널 저항을 줄이기 위해서는 트랜지스터의 W/L 비를 크게 하는 방법이 있으나, 이 방법은 트랜지스터의 면적이 커지기 때문에 기생 커패시턴스가 증가하여 고속 특성이 나빠지게 된다. 따라서 본 논문에서는 기생 커패시턴스의 증가 없이 채널 저항을 줄이기 위해 스위치의 게이트 전압을 증가시키는 방법을 채택하였다. <그림 8>과 같이 전하펌프(charge pump) 회로^[19]를 사용하여 게이트 전압을 증가시켜서 채널저항을 줄일 수 있다. V_{DDa} 가 2.5V일 때 출력전압은 약 4.5V 정도로 증가될 수 있다. 이 방법을 사용하면 적당한 크기의 MOS 트랜지스터로 약 100Ω 수준의 'on' 저항을 갖는 스위치의 구현이 가능하다.

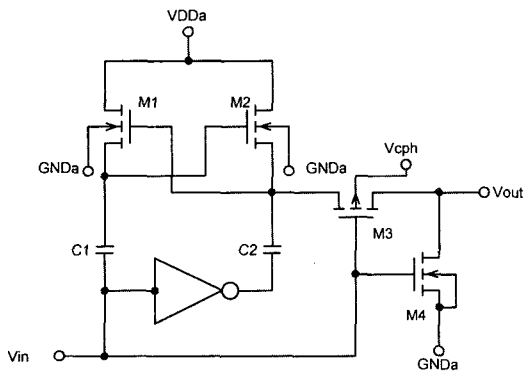


그림 8. 전하펌프 회로
Fig. 8. Charge pump circuit.

제안된 RD 블록을 사용한 경우, <그림 4>에서 I_{B1} -

R_r -M1으로 이어지는 전압강하를 고려했을 때의 전원 전압 최소값은 다음과 같다.

$$V_{DD, \min} = (R_r // R_{sw} + R_{sw})(I_{B1} - I_{B2}) + \Delta V_{IB1} + \Delta V_{M1} \approx 2R_{sw}(I_{B1} - I_{B2}) + \Delta V_{IB1} + \Delta V_{M1} \quad (8)$$

이 값은 식 (5)와 비교해 보면, R_r 이 $R_r // R_{sw}$ 로 감소하였기 때문에, 상당히 작은 값이다. 따라서, 제안된 RD 블록을 사용하는 경우의 최소전원 전압은 오히려 I_{B1} -M3-M1로 이어지는 path에 의해 다음 식 (9)으로 결정될 수 있다.

$$V_{DD, \min} = \Delta V_{IB1} + \Delta V_{M3} + V_{GS1} \quad (9)$$

이는 대략 2V보다 작은 값이다.

고속의 VGA를 얻기 위해서 바이어스 전류를 증가시키게 되면, 제안된 회로에서는 $V_{DD, \min}$ 의 증가는 거의 없지만 기존의 회로에서는 $V_{DD, \min}$ 이 빠르게 증가하게 된다. 포화전압과 게이트-소스 전압이 각각 $\Delta V_{IB1} = \Delta V_{M1} = \Delta V_{M3} = 0.65V$, $V_{SG3} = V_{GS1} = 0.65V$ 로 일정하다고 가정하고, 식 (5), 식 (8), 식 (9)에 기초해서 바이어스 전류의 변화에 대한 $V_{DD, \min}$ 의 계산치를 <그림 9>에 보였다. 부하저항 R_L 는 1kΩ을 사용하였다. 기존의 RD 블록을 사용하면 500μA 이상의 바이어스 전류에서는 3V이하의 전원전압으로는 동작이 불가능하다.

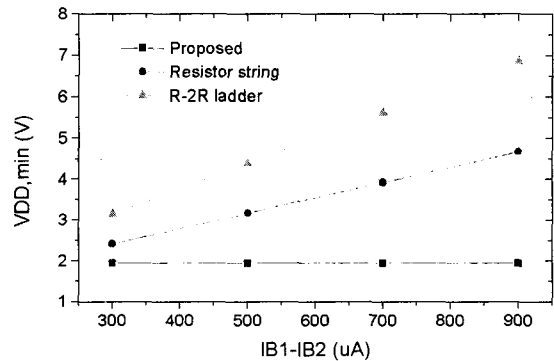


그림 9. 바이어스 전류에 따른 최소 전원전압
Fig. 9. Minimum supply voltages versus bias current.

제안된 RD 블록을 사용한 경우 입력공통모드 범위 (ICMR)의 상한 값과 하한 값은 다음 식 (10)으로 주어

진다.

$$ICMR+ = V_{DD} - \Delta V_{th1} - V_{SG3}$$

$$ICMR- = \max \{ [(R_r // R_{sw} + R_{sw})(I_{B1} - I_{B2}) + \Delta V_{M1} - V_{SG3}], [V_{GS1} - |V_{th3}|] \}$$

여기서 V_{th3} 는 M3의 문턱전압(threshold voltage)이다. $ICMR-$ 값은 대략 0V 근처까지도 가능하며, 기존의 RD 블록을 사용하는 경우에 비해 넓은 $ICMR$ 을 제공한다. 또한, 제안된 RD 블록을 사용하는 경우는 R_r 성분이 $R_r // R_{sw}$ 로 작아지기 때문에 R_r 성분에 기인한 극점은 높은 주파수에 위치하게 되고, VGA의 대역폭은 크게 증가하게 된다.

$ICMR$ 과 대역폭 특성을 비교하기 위해 VGA cell을 구성하였다. <그림 4>에서 I_{B1} , M1, M1a, M2, M2a는 출력저항을 증가시키기 위해 cascode 구조를 사용하여 구현하였다. 전원전압은 2.5V를 R_L 은 1k Ω 를 사용하였으며, 바이어스 전류 $I_{B1} - I_{B2}$ 는 300 μ A를 사용하였다. <그림 9>에서 보듯이 2.5V의 전원에서는 R-2R ladder 구조를 사용한 VGA는 동작하지 않기 때문에, 저항열을 사용한 경우만 제안된 회로와 특성을 비교하였다.

0.25 μ m CMOS 공정변수를 사용하여 SPICE 모의실험한 결과를 <그림 10>과 <그림 11>에 보였다. <그림 10>은 12dB 이득 설정시 입력 공통모드 전압에 따른 VGA의 이득 특성을 보여준다. 제안된 RD 블록을 사용한 경우가 기존의 저항열 구조를 사용한 경우에 비해 $ICMR$ 이 훨씬 크다는 것을 확인 할 수 있다. <그림 11>의 파형은 출력단에 0.2pf의 부하 커패시턴스를 연결했을 때의 주파수 응답이다. 3dB 대역폭이 기존의 경

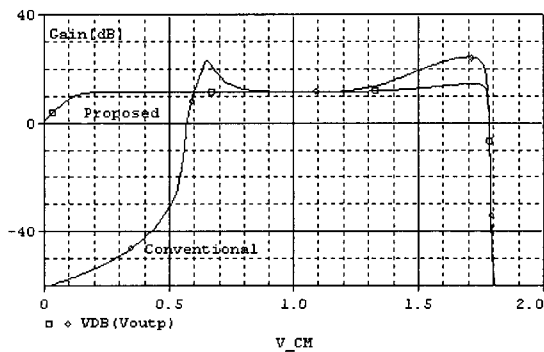


그림 10. $ICMR$ 특성 비교
Fig. 10. $ICMR$ comparison.

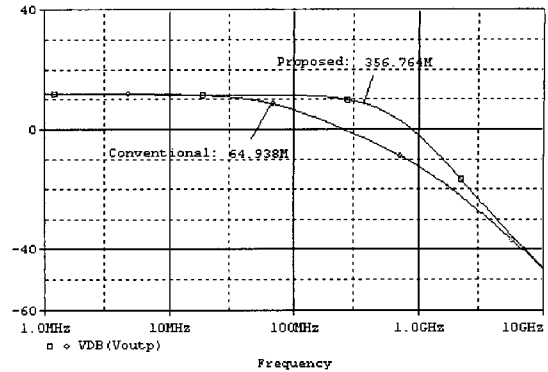


그림 11. 3dB 대역폭 특성 비교
Fig. 11. 3dB bandwidth comparison.

표 1. 2dB step의 이득 조절을 위한 저항 값
Table 1. Resistor values for gain control in 2dB step.

	R5	R4	R3	R2	R1
R_L 에 정규화된 값	13/40	10/40	8/40	7/40	25/40
R_L 이 2k Ω 일 때의 값(Ω)	650	500	400	350	1,250
오차(dB)	-0.05	-0.06	0	0.06	-0.08

우 65MHz로 제한되지만 제안된 회로의 경우는 350MHz로 크게 확대된다. 따라서 제안된 RD 블록이 고속의 VGA를 구현하는데 적합함을 알 수 있다.

제안된 RD 블록의 이득조절을 보다 세밀하게 하기 위해서는 저항열의 저항 값들을 보다 정교하게 구현해야 한다. 예를 들어 -4dB에서 +4dB까지 2dB step으로 이득을 조절하기 위해서는 <그림 7>의 회로에서 저항 값들이 표 1과 같아야 한다. 부하저항 R_L 에 정규화된 값과 R_L 이 2k Ω 일 때 요구되는 값들 그리고 각 스위치 설정시 이득오차를 표에 표시하였다. R_L 이 2k Ω 일 때 요구되는 저항 값들의 해상도는 50 Ω 이며, 이 정도의 해상도는 layout 기법을 사용하여 어느 정도 정확하게 구현이 가능하다. 각 스위치 설정시 이득 오차는 0.1dB 보다 작은 것을 알 수 있다.

IV. 회로 설계

1. VGA Cell 설계

본 논문에서 설계한 VGA cell의 회로도를 <그림 12>에 보였다. 기본적인 구조는 <그림 4>와 같으며, 출력저항을 증가시키기 위해 cascode 구조를 사용하였다. M1a, M1ac는 출력단으로 신호전류를 복사하는 역할을 하며, 이 전류는 M7, M7c, M8, M8c로 구성된 cascode 전류복사 회로를 통해 최종적으로 부하저항에 공급된다. 전류복사 회로를 사용하는 이유는 출력단의 dc 레벨을 조절하여 VGA cell들이 직접 cascade 연결될 수 있도록 하기 위함이다.

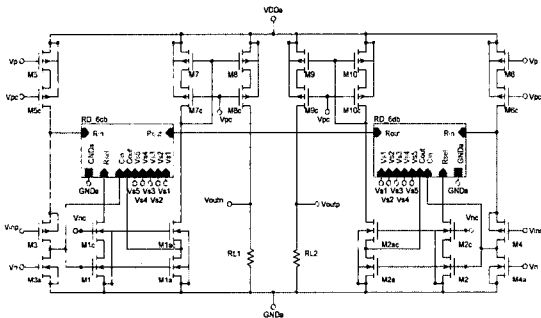


그림 12. 본 논문에서 설계한 VGA cell
Fig. 12. Schematic of the designed VGA cell.

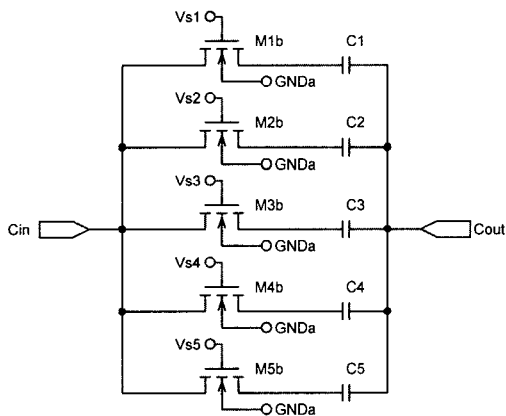


그림 13. 주파수 보상용 커패시터 블록
Fig. 13. Capacitor block for frequency compensation.

RD 블록의 기본 구조는 <그림 7>과 같으며, 'Cint' 과 'Cout' 단자에는 주파수 특성을 보상하기 위해 커패시터가 연결된다. 각각의 이득 설정에 따라 요구되는

커패시터의 값이 다르기 때문에 <그림 13>과 같이 스위치를 사용하여 각각의 이득 설정에 따라 필요한 커패시터가 연결되도록 하였다.

2. 80dB VGA 설계

80dB의 이득조절 범위를 갖는 VGA를 구현하기 위해 <그림 14>에서처럼 24dB의 이득조절 범위를 갖는 VGA cell 3개와 8dB의 범위를 갖는 cell 1개를 cascade 연결하였다. 24dB의 이득조절 범위를 갖는 'Cell6dB'는 3-bit 데이터에 의해 -12dB에서 +12dB까지 6dB step으로 이득이 조절되며, 8dB의 범위를 갖는 'Cell2dB'는 3-bit 데이터에 의해 -4dB에서 +4dB까지 2dB step으로 이득이 조절된다. 따라서 전체 VGA는 -40dB에서 +40dB까지 80dB의 이득조절 범위를 가지며 2dB step으로 이득조절이 가능하다. 모든 VGA cell들의 구조는 <그림 12>와 같으며, RD 블록은 'Cell6B'의 경우 <그림 7>과 같고, 'Cell2dB'의 경우는 <그림 7>에서 저항 값이 <표 1>의 값들로 대체된다. VGA의 최종 출력단에는 부하를 구동하기 위한 버퍼 회로가 필요하다.

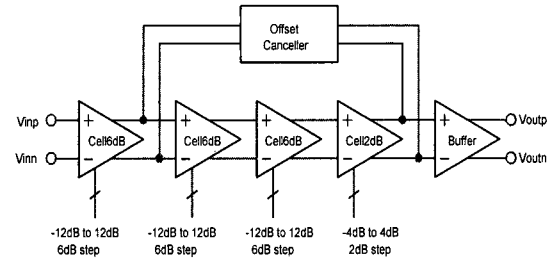


그림 14. 설계된 80dB VGA의 블록 다이어그램
Fig. 14. Block diagram of the designed 80dB VGA.

각 VGA cell에는 바이어스 전류들과 트랜지스터들의 부정합(mismatch)에 의해 오프셋(offset)이 발생하며, 여러 단의 VGA cell이 cascade 연결되는 경우 누적된 오프셋이 후단 cell들을 포화시켜 원하는 동작이 이루어지지 않을 수 있다. 따라서 오프셋의 제거는 필수적이며, 본 설계에서는 <그림 14>에서와 같이 최종 단의 오프셋 출력을 첫 번째 단의 출력으로 negative feedback시켜 제거되도록 하였다.

설계된 오프셋 제거 회로를 <그림 15>에 보였다. M1, M2, M3, M3c로 구성된 간단한 보조 증폭기와 C1, M4, M5로 구성된 low-pass filter로 구성된다. RC filter에서 저항은 칩 면적을 고려하여 트랜지스터로 구현하였

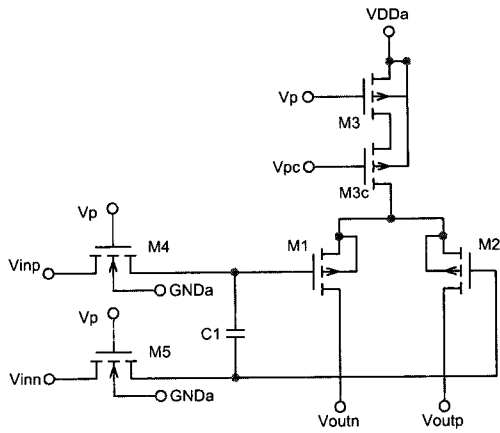


그림 15. 오프셋 제거 회로
Fig. 15. Offset cancelling circuit.

다. 설계된 filter의 cutoff 주파수는 100kHz보다 작다. VGA 최종 출력 단의 오프셋 성분만이 이 filter를 통해 보조 증폭기에 전달되고, 보조 증폭기에서 증폭되어 입력 단으로 feedback 된다. 따라서 오프셋 제거 회로는 신호 주파수 대역 (수십 MHz 이상)에는 거의 영향을 미치지 않는다.

V. 모의실험 결과

설계된 VGA를 0.25 μ m CMOS 공정 변수를 사용하여 HSPICE 모의 실험을 하였다. 이득 설정시 잡음 특성을 고려하여 가능한 앞단의 cell들이 높은 이득을 갖도록 설정하였다. 10dB step으로 -40dB에서 40dB까지 이득 설정시 각 cell의 이득 설정 방법을 표 2에 보였다. 표 2의 이득 설정 방법을 이용하여 설계된 VGA의 최종 단(버퍼 전단) 주파수 특성을 모의 실험하였다. <그림 16>에서 설계된 VGA는 모든 이득 설정에서 3dB 주파수가 360MHz보다 큰 것을 알 수 있다. 10MHz, 100MHz, 200MHz, 300MHz의 주파수에서 VGA의 이득 오차특성을 <그림 17>에 보였다. 설계된 VGA는 모든 주파수에서 상당히 선형적인 이득 특성을 보이며, 이득 오차는 주파수가 증가할수록 증가하지만, 300MHz까지의 이득오차는 1.4dB보다 작은 것을 알 수 있다. 특히 200MHz 이하에서는 이득 오차가 0.4dB보다 작다.

<그림 18>은 설계된 VGA의 과도상태 응답이다. 맨 위의 파형은 4mVp-p의 차동 입력 신호이다. 두 번째 파형은 enable 신호 'EN'과 두 번째 cell의 이득 설정 신호중 하나인 'Vs1' 이다. 'EN' 신호는 20ns 때 인가하

표 2. 각 cell의 이득 설정 방법
Table 2. Gain setting scheme of each cell.

dB \ dB	Cell6dB #1	Cell6dB #2	Cell6dB #3	Cell2dB
40	12	12	12	4
30	12	12	6	0
20	12	0	6	2
10	6	0	0	4
0	0	0	0	0
-10	0	0	-6	-4
-20	0	-6	-12	-2
-30	-6	-12	-12	0
-40	-12	-12	-12	-4

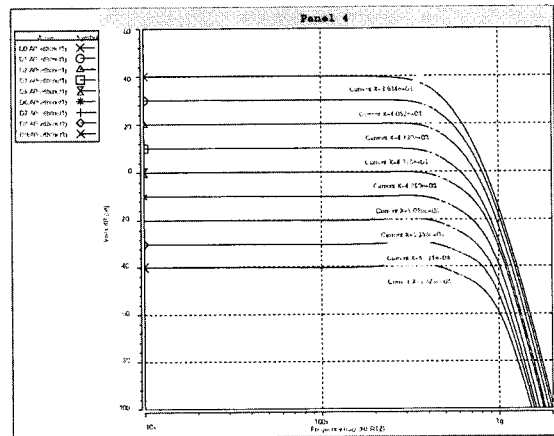


그림 16. 설계된 VGA의 주파수 응답 특성
Fig. 16. Frequency responses of the designed VGA.

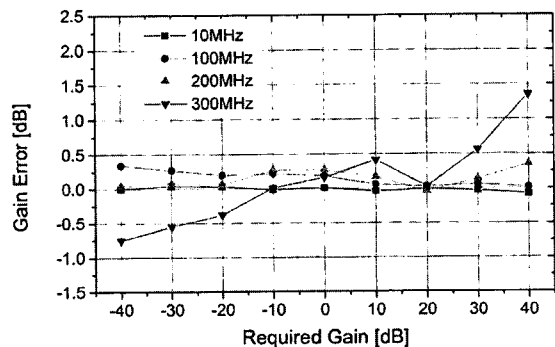


그림 17. 주파수에 따른 이득 오차 특성
Fig. 17. Gain error characteristics.

고, 50ns 때 VGA의 이득이 40dB, 300ns에는 20dB가 되도록 각 cell의 이득 설정 신호를 인가하였다. 두 번째 cell의 'Vs1' 신호는 전하펌프에 의해 약 4V 정도로 증가되어 스위치에 인가되고, 300ns 때 이득 설정에 의

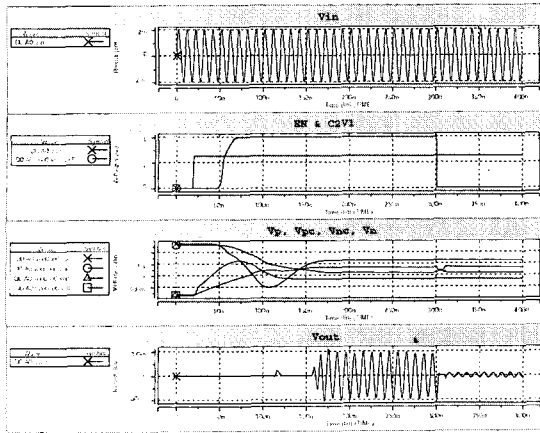


그림 18. 과도상태 응답
Fig. 18. Transient responses.

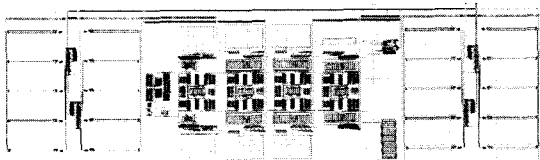


그림 19. 설계된 VGA의 layout 도면
Fig. 19. Layout of the designed VGA.

표 3. 성능 요약 및 비교
Table 3. Performance summary and comparison.

Performance	참고문헌[9]	참고문헌[10]	참고문헌[7]	제안된 회로
Power supply	5V	3V	3V	2.5V
Technology	0.8 μ m CMOS	0.25 μ m CMOS	0.35 μ m CMOS	0.25 μ m CMOS
Current consumption	5nA @5V	1.9nA @3V	9nA @3V	10.8nA @2.5V
Gain range	14dB (-2dB ~ +12dB)	36dB (-18dB ~ +18dB)	60dB (-15dB ~ +45dB)	80dB (-40dB ~ +40dB)
Gain step	2dB	6dB	2dB	2dB
Gain accuracy	50mdB	60mdB	0.3dB	< 0.4dB @200kHz < 1.4dB @300kHz
3dB bandwidth	15% @7pF	22% @7pF	24% @7pF	33% @7pF
Chip area	0.175mm ²	N/A	N/A	1190 μ m \times 360 μ m
Number of stages	1	1	3	4
Cell structure	Degenerated differential pair	Degenerated differential pair	Degenerated differential pair	Degenerated differential pair
Gain control scheme	Degeneration resistor (R 2R ladder)	Degeneration resistor (Resistor string)	Load resistor	Degeneration resistor (Proposed)

해 다시 0V로 떨어지는 것을 알 수 있다. 위에서 세 번째 파형들은 VGA에 인가되는 바이어스 전압 파형들로서 'EN' 신호가 인가된 후 과도상태를 거쳐 150ns 후 정상상태로 진입하는 것을 알 수 있다. 네 번째 파형은

차동 출력 파형이다. 바이어스 전압들이 정상상태가 된 후에 입력신호가 40dB 증폭되어 400mVp-p의 출력신호가 나타나며, 300ns에는 20dB 증폭에 해당하는 40mV p-p의 신호가 나타나는 것을 확인할 수 있다.

설계된 VGA는 2.5V 전원 전압에서 10.8mA(출력버퍼 제외)의 전류를 소모하며, 칩 면적은 1190 μ m \times 360 μ m이다. 설계된 회로의 layout 도면을 <그림 19>에 보였다. 설계된 VGA의 성능 요약과 디지털 방식의 이득조절 기능을 갖는 기존의 VGA들과의 성능 비교를 표 3에 보였다. 표 3에서 보듯이 설계된 VGA는 기존의 R-2R ladder^[9]나 저항열^[10] 구조의 degeneration 저항을 사용한 VGA에 비해 3dB 대역폭이 상당히 크며, 저전압 동작이 가능하다. 또한 부하저항을 조절하는 방식을 갖는 참고문헌 [7]의 VGA에 비해 이득 조절 범위가 넓은 것을 알 수 있다.

VI. 결 론

본 논문에서는 300MHz의 대역폭과 80dB의 이득 조절 범위를 갖는 2.5V CMOS VGA를 설계하였다. Degeneration 저항에서의 dc 전압 강하를 제거한 새로운 가변 degeneration 저항을 이용하여 VGA cell을 구현함으로써, 저전압에서 동작하는 고속의 CMOS VGA를 설계할 수 있었다. 설계된 회로를 0.25 μ m CMOS 공정변수를 사용하여 HSPICE 모의실험을 한 결과, -40dB에서 +40dB까지 2dB step의 이득조절 범위에서 모든 이득 설정시 3dB 대역폭은 360MHz보다 크며, 이득 오차는 200MHz와 300MHz의 주파수에서 각각 0.4dB와 1.4dB보다 작다. 전류소모는 2.5V의 전원전압에서 10.8mA이며, 칩 면적은 1190 μ m \times 360 μ m이다. 설계된 VGA는 디지털 방식으로 이득 조절이 필요하며, 저전압 동작과 고속 특성이 요구되는 다양한 AGC 응용분야에 유용하게 사용될 수 있다.

참 고 문 헌

- [1] R. Gomez and A. A. Abidi, "A 50-MHz CMOS variable gain amplifier for magnetic data storage systems," IEEE JSSC, vol. 27, pp. 935-939, June 1992.
- [2] R. Harjani, "A low-power CMOS VGA for 50 Mb/s disk drive read channels," IEEE Transac-

- tions on Circuits and Systems II, vol. 42 pp. 370-376, June 1995.
- [3] W. A. Serdijn, A. C. van der woerd, W. J. Davidse, and A. H. M. van Roermund, "A Low-Voltage Low-Power Fully-Integratable Automatic Gain Control for Hearing Instruments," *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 943-946, August 1994.
- [4] T. H. Hu and P. R. Gray, "A Monolithic 480 Mb/s Parallel AGC/Decision/ Clock-Recovery Circuit in 1.2- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 28, pp. 1314-1320, December 1993.
- [5] S. Tadjipour, F. Behbahani, and A. A. Abidi, "A CMOS variable gain amplifier for a wideband wireless receiver," *Symposium on VLSI Circuits*, pp. 86-89, 1998.
- [6] F. Piazza, P. Orsatti, Q. Huang, and H. Miyakawa, "A 2mA/3V 71MHz IF Amplifier in 0.4 μ m CMOS Programmable over 80dB Range," *ISSCC*, pp. 778-79, 1997.
- [7] M. A. I. Mostafa, S. H. K. Embabi, and M. A. I. Elmala, "A 60dB, 246MHz CMOS variable gain amplifier for subsampling GSM receivers," *International Symposium on Low Power Electronics and Design*, pp. 117-122, 2001.
- [8] M. Mostafa, H. Elwan, A. Bellaour, B. Kramer, and S. H. K. Embabi, "A 110 MHz 70 dB CMOS variable gain amplifier," *ISCAS '99*, vol. 2, pp. 628-631, 1999.
- [9] J. J. F. Rijns, "CMOS low-distortion high-frequency variable-gain amplifier," *IEEE Journal of Solid-State Circuits*, vol. 31, pp.1029-1034, July 1996.
- [10] D. K. Kwon, et al., "A CMOS VGA Cell with 36dB Gain Range," *2002 SOC Design Conference*, P1-15, 2002.
- [11] H. O. Elwan and M. Ismail, "Digitally programmable decibel-linear CMOS VGA for low-power mixed-signal applications," *IEEE Transactions on Circuits and Systems II*, vol. 47 pp. 388-398, May 2000.
- [12] W. C. Song, C. J. Oh, G. H. Cho, and H. B. Jung, "High frequency/high dynamic range CMOS VGA," *Electronics Letters*, vol. 36, pp. 1096-1098, June 2000.
- [13] P. C. Huang, L. Y. Chiou, and C. K. Wang, "A 3.3-V CMOS wideband exponential control variable-gain-amplifier," *ISCAS '98*, vol. 1, pp. 285-288, 1998.
- [14] M. M. Green and S. Joshi, "A 1.5 V CMOS VGA based on pseudo-differential structures," *ISCAS 2000*, vol. 4, pp. 461-464, 2000.
- [15] T. Yamaji, N. Kanou, and T. Itakura, "A temperature stable CMOS variable gain amplifier with 80-dB linearly controlled gain range," *Symposium on VLSI Circuits*, pp. 77-80, 2001.
- [16] C.-C. Chang, M.-L. Lin, and S.-I. Liu, "CMOS current-mode exponential-control variable-gain amplifier," *Electronics Letters*, vol. 37, pp. 868-869, July 2001.
- [17] G. Chunbing and H. C. Luong, "A 70-MHz 70-dB-gain VGA with automatic continuous-time offset cancellation," *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems*, vol. 1, pp. 306-309, 2000.
- [18] S. D. Willingham, K. W. Martin, and A. Ganesan, "A BiCMOS Low-Distortion 8-MHz Low-Pass Filter," *IEEE Journal of Solid-State Circuits*, vol. 28, pp.1234-1245, December 1993.
- [19] T. Cho, P. R. Gray, "A 10b 20Msamples/s, 35mW pipeline A/D converter" *IEEE J. of Solid-State Circuits*, vol. 30, no.3, pp. 166-172, March 1995.

저 자 소 개



權 德 起(正會員)

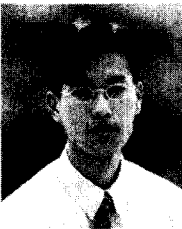
1988년 2월 : 인천대학교 전자공학과 학사. 2000년 2월 : 인천대학교 대학원 전자공학과 석사. 2001년 3월~현재 : 인천대학교 대학원 전자공학과 박사과정. <주관심분야 : CMOS 아날로그/혼성모드 집적회

로 설계, RFIC 설계>



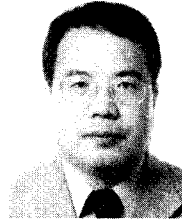
文 燿 燮(正會員)

2001년 2월 : 인천대학교 전자공학과 학사. 2003년 8월 : 인천대학교 대학원 전자공학과 석사. <주관심분야 : CMOS 아날로그/혼성모드 집적회로 설계, RFIC 설계>



金 巨 成(正會員)

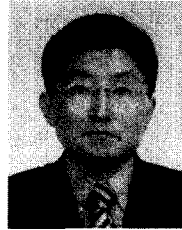
2002년 2월 : 인천대학교 전자공학과 학사. 2002년 3월~현재 : 인천대학교 대학원 전자공학과 석사과정. <주관심분야 : CMOS 아날로그/혼성모드 집적회로 설계, RF 회로설계>



朴 鍾 泰(正會員)

1981년 2월 : 경북대학교 전자공학과 학사. 1983년 8월 : 연세대학교 대학원 전자공학과 석사. 1987년 2월 : 연세대학교 대학원 전자공학과 박사. 1983년 8월~1985년 8월 : 금성반도체(주) 연구소 연구원.

1991년 1월~1991년 12월 : MIT Post Doc. 2000년 7월~2001년 8월 : UC Davis 방문교수. 1987년 3월~현재 : 인천대학교 전자공학과 교수. <주관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS>



劉 宗 根(正會員)

1985년 2월 : 연세대학교 전자공학과 학사. 1987년 2월 : 연세대학교 대학원 전자공학과 석사. 1993년 12월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D. 1989년 9월~1991년 8월 : Texas A&M

University 전기공학과 연구조교. 1994년 3월~현재 : 인천대학교 전자공학과 부교수. <주관심분야 : CMOS Analog/Mixed-mode IC 설계, RFIC 설계>