

## CMOS 공정을 이용한 무선인식 송수신 집적회로의 설계 및 제작

### Design and Implementation of a RFID Transponder Chip using CMOS Process

신봉조\*, 박근형

(Bong Jo Shin\* and Keun Hyung Park)

#### Abstract

This paper describes the design and implementation of a passive transponder chip for RFID applications. Passive transponders do not have their own power supply, and therefore all power required for the operation of a passive transponder must be drawn from the field of the reader. The designed transponder consists of a full wave rectifier to generate a dc supply voltage, a 128-bit mask ROM to store the information, and Manchester coding and load modulation circuits to be used for transmitting the information from the transponder to the reader. The transponder with a size  $410 \times 900 \mu\text{m}^2$  has been fabricated using  $0.65 \mu\text{m}$  2-poly, 2-metal CMOS process. The measurement results show the data transmission rate of 3.9 kbps at RF frequency 125 kHz.

**Key Words** : RFID, Load Modulation, Damping, Transponder Chip

#### 1. 서 론

무선인식(RFID : Radio Frequency Identification) 시스템[1]은 그림 1과 같이 질문기인 리더기(reader), 응답기인 트랜스폰더(transponder)와 데이터를 처리하는 호스트 컴퓨터로 구성되며, 트랜스폰더는 하나의 트랜스폰더 집적회로와 이 집적회로 외부에 하나의 LC탱크(tank)로 구성된다. 이 시스템의 동작을 간략히 설명하면, 리더기에서 트랜스폰더로 자기장에너지를 전송하면 트랜스폰더에서는 이 자기장에너지로부터 전원을 만들고, 이 전원을 이용하여 트랜스폰더내의 메모리에 저장되어 있는 인식(identification) 데이터를 변조하여 리더기로 보내준다. 리더기에서는 수신된 미약한 인식 데이터를 증폭하여 복조한 후 호스트 컴퓨터에

전달하면, 호스트 컴퓨터에서는 내부에 담고있는 등록된 인식 데이터 베이스와 비교하여 이에 따르는 조치를 취하게 된다[2]. 이렇게 트랜스폰더내부에 별도의 전원(battery)없이 외부에서 보내주는 자기장을 이용하여 전원을 만드는 시스템을 수동형이라 한다[2].

본 논문은 CMOS공정을 이용하여 수동형 진폭 변조 방식으로 트랜스폰더 집적회로의 설계 및 제작에 관한 것이다. 본 연구에서의 데이터 송수신 방법은 유도성 결합 시스템을 이용한 리더기의 일차 측 코일과 트랜스폰더의 이차 측 코일간의 변압기형 결합을 근간으로 한다[2]. 그림 2에서 보는 바와 같이 만약 트랜스폰더가 리더기의 안테나의 자기장내에 위치하면, 자기장으로부터 에너지를 얻는다. 트랜스폰더는 이 자기 에너지를 이용하여 자체적으로 내부 전원을 만들어서 내부에 저장하고 있는 인식 데이터를 리더기로 보낸다. 이 인식 데이터에 따라 트랜스폰더 코일 양단의 전압을  $V_1$ 과  $V_2$ 로 선택적으로 변화시키면, 이 변화에 의하여 리더기 코일 양단의 전압을 변화시킨다. 이러한 리더기 코일 양단

\* : 충북대학교 전기전자컴퓨터공학부 컴퓨터정보통신연구소  
(충북 정주시 흥덕구 개신동 산 48,

Fax : 043 274 9614

Corresponding Author : shinbj@cbucc.chungbuk.ac.kr  
2003년 2월 11일 접수, 2003년 3월 10일 1차 심사완료,  
2003년 3월 27일 최종 심사완료

의 전압 변화는 리더기 내 검파 회로를 통해서 인식 데이터를 복원함으로써 데이터 전송이 이루어진다. 이렇게 데이터 전송과 에너지 전송이 동시에 이루어지는 것을 전 이중방식(full duplex) 이라 한다[1,3].

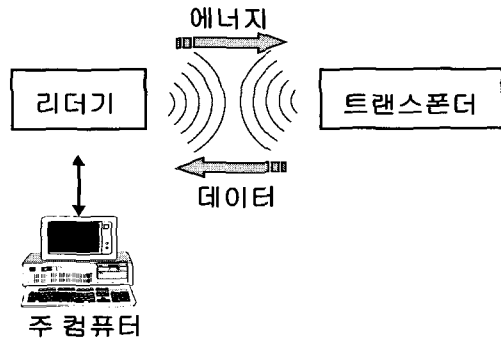


그림 1. RFID 시스템 구성도.  
Fig. 1. Block diagram of a RFID system.

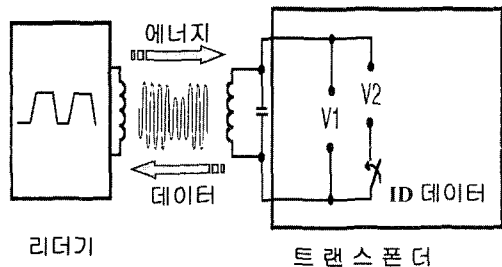


그림 2. 트랜스폰더의 동작 원리.  
Fig. 2. Operating principle of a transponder.

## 2. 트랜스폰더의 설계

설계된 칩의 구조는 그림 3과 같이 크게 아날로그와 디지털 블록으로 이루어진다.

아날로그 블록을 좀더 자세히 살펴보면 아래의 세 부분으로 구성된다.

1) 전원부: 그림 4와 같이 이 회로에 사용된 브리지 정류기는 CMOS공정으로 제작됨으로 4개의 다이오드-결선 증가형 nMOS트랜지스터를 사용한 브리지 정류기와 직류전압의 리플을 감소시키기 위한 캐패시터 C와 저항 R로 구성된다.

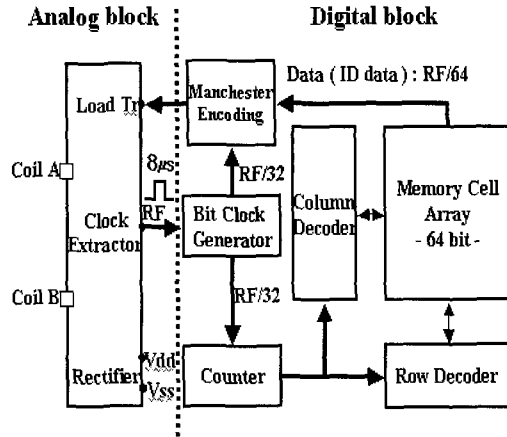


그림 3. 설계된 트랜스폰더의 블록도.  
Fig. 3. Block diagram of the designed transponder.

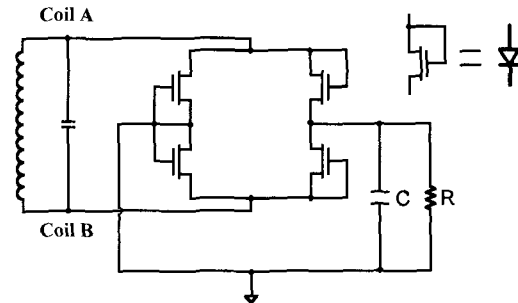


그림 4. 브리지 정류 회로.  
Fig. 4. Bridge rectifier circuit.

2) 클럭 추출부: 대부분의 트랜스폰더들은 플립 플롭을 비롯한 상태 머신(state machine)들과 카운터 등에 온-보드(onboard) 클럭을 생성시키고, 또한 리더기로 보내는 데이터에 대한 데이터 전송 비트 즉 비트 클럭(bit clock)을 만들어 내기 위해 RF 사인파로부터 클럭을 추출해 낸다(system clock). 그림 5와 같이 클럭을 추출해 내는 회로로 2개의 2 입력 NAND로 구성된 SR(set-reset) 래치(latch)를 이용하였다. 클럭은 RF 사인파로부터 추출되므로, RFID 시스템의 동작 주파수(125 kHz)와 동일한 8µs의 주기를 갖는다. 이 8µs의 클럭은 다시 비트 클럭 발생기(bit clock generator)로 입력되어 디지털 회로의 기준 클럭을 만든다.

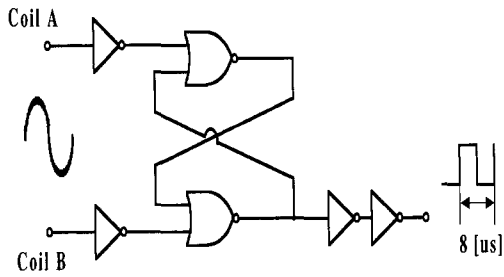


그림 5. 클럭 추출 회로.  
Fig. 5. Clock extraction circuit.

3) 댐핑부(부하): 그림 6 (a)와 같이 부하 트랜지스터  $T_1$ ,  $T_2$ 와 높은 전압을 제한하여 IC를 보호하기 위하여 제너 다이오드로 구성된다. 부하 트랜지스터  $T_1$ 과  $T_2$ 의 스위칭에 의하여 리더기로 데이터가 전송된다. 그림 6 (a)의 회로는 앞서 설명한 그림 2와 같이 인식 데이터에 따라 코일 양단의 전압을  $V_1$ 과  $V_2$ 로 선택적으로 변화시키도록 구현하였다. 이러한  $V_1$ 과  $V_2$  전압 변화의 선택은 트랜스폰더 내부에 저장된 인식 데이터에 의해 이뤄진다. 인식 데이터에 의해 스위칭이 되는 스위치 트랜지스터  $T_1$ 과  $T_2$ 가 턴 오프 상태에선 트랜스폰더 코일 양단의 전압은 제너 다이오드  $Z_1$ ,  $Z_2$ 에 의해서  $V_1$  전압만큼 제한되고, 부하 트랜지스터  $T_1$ 과  $T_2$ 가 턴 온 상태에선 트랜스폰더 코일 양단의 전압은 제너 다이오드  $Z_3$ ,  $Z_4$ 에 의해서  $V_2$  전압만큼 제한된다. 물론, 여기서 주목할 것은 제너 다이오드  $Z_1$ ,  $Z_2$ 와  $Z_3$ ,  $Z_4$ 는 각각 제한하는 전압의 크기가 서로 다르도록 설계해야 한다. 그림 6 (b)는 댐핑 회로의 시뮬레이션 결과이다. 첫째 파형은 리더기 코일의 양단에 걸리는 신호를 나타내고, 둘째 파형은 리더기 코일의 양단에 걸리는 신호 피크값의 확대 그림이다. 셋째 파형은 트랜스폰더 코일의 양단에 걸리는 신호를 나타내고, 마지막 파형은 코일 양단에 걸리는 교류 신호를 정류해서 얻어낸 직류 전원 신호이다. 트랜스폰더 양단의 전압은 데이터가 'L'일 때 첨두치가 5.63 V, 데이터가 'H'일 때는 첨두치가 4.58 V로 댐핑 되었다. 또한, 트랜스폰더 내부에 공급하는 직류 전압  $V_{cc}$ 는 2.3 ~ 3.2 V 값을 나타낸다. 이렇게  $V_{cc}$  전압값이 일정하지 않은 이유는 브리지 정류기의 입력이 코일 양단에 연결되어  $V_{cc}$ 가 만들어짐으로 인식 데이터에 따른 댐핑의 영향을 받기 때문이다.

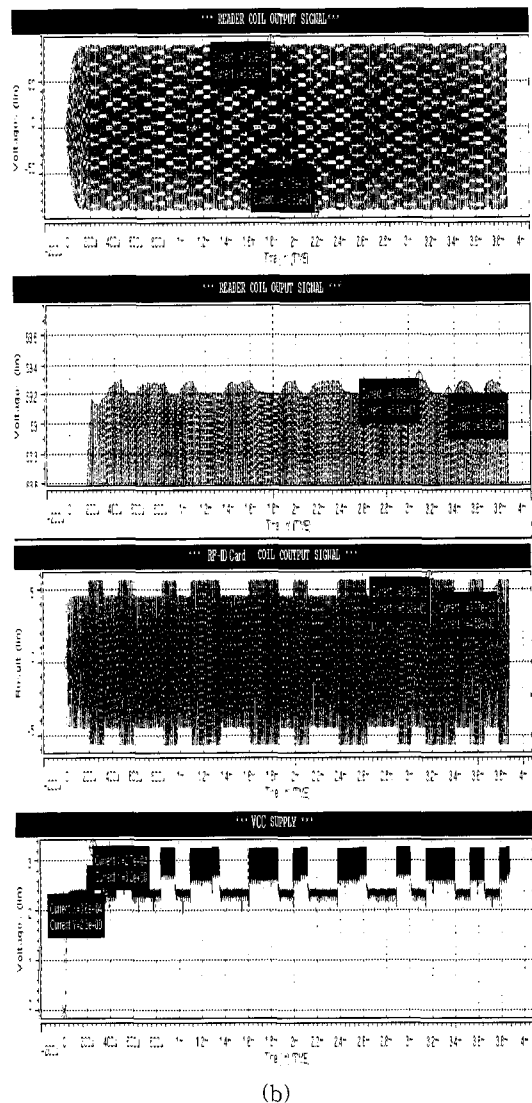
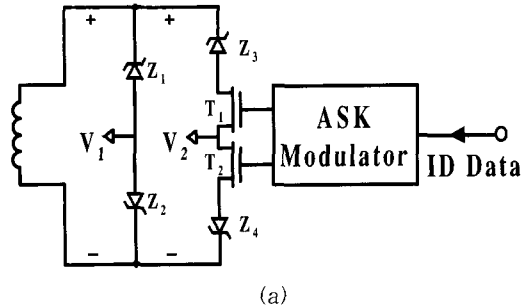


그림 6. 댐핑 회로 (a) 회로도 (b) 시뮬레이션 결과.  
Fig. 6. Damping circuit (a) circuit, (b) simulation results.

다음은, 디지털 블록을 자세히 살펴보면 아래의 네 부분으로 구성된다.

1) 비트 클럭 발생회로: 댐핑부에서 만들어진 시스템 클럭을 분주하여 모든 디지털 블록에 클럭을 공급하는 역할을 한다. 125kHz 동작 주파수를 가진 트랜스폰더의 클럭을 32 분주하여 비트 클럭을 생성한다. 비트 클럭의 한 주기는  $8 \times 32 = 256$  [us]이며 이것이 바로 디지털 블록의 기준 클럭이 된다. 그림 7 (a)는 비트 클럭 발생기 회로이다. 이 회로에서 시스템 리셋(system reset) 신호는 트랜스폰더에 직류 전압(Vcc)이 공급되면, 비트 클럭 발생기를 초기화 시켜주는 신호이다. 시스템 클럭(system clock) 입력을 통해서 8us의 클럭이 들어가서, 그림 7 (a)에서 \*로 표시된 게이트들에 의해 2 분주 된다. 본 비트 클럭 발생기에서 기본적인 구조로 두 개의 래치 형태의 NAND 게이트와 두 개의 T(toggle)-플립플롭으로 구성된다. \*로 표시된 게이트들에서 출력된 2 분주된 신호는 위 부분의 두 개의 래치 형태의 NAND 게이트와 세 개의 T(toggle)-플립플롭으로 구성된 4 분주 회로의 입력으로 들어가 출력으로 8 분주가 되고, 이 신호는 결국 두 개의 바로 이웃한 T-플립플롭을 통하여 16 분주 신호와 32 분주 신호를 내보내게 된다. 그림 7 (b)는 본 비트 클럭 발생기의 시뮬레이션 결과 파형으로 125 kHz에 해당하는 시스템 클럭이 각각 16 분주와 32 분주되어 출력되는 것을 보여 준다. 16 분주 신호는  $8 \times 16 = 128$  us의 주기를 갖는 클럭을 발생하고, 32 분주 신호는  $8 \times 32 = 256$  us의 주기를 갖는 클럭을 발생한다.

2) 카운터(counter)와 디코더(decoder): 인식 데이터 저장용 메모리를 64와 128 비트로 각각 마스크 옵션으로 선택할 수 있도록 설계되었다. 그러므로 메모리에 최대로 저장된 128 비트를 직렬 형태의 데이터로 순차적으로 출력하기 위하여, 메모리의 번지를 순차적으로 지정하도록 7 비트의 카운터를 설계하였다. 그림 8에서 보는 바와 같이 하나의 입력 단자만을 가지며, 음성천이가 발생할 때마다 출력 상태를 반전시키는 에지 트리거(edge triggered)형의 T-플립플롭으로 구성하였다. 하위 3 비트(BIT CLOCK/2~BIT CLOCK/8)는 8개의 비트 라인을 선택하기 위한 컬럼 디코더(column decoder)의 입력으로 사용되고, 상위 4 비트(BIT CLOCK/16~BIT CLOCK/128)는 16개의 워드 라인을 선택하기 위한 로우 디코더(row decoder)의 입력으로 사용된다. 본 논문에서는 64 비트 메모리를 사용하여 6비트 카운터가 사용된다.

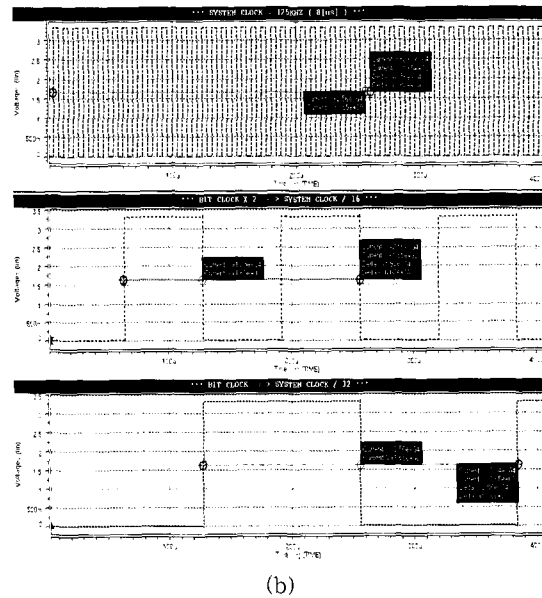
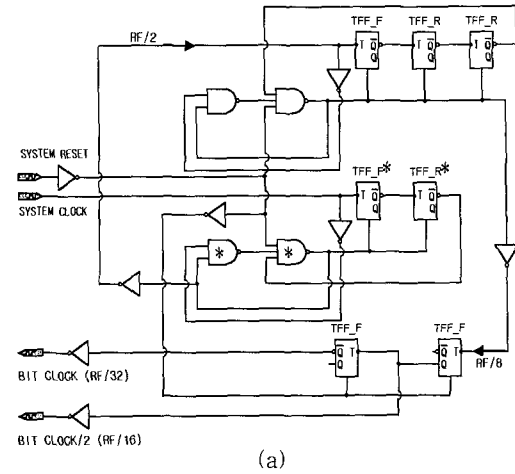


그림 7. 비트 클럭 회로 (a) 회로도 (b) 시뮬레이션결과.  
Fig. 7. Bit clock generation circuit (a) circuit, (b) simulation results.

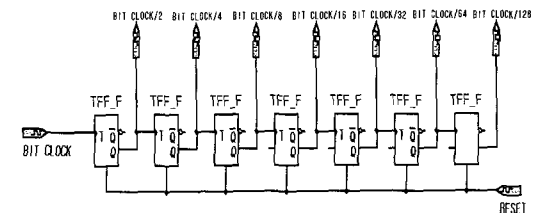


그림 8. 비트 카운터 회로.  
Fig. 8. Bit counter circuit.

3) 메모리: 인식 데이터를 저장하기 위하여 마스크 롬(mask ROM)을 사용하였다. 메모리의 용량은 마스크 옵션으로 64 비트와 128 비트를 선택할 수 있도록 설계하였고 본 논문에서는 64 비트 마스크 롬을 사용하였다.

4) 변조 회로: 메모리로부터 읽혀진 데이터는 변조 회로에서 맨체스터(Manchester)방식으로 부호화된다. 이렇게 변조된 데이터는 탭핑부인 부하 트랜지스터의 게이트로 입력되어 이 트랜지스터를 스위칭 시킨다.

### 3. 칩 제작

그림 9는 트랜스폰더 칩의 전체 레이아웃(layout)이고, 칩 제작 후 회로 검증 및 측정을 위하여 ROM 데이터 출력, 맨체스터로 변조된 출력, 시스템 리셋, Vdd, Vss와 송수신을 위한 코일 연결용으로 모두 7개의 테스트용 패드(pad)를 만들었으며, 이 트랜스폰더 칩은 0.65  $\mu\text{m}$  2-poly, 2-metal CMOS ASIC공정을 사용하여 제작되었고, 칩의 크기는 410 x 900  $\mu\text{m}^2$  이다.

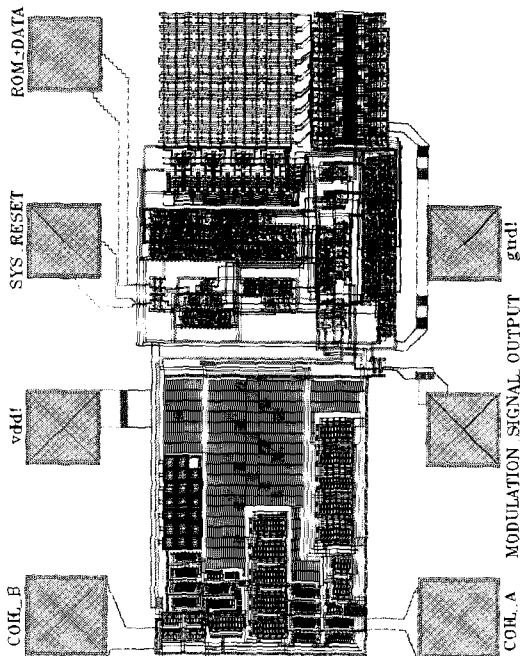


그림 9. 설계된 트랜스폰더 칩 레이-아웃도.  
Fig. 9. Layout of the designed transponder chip.

### 4. 측정결과 및 고찰

그림 10은 개발된 트랜스폰더의 결과 파형으로서 리더기의 신호 주파수는 125 kHz RF이고, 리더기와 트랜스폰더사이의 거리가 10cm일 때의 결과이다. 파형(a)는 시스템 리셋신호로서 이 신호가 'H'에서 'L'로 천이하면 이 시점부터 메모리에 있는 인식 데이터를 순차적으로 리더기로 전송한다.

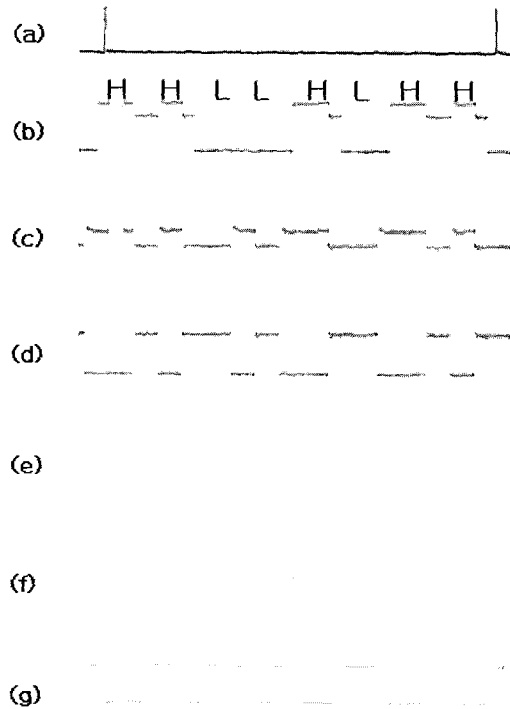


그림 10. 측정결과 (a) 시스템 리셋 사이의 시간, 16.4 ms, (b) ROM 데이터 출력, 'HLLHLHH', (c) 내부 Vdd 전압, 2 V/Div., (d) 맨체스터 변조 출력, (e) 트랜스폰더 코일의 전압, 5 V/Div., (f) 리더기 코일의 전압, 0.25 V/Div., (g) 리더기의 출력.

Fig. 10. Measured results (a) period of system-reset, 16.4 ms, (b) output of ROM data, 'HLLHLHH', (c) internal Vdd voltage, 2 V/Div, (d) output of Manchester modulation, (e) voltage of transponder coil, 5 V/Div., (f) voltage of reader coil, 0.25 V/Div., (g) the data extracted from the reader.

이 신호는 트랜스폰더가 리더기의 자기장내에 있다면, 반복적으로 발생되어 연속적으로 인식 데이터가 전송된다. 시스템 리셋 사이의 시간이 16.4 ms이므로 데이터 전송율은 3.9 kbps(64 bit/16.4 ms)임을 알 수 있다. 파형(b)는 메모리 출력으로서 64 bit 마스크 롬 데이터 중의 1바이트(byte)를 나타내었다. 파형(c)는 전파 정류된 전압이 1.8~2.4 V를 나타낸다. 이러한 전압분포는 부하 트랜지스터가 ON/OFF됨에 따라 발생한다. 파형(d)는 메모리에 저장된 인식 데이터가 맨체스터 변조된 출력이다. 이 파형이 부하 트랜지스터를 스위칭시킨다. 파형(e)는 트랜스폰더 코일에서의 파형이며, 이 파형은 맨체스터 변조된 파형과 반대의 위상을 갖는다. 파형(f)와 (g)는 리더기 코일에서의 파형과 리더기 출력에서의 파형이다. 이들 파형을 비교해보면, 메모리 데이터 출력(b)가 맨체스터 변조되어진 파형(d)와 리더기의 출력 파형(g)와 정확히 일치함을 알 수 있다. 이는 트랜스폰더로부터 리더기로 데이터 전송이 정확히 이루어짐을 나타낸다.

transponder IC for high performance identification system", IEEE J. of Solid State Circuits, Vol. 30, No. 3, p. 306, 1995.

[3] John R. Tuttle, "Traditional and emerging technologies and applications in the radio frequency identification (RFID) industry", IEEE Radio Frequency Integrated Circuits Symposium, p. 5, 1997.

### 5. 결 론

트랜스폰더내부에 별도의 전원 없이 외부에서 보내주는 자기장을 이용하여 전원을 만드는 수동형 진폭 변조 방식과 에너지 전송과 인식 데이터 전송이 동시에 일어나는 FDX방식을 이용한 트랜스폰더를 개발하였다. 이 칩은 0.65  $\mu\text{m}$  2-poly, 2-metal CMOS ASIC공정을 사용하여 제작되었고, 칩의 크기는 410 x 900  $\mu\text{m}^2$  이다. 또한, 이 칩의 데이터 전송율은 125 kHz RF에서 3.9 kbps이며, 최대 동작거리(리더기 코일과 트랜스폰더 코일 사이의 거리)이다.

### 감사의 글

This work partially supported by IDEC

### 참고 문헌

[1] Klaus Finkenzeller, "RFID Handbook: Radio-Frequency Identification Fundamentals and Applications", Jonh wiley & son, New York, p. 1, 1999.  
[2] U. Kaiser and W. Steinhagen, "A low-power