

# RFID를 위한 내장형 비접촉(Type-B) 프로토콜 지원 모듈 설계 및 구현

전 용 성<sup>†</sup> · 박 지 만<sup>†</sup> · 주 흥 일<sup>††</sup> · 전 성 익<sup>†††</sup>

## 요 약

RFID의 대표적 예인 비접촉식 IC 카드는 현재 교통 및 출입 통제 시스템 등에 널리 사용되고 있으며, RF 기술의 발달과 사용자 편의성 요구의 증대로 인해 점점 더 보편화되는 추세에 있다. 본 논문은 비접촉 IC 카드를 구현하기 위해 필요한 내장형 비접촉 프로토콜 처리용 하드웨어 모듈에 관한 것으로서 아날로그 회로부와 특화된 디지털 로직부로 구성된다. 그리고 비접촉 IC 카드 설계시 아날로그 회로, 디지털 로직, 그리고 소프트웨어가 담당할 기능을 잘 구분하여 설계할 수 있는 방법을 제시한다.

## Design and Implementation of Embedded Contactless (Type-B) Protocol Module for RFID

Yong-Sung Jeon<sup>†</sup> · Ji-Mann Park<sup>†</sup> · Hong-Il Ju<sup>††</sup> · SungIk Jun<sup>†††</sup>

## ABSTRACT

In recent, as a typical example of RFID, the contactless IC card is widely used in traffic, access control system and so forth. And its use becomes a general tendency more and more because of the development of RF technology and improvement of requirement for user convenience. This paper describes the hardware module to process embedded contactless protocol for implementation contactless IC card. And the hardware module consists of analog circuits and specific digital logic circuits. This paper also describes more effective design method of contactless IC card, which method separates into analog circuit parts, digital logic circuit part, and software parts according to the role of the design parts.

키워드 : RFID, 내장 IC 카드(Embedded IC Card), 비접촉 프로토콜(Contactless Protocol)

### 1. 서 론

RFID(Radio Frequency Identification)는 전원 및 데이터를 비접촉 방식으로 전달하는 시스템으로서 비접촉 IC 카드가 대표적인 응용 예라고 할 수 있다. 일반적으로 프로세서가 내장된 비접촉 IC 카드는 그 편리성으로 인해 현재 교통, 신분 확인, 출입통제 시스템 등의 여러 다양한 응용 서비스에서 널리 사용되고 있다[1]. RFID를 위한 내장형 시스템은 외부와의 비접촉 통신을 위한 아날로그 신호 처리부, 아날로그 회로에서 생성된 디지털 신호를 비접촉 프로토콜에 맞게 처리하기 위한 특화된 디지털 신호 처리부, 그리고 디지털 로직에서 생성된 데이터를 처리하기 위한 CPU 및 메모리를 가지는 "System-On-Chip"이라고 할 수 있다.

RFID를 위한 내장형 시스템이 최적의 성능을 발휘하기 위해서는 위에서 언급한 아날로그 회로, 프로토콜 처리를 위한 디지털 로직, 그리고 CPU가 담당할 부분을 명확히 나누어 설계하는 것이 무엇보다 중요하다. 아날로그 회로부의 경우는 구현상 어려움이 있기 때문에 이 부분이 처리하는 요소를 최대한 줄여 주는 것이 중요하다. 예를 들어 Type-

B 비접촉 IC 카드의 경우, 디지털 신호를 BPSK 변조하는 기능을 아날로그 회로부에 포함하여 트랜지스터 레벨로 구현할 것인지, 아니면 디지털 로직에서 HDL 언어로 표현한 후 합성 툴을 통해 구현할 것인지를 결정할 필요가 있는데 이 경우는 디지털 로직으로 구현이 가능한 기능이므로 프로토콜 처리를 위한 디지털 로직부에 포함하는 것이 보다 나은 설계라고 할 수 있다.

또한 별도의 디지털 로직부가 담당할 기능과 CPU가 처리할 기능을 구분하는 경우에는 소프트웨어로 구현하면 처리 시간이 많이 소요되는 기능을 별도의 하드웨어로 구현하는 것이 기본적인 설계 방법이다. 또한 이에 못지않게 중요한 요소는 내장형 시스템만이 가지는 고유한 신호처리의 기능은 별도의 하드웨어로 구현하여 CPU의 부담을 줄여주는 것이다. 예를 들어 비접촉 IC 카드와 리더기와의 통신시에, 한 프레임의 시작을 알리는 SOF 신호와 한 프레임의 끝을 알리는 EOF 신호의 감지, 그리고 통신 상의 오류를 확인하기 위한 CRC값의 계산 등의 신호레벨의 기능은 별도의 하드웨어로 구현함으로써 소프트웨어는 하드웨어에서 생성된 데이터를 이용한 알고리즘 구현에 좀 더 충실할 수가 있다.

본 논문은 RFID중 비접촉 IC 카드를 구현하기 위해 필요한 내장형 비접촉 프로토콜 처리용 하드웨어 모듈에 관한 것으로서 아날로그 회로부와 특화된 디지털 로직부로

† 정 의 원 : 한국전자통신연구원 선임연구원

†† 정 의 원 : 한국전자통신연구원 연구원

††† 정 의 원 : 한국전자통신연구원 책임연구원

논문접수 : 2002년 9월 30일, 심사완료 : 2003년 6월 18일

구성된다. 본 논문의 구성은 다음과 같다. 2절에서는 비접촉 IC 카드의 프로토콜 및 전체 시스템에 대해 설명하고 본 논문에서 제시하는 아날로그 회로의 기능과 디지털 로직의 세부 기능 및 구현 방법에 대해서 설명한다. 3절에서는 구현된 하드웨어모듈이 원하는 기능을 제대로 수행하는지를 알아보기 위한 기능 검증에 대해 기술한다.

2. 내장형 비접촉식 프로토콜 지원 모듈 설계

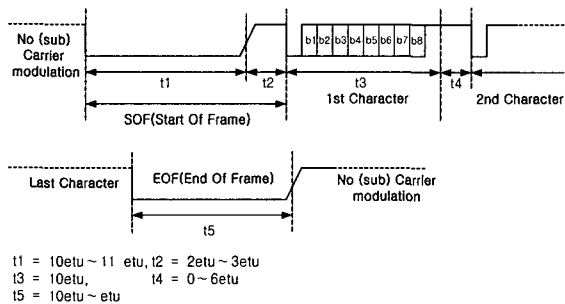
내장형 비접촉 프로토콜 처리용 하드웨어 모듈은 리더기와의 RF 통신을 담당하는 아날로그 회로부와 디지털 신호를 해석하고 신호의 오류를 점검하여 CPU에 이들 상태를 알려주는 디지털 로직부로 구성된다. 본 절에서는 이들 모듈의 기능 및 설계 방법에 대해 기술한다.

2.1 비접촉식 IC 카드의 프로토콜 및 시스템 구조

본 논문에서 제시하는 내장형 비접촉 프로토콜 처리용 하드웨어 모듈이 적용되는 시스템은 통신 주파수로 13.56MHz를 사용하는 근접형 IC 카드이다. 근접형 IC 카드는 국제표준 ISO/IEC 14443에서 물리적 특성 및 통신 프로토콜까지 규정하고 있는데 데이터의 송수신 방식에 따라 Type-A와 Type-B로 구분되어 있다. Type-A는 카드리더에서 카드로의 데이터 전송시 ASK 100% 신호변조를 사용하고, Type-B는 ASK 10% 신호 변조를 사용한다. 또한 카드에서 카드 리더로의 데이터 전송시 Type-A는 OOK 방식인 반면, Type-B는 BPSK 방식이다[9, 10]. 본 논문에서 설명할 Type-B 방식의 비접촉 IC 카드의 프로토콜 규격을 <표 1>에 나타내었다.

<표 1> Type-B 방식의 통신 프로토콜

Modulation	ASK 10%
Carrier Frequency	13.56MHz
Subcarrier Frequency	847KHz
Bit representation & coding	NRZ-L
Subcarrier modulation	BPSK

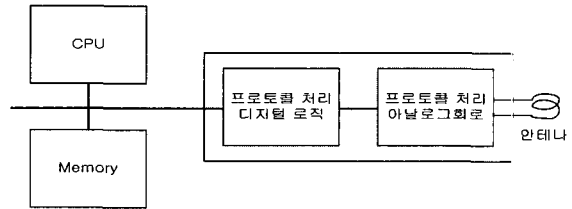


(그림 1) 프레임의 구조 및 타이밍도

비접촉 IC 카드에서는 디지털 신호처리에 있어 접촉식과는 다른 프로토콜을 가지고 있는데 이를 살펴보면 다음과 같다. 비접촉 IC 카드와 카드리더 사이의 통신방식은 반 이중 블록 전송 프로토콜(Half-duplex Block Transmission Protocol)방식이며 프레임(frame) 단위로 문자를 전송하는

블록 전송이다. 이러한 프레임은 한 프레임의 시작과 끝을 알리는 SOF(Start Of Frame)와 EOF(End Of Frame)를 가진다. 따라서 전송할 첫 번째 문자의 시작 비트의 앞에 SOF 신호가 10~11etu(elementary time unit) 시간 동안 로직 값 'low'를 유지하고 2~3etu 정도는 로직 값 'high'를 유지함으로써 프레임의 시작을 알린다. 또한 마지막 문자를 전송한 후, 프레임의 끝을 나타내기 위해 10~11etu 동안 로직 값 'low'를 가진다. (그림 1)은 프레임의 구조 및 타이밍도를 보여준다.

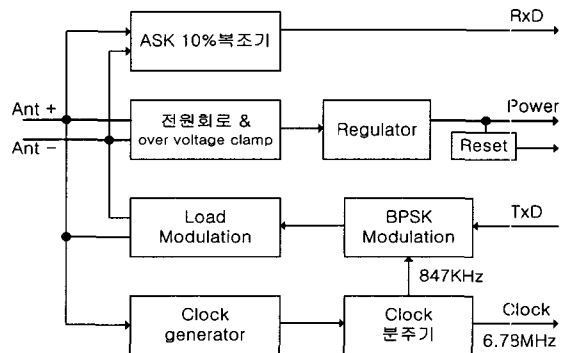
이상으로 설명한 비접촉 프로토콜을 처리하기 위한 IC 카드의 시스템 구조를 기본 블록으로 나타내면 (그림 2)와 같다. CPU는 사용자 인증, 암호연산 등의 기능을 수행함으로써 교통, 출입통제 등의 비접촉 응용서비스를 수행하게 되고, 비접촉 프로토콜을 처리하기 위한 별도의 하드웨어는 아날로그 회로부와 디지털 로직부로 구성되어 카드 리더와의 통신 신호를 처리하게 된다.



(그림 2) 비접촉 IC 카드 시스템 기본 블록도

2.2 아날로그 회로부

비접촉 IC 카드 시스템은 아날로그와 디지털 로직이 동시에 필요하다. 아날로그 회로부는 카드리더에서 생성하는 RF 신호를 이용하여 카드에 필요한 전원, 클럭, 그리고 리셋 신호를 생성하는 기능을 담당한다. 그리고 RF 신호에 의해 입력되는 데이터 신호를 복조하고, 디지털 로직에서 생성한 데이터 신호를 RF 신호에 변조하는 기능을 수행하게 된다. 본 논문에서 제안하는 아날로그 회로부의 구조를 (그림 3)과 (그림 4)에 나타내었다.

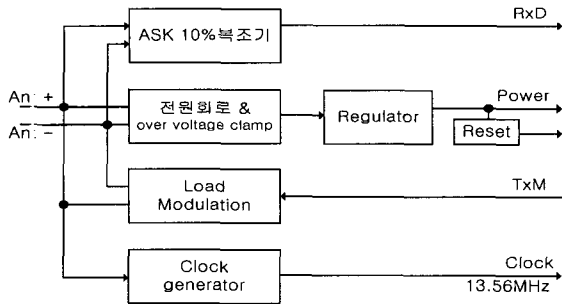


(그림 3) 아날로그 회로부의 블록도 1

먼저 세부 블록의 기능을 설명하면 다음과 같다. 첫 번째로, ASK 10% 변조기 모듈은 리더기에서 송신하는 13.56MHz의 Carrier 주파수에 변조되어 입력되는 데이터 신호를 복조하

는 기능을 담당한다. 두 번째로, Load Modulation 회로는 카드 리더기로 신호를 보내기 위해 BPSK 변조된 데이터 신호를 스위칭하는 역할을 담당한다. 스위칭 전압이 'low'일 때 on되고, 'high'일 때 off된다. 세 번째로, 클럭 발생기 회로는 리더기에서 발생하는 13.56MHz의 정현파 형태의 신호를 동일한 주파수의 디지털 클럭신호로 만들어 주는 기능을 담당한다. 그러나 클럭의 폭이 50%인 듀티 사이클이 아니므로 분주기를 이용하여 필요한 주파수의 클럭을 발생시키면 된다. 마지막으로 전원회로는 안테나에서 유기되는 전압을 안정적인 직류전압으로 변환하는 회로이다[4].

(그림 3)에 나타낸 아날로그 회로의 구성은 기능적으로 디지털 로직부와 잘 분리된 설계라고 할 수 있다. (그림 3)에서 보는 바와 같이 아날로그 회로에서 생성된 6.78MHz의 클럭은 디지털 로직에서 통신 클럭으로 사용하면 되고, 디지털 로직부에서는 송신 신호인 TxD를 생성하여 아날로그 회로부에 전달하면 아날로그 회로부에서 847KHz 클럭을 이용하여 BPSK 변조하여 리더기로 신호를 전달하면 된다. 따라서 디지털 로직부에서는 신호를 데이터 값으로 변환 및 오류 검증 등의 기능 구현에 주력하면 되므로 (그림 3)의 아날로그 회로부의 구성은 기능적 측면에서는 잘 설계된 것으로 볼 수 있다.



(그림 4) 아날로그 회로부의 블록도 2

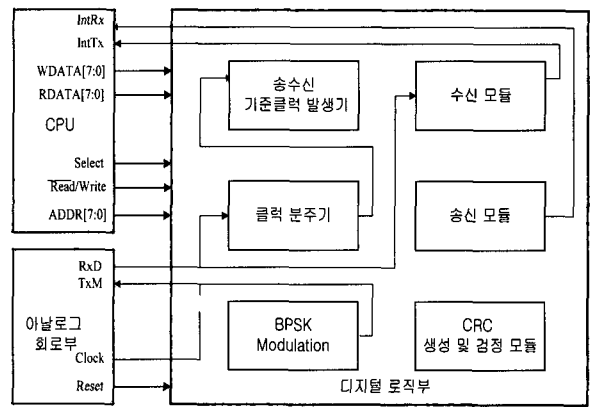
그러나 아날로그 회로의 구현은 트랜지스터를 이용하므로 구현이 어려울 뿐만 아니라 각각의 기능 블록들이 서로간에 영향을 미치게 되므로, 시스템 관점에서 최대한 아날로그 회로의 구현범위를 줄여주는 것이 중요하다. 따라서 구현적 측면에서 볼 때 (그림 3)의 블록도에서 BPSK 변조와 클럭 분주기능은 디지털 로직으로 구현이 가능하므로 디지털 로직에 포함하는 것이 좋은 설계라고 할 수 있다. 이와 같은 구현 관점에서 설계된 아날로그 회로부의 블록도를 (그림 4)에 나타내었다.

서론에서 언급한 바와 같이 비접촉 IC 카드 시스템을 설계 시 중요하게 고려할 사항은 CPU, 특화된 디지털 로직, 그리고 아날로그 회로들이 담당할 기능을 잘 구분하는 것이다. 특히 아날로그 회로의 기능을 설계할 때에는 디지털 로직으로 구현이 가능한 기능이 아날로그 회로설계에 포함되어 있는지를 파악하여 아날로그 회로의 부담을 최대한 줄여 주는 것이 중요하다.

2.3 디지털 로직부

내장형 비접촉 프로토콜 처리용 하드웨어 모듈을 구성하

는 또 하나의 모듈인 디지털 로직은 아날로그 회로부에서 생성된 디지털 신호를 해석하여 CPU가 인식할 수 있는 데이터를 만들어 주고, 반대로 CPU에서 카드 리더로 보내고자 하는 데이터를 디지털 신호로 변환하여 아날로그 회로로 전달하는 기능을 수행한다. 본 논문이 제시하는 디지털 로직부는 아날로그 회로에서 생성한 13.56MHz의 클럭을 분주하는 클럭 분주기, 송수신 기준 클럭 발생기, 송신 모듈, 수신 모듈, 송수신 신호의 통신 상의 오류를 검증하기 위한 CRC 생성 및 검증기, 그리고 송신 모듈에서 생성된 신호를 BPSK 변조하는 모듈로 구성된다. 디지털 로직의 전체 구조를 블록도로 나타내면 (그림 5)와 같으며 다음으로 각 모듈의 기능 및 세부 구조를 설명한다.



(그림 5) 디지털 로직부의 블록도

2.3.1 클럭 분주기

이 모듈은 아날로그 회로부에서 생성된 13.56MHz를 분주하여 여러 개의 클럭을 생성한다. 2분주된 6.78MHz, 4분주된 3.39MHz, 그리고 8분주된 1.695MHz 클럭을 생성하는데 소프트웨어로 이중 하나를 선택하여 송수신 시의 통신 속도를 결정할 수 있다. 또한 1.695MHz의 클럭은 송신 신호의 BPSK 변조시의 기준 클럭으로 사용한다. 소프트웨어에서 3가지의 분주 클럭 중 하나를 선택하는 경우의 통신 속도를 <표 2>에 나타내었다.

<표 2> 선택된 분주 클럭에 따른 통신 속도

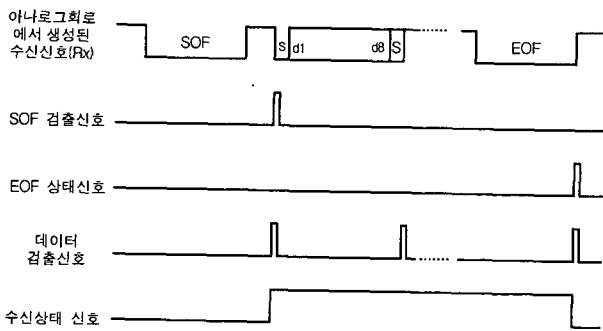
소프트웨어 선택 값	분주클럭	통신 속도
00	1.695MHz	106KHz
01	3.39MHz	212KHz
10	6.78MHz	424KHz

2.3.2 송수신 기준 클럭 발생기

이 모듈은 클럭 분주기에서 생성된 분주 클럭을 이용하여 송수신에 필요한 기준 클럭을 생성하는 모듈이다. 수신 기준 클럭은 분주클럭을 2분주하여 생성하고 송신 기준클럭은 분주 클럭을 계산하여 16번 마다 이 신호를 'high'가 되도록 만들어 준다. 예를 들어 분주 클럭이 1.695MHz일 경우 16번에 한번 'high'가 되므로 1.695MHz/16 = 106bps의 통신 속도가 된다.

2.3.3 수신 모듈

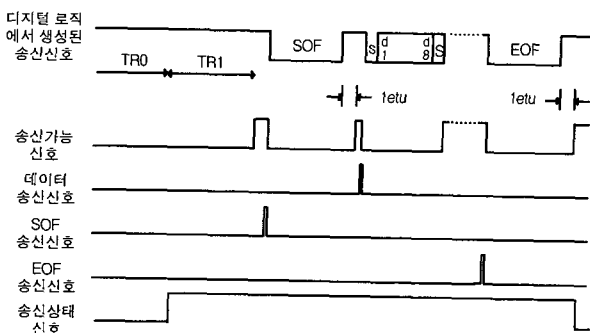
송수신 기준 클럭 발생기에서 생성된 수신 기준클럭을 이용하여 이 신호가 'high'가 될 때마다 아날로그 회로에서 입력된 디지털 신호를 샘플링하여 8번의 샘플링 중 4번째의 값을 내부 레지스터에 저장한다. 그리고 샘플링된 값을 해석하여 SOF 신호, EOF 신호, 그리고 데이터를 구별하여 상태 레지스터에 저장해줌으로써 소프트웨어는 이를 이용하여 필요한 데이터를 가져가면 된다. 또한 SOF 신호의 끝에서 EOF 신호의 끝 시간 동안에 'high'가 되는 신호를 발생시켜 현재 상태가 수신 중임을 알리는 수신상태신호를 생성하는데 이 신호가 'high'가 되는 구간에서는 송신 모듈을 정지상태로 만들어 줌으로써 본 논문이 제시하는 디지털 로직이 안정된 동작을 유지 함은 물론 전력 소모를 줄일 수 있게 한다. 이상으로 설명한 수신시 발생하는 신호를 (그림 6)에 나타내었다.



(그림 6) 수신시 발생하는 신호

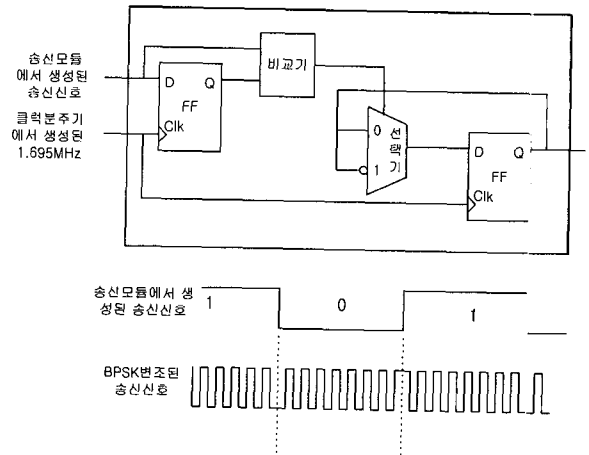
2.3.4 송신 모듈

수신 모듈에서 수신 상태신호가 'low'가 되면 송신 모듈이 동작하게 되는데, 동작이 시작되면 이 모듈에서 TR0 시간을 계산하여 이 시간이 경과한 후, 송신 중임을 알리는 송신상태신호를 생성한다. 이 신호가 'high'가 되면 수신모듈은 정지상태가 되고 반대로 BPSK 변조모듈은 동작하여 847KHz의 Subcarrier 신호를 생성하게 된다. TR0 시간 이후 다시 TR1 시간이 경과하면, CPU에서 보내는 데이터를 디지털 신호로 변환하여 BPSK 변조 모듈에 전달하게 된다. 1바이트의 데이터 전송이 완료되면 이를 소프트웨어가 알 수 있도록 송신상태신호를 발생시킨다. 이상으로 설명한 송신시 발생하는 신호를 (그림 7)에 나타내었다.



(그림 7) 송신시 발생하는 신호

2.3.5 BPSK 변조 모듈

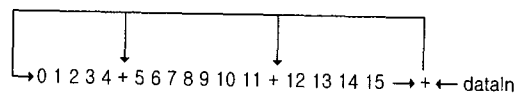


(그림 8) 제안된 BPSK 변조기의 구조 및 발생신호

송신 모듈에서 출력된 신호를 BPSK 변조하는 도플러로서 클럭 분주기에서 생성된 1.695MHz 클럭을 이용한다. 본 논문에서 제시하는 BPSK 변조방법은 송신모듈에서 생성된 TxD 신호가 변화가 없는 구간에서는 1.695MHz 클럭의 rising edge에서 2분주를 수행하여 847KHz의 클럭을 생성하고 TxD 신호가 변화하는 시점에는 2분주를 하지 않는다. 2분주를 수행하지 않으므로 TxM 신호는 위상변위된 신호가 생성된다. 기존의 방법에서는 기준 클럭을 847KHz를 이용하여 BPSK 변조신호를 생성함으로써 위상변위되는 시점에서 glitch가 간헐적으로 발생하게 됨으로써 시스템에 불안한 요인을 제공하고 있다. 본 논문에서 제시하는 BPSK 변조기의 구조 및 발생신호를 (그림 8)에 나타내었다.

2.3.6 CRC 생성 및 검증기

비접촉 IC카드의 프로토콜에서는 통신 데이터의 오류를 점검하기 위해 카드의 송신 데이터에 2바이트의 CRC를 생성하여 데이터의 끝에 붙여 보내고 또한 리더로부터의 수신 데이터의 CRC를 검증하도록 하고 있다. 이 모듈은 이러한 CRC의 생성 및 검증을 위해 구현된 모듈이다. CRC 계산을 위해 사용되는 원시다항식은 ISO3309에 규정된  $X^{16} + X^{12} + X^5 + 1$ 을 사용하며, 이를 계산하기 위한 LFSR의 구조는 (그림 9)와 같다.



(그림 9)  $X^{16} + X^{12} + X^5 + 1$  계산을 위한 LFSR 구조

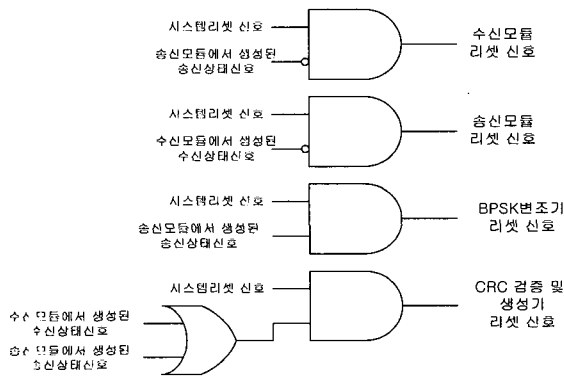
본 논문이 제시하는 CRC 값의 검증 및 생성 방법은 다음과 같다. 먼저 수신시의 CRC를 검증하기 위해서는 수신기에서 발생하는 상태신호를 이용한다. 수신모듈에서 SOF 검출신호가 발생하는 경우에는 LFSR의 16비트 레지스터 값을 0xFFFF로 리셋시키고 데이터 검출신호만이 발생하는 경우마다 LFSR을 구동하여 CRC를 계산한다. 데이터 수신 이 끝나고 EOF 검출신호가 발생하면 소프트웨어에서는 CRC

모듈에서 계산된 최종 CRC 값이 "0xF0B8"인지를 확인하면 된다. 모든 수신 데이터의 CRC 계산 값은 항상 "0xF0B8"이 되어야 한다. 그렇지 않은 경우는 소프트웨어가 데이터 통신 오류임을 리더기에 알린다. 송신시 CRC 값을 생성하기 위해서는 송신기에서 발생하는 상태신호를 이용한다. SOF 송신 신호가 발생하는 경우에 LFSR의 16비트 레지스터 값을 0xFFFF로 리셋시키고 데이터 송신신호가 발생하는 경우마다 LFSR을 구동하여 CRC를 계산한다. 전송할 데이터를 모두 송신한 후에는 소프트웨어가 CRC 모듈의 데이터 레지스터에서 계산된 CRC 값을 읽어 송신모듈의 데이터 레지스터에 보내면 된다.

이상으로 언급한 바와 같이 본 논문이 제시하는 CRC 검증 및 생성방법은 하드웨어가 담당할 기능과 소프트웨어가 담당할 기능을 잘 분리하여 구현하였다. 송수신시 상태신호를 이용하여 데이터의 CRC 값을 계산하는 기능은 하드웨어가 담당하고, 수신시 계산 결과 값을 검증하고, 송신시 계산 결과 값을 송신기의 내부 레지스터에 입력하는 기능은 소프트웨어가 담당하도록 하였다. 이와 같이 내장형 시스템을 설계할 경우 하드웨어와 소프트웨어의 기능을 잘 구분하여 설계하는 것이 무엇보다 중요하다.

2.3.7 전력소모 감소 및 안정적 동작을 위한 설계

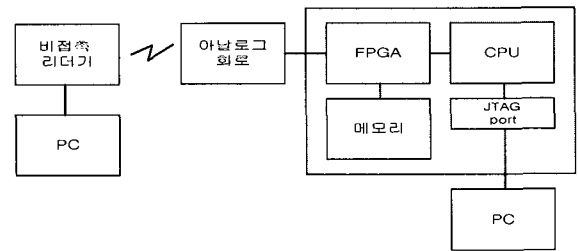
본 논문이 제시하는 디지털 로직의 특징 중 하나는 특정 모듈이 동작하는 중에는 다른 모듈은 정지상태가 된다는 것이다. 이와 같은 기능이 필요한 이유는 내장형 시스템의 전력소모를 감소시키고 시스템의 안정적인 동작을 위함이다. 예를 들어 디지털 로직에서 데이터를 아날로그 회로를 통해 전송하는 경우에 아날로그 회로의 전력변화에 의해 잡음이 발생하여 디지털 로직의 수신기에 이상신호가 입력될 가능성이 있을 수 있다. 이를 위해 디지털 로직의 수신기는 송신시 정지상태를 유지함으로써 시스템의 안정적인 동작을 유지할 수 있다. 또한 BPSK 변조기는 송신상태에서만 동작되도록 하고, CRC 생성 및 검증기는 송신 상태나 수신 상태에서만 동작을 하고 카드 내부 연산 중에는 작동이 정지되도록 설계하여 전력소모를 감소시켰다. 송신기에서 발생하는 송신상태신호와 수신기에서 발생하는 수신상태신호를 이용하여 각 모듈의 리셋신호를 생성하는 논리조합을 (그림 10)에 나타내었다.



(그림 10) 각 모듈의 리셋신호 생성을 위한 논리조합

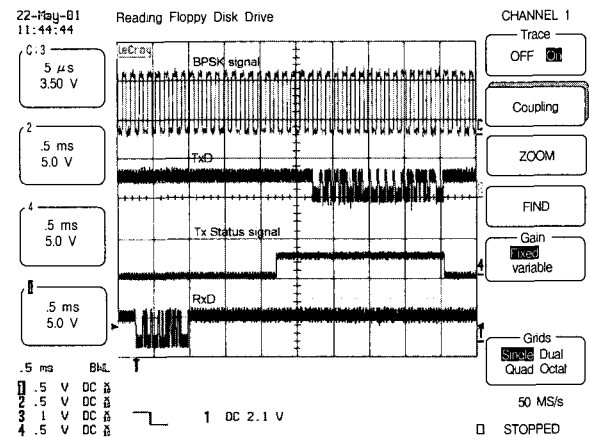
3. 기능 검증

본 논문은 내장형 비접촉 프로토콜 처리용 하드웨어 모듈을 실제 구현하여 기능검증을 수행하였다. 기능 검증을 위한 구성은 (그림 11)과 같다. 데이터의 처리를 위한 CPU는 ARM사의 ARM7TDMI를 사용하였고 FPGA를 이용하여 본 논문의 디지털 로직 및 메모리 제어 모듈 등의 CPU 동작에 필요한 로직을 구현하였다. 그리고 아날로그 회로는 별도의 보드 상에 구현을 하여 FPGA에 있는 디지털 로직과 연결하였다.



(그림 11) 기능 검증을 위한 구성

기능 검증을 위한 코드는 CPU에 내장된 JTAG로 ARM사의 AXD 디버거 툴을 이용하여 PC상에서 보드의 메모리로 다운로드하였다. 시스템이 시작되면 초기에 리더기에서 5바이트(3바이트의 데이터와 2바이트의 CRC 값)의 REQb를 보내게 된다. 이 신호는 아날로그 회로와 디지털 로직을 통해 CPU에 전달되며, CPU는 CRC 값의 오류가 없는지를 확인하여 제대로 된 값이면 응답신호로 14바이트(12바이트의 데이터와 2바이트의 CRC 값)의 ATQB를 보내게 된다. 이 과정을 (그림 12)에 나타내었다.



(그림 12) 기능 검증 결과 파형

(그림 12)에서 네 번째 파형은 리더기에서 RF 신호에 변조되어 전송된 5바이트의 데이터 신호를 아날로그 회로가 복조하여 생성된 디지털 신호이다. 이 신호를 디지털 로직이 해석하여 데이터 값을 CPU에 전달한다. 두 번째 파형은 CPU에서 보낸 12바이트의 데이터와 CRC 모듈에서 생성한 2바이트의 CRC 값을 송신모듈에서 디지털 신호로 변환한 것이다. 이 신호는 디지털 로직의 BPSK 변조모듈에

보내지고 여기에서 첫 번째 파형과 같은 847KHz의 BPSK 변조 파형이 만들어지며 이 신호가 아날로그회로에 전달되어 안테나를 통해 리더기로 전달 된다. (그림 12)의 BPSK 파형은 다른 신호들과 달리 시간 간격이 확대되어 측정되어 있다. 세 번째 파형은 2절에서 언급한 바와 같이 카드가 송신 중임을 알리는 송신상태 신호로서 이 신호가 high인 구간동안에는 BPSK 신호가 발생하고 수신모듈은 정지하게 된다. (그림 12)와 같은 한번의 송수신 절차가 끝난 후에 이어지는 데이터 처리 과정은 하드웨어 입장에서 동일할 기능을 반복하게 된다. 따라서 본 논문에서 제시하는 하드웨어는 안정적인 동작을 한다고 볼 수 있다.

#### 4. 결론 및 향후과제

본 논문에서는 RFID의 대표적인 예인 비접촉 IC 카드를 위한 내장형 하드웨어 모듈을 구현하였다. 이 하드웨어 모듈은 Type-B 방식의 비접촉 IC 카드의 통신 프로토콜 처리를 담당한다. 하드웨어의 구성 요소인 아날로그 로직은 디지털 로직과 잘 분리 설계되어 전체시스템이 안정적으로 동작할 수 있도록 설계되었다. 디지털 로직은 CPU가 처리할 기능과 잘 분리하여 설계됨으로써 소프트웨어가 통신을 위한 신호처리의 부담을 최소화하였다. 따라서 소프트웨어는 알고리즘 구현에 좀더 충실할 수가 있다. 이와 같이 본 논문은 아날로그 회로, 특화된 디지털 로직, 그리고 CPU가 함께 존재하는 내장형 시스템을 설계할 때 각각의 기능을 어떻게 분리하는 것이 좋은 결과를 얻을 수 있는지를 보여주고 있다.

본 논문에서 구현한 내장형 비접촉 프로토콜을 위한 하드웨어 모듈은 IC 카드는 물론, 보안 토큰, RF 태그(tag) 등 RF 응용에 그대로 활용될 수 있으며, 편의성 측면에서 접촉식에 비해 유리하여 향후 스마트 카드 기술에서 널리 사용될 수 있다. 향후과제로는 기본적인 하드웨어 구조가 거의 유사한 Type-A를 만족할 수 있는 하드웨어를 구현하는 것이다. Type-B를 Type-A로 전환하는 방법은 아날로그 회로에서는 ASK 10% 변조를 ASK 100%로 변환하면 된다. 구현적 측면에서 볼 때 ASK 100% 변조가 더 용이하다고 할 수 있다. 디지털 로직에서는 송신단에 있는 BPSK 변조를 OOK, Manchester 방식으로 변환하면 되고, 수신단에는 Modified Miller 코딩을 복원할 수 있는 기능만 추가하면 된다.

#### 참고 문헌

[1] 주홍일 외, 자바 카드에서 접촉 및 비접촉 겸용 IC 카드 OS의 설계 및 구현, 2002년도 대한전자공학회 하계종합학술대회 논문집, 제25권 제1호, pp.375-378, 2002.  
 [2] 조준동 외, 임베디드 시스템의 저전력 구현방법, 정보처리학회지, 제9권 제1호, pp.50-59, 2002.  
 [3] W. Rankl & W. Effing, *Smart Card Handbook*, John Wiley & Sons, 2000.  
 [4] C. Kozyrakis and D. Patterson, A new direction for computer architecture research, *IEEE Computer*, pp 24-32, Nov., 1998.  
 [5] 박지만 외, 접촉/비접촉 겸용 IC 카드를 위한 Type-B RF 회

로 설계, 2001년도 한국통신학회 하계종합학술대회논문집(하), pp.2123-2126, 2001.

[6] Klaus Finkenzeller, *RFID HANDBOOK*, Wiley, 1999.  
 [7] Ulrich Kaiser and Wolfgang, "A Low-Power Transponder IC for High-Performance Identification Systems," *IEEE Journal of Solid-State Circuits*, Vol.30, No.3, pp.306-310, Mar., 1995.  
 [8] G. Dan Sutton, "Radio Frequency Identification Basics for Manufacturing," *SCAN-TECH 93*, 1993.  
 [9] ISO/IEC 7816, International Standards.  
 [10] ISO/IEC 14443, International Standards.  
 [11] www.arm.com.



#### 전용성

e-mail : ysjeon@etri.re.kr  
 1990년 경북대학교 전자공학과(학사)  
 1992년 경북대학교 대학원 전자공학과(석사)  
 1992년~1999년 국방과학연구소 선임연구원

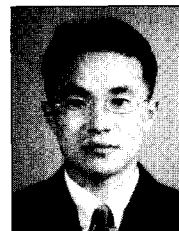
1999년~현재 한국전자통신연구원 선임연구원  
 관심분야 : IC Card, Security, 디지털 회로 설계



#### 박지만

e-mail : parkjm@etri.re.kr  
 1989년 청주대학교 반도체공학과(학사)  
 1993년 청주대학교 대학원 전자공학과(석사)  
 1997년 청주대학교 대학원 전자공학과(박사)

1998년~현재 한국전자통신연구원 선임연구원  
 관심분야 : 아날로그 회로 설계, 센서 신호처리 설계, RFID, IC 카드 설계



#### 주홍일

e-mail : juhong@etri.re.kr  
 1996년 금오공과대학교 전자공학과(학사)  
 1998년 경북대학교 대학원 전자공학과(석사)  
 1999년~현재 한국전자통신연구원 연구원  
 관심분야 : Smart Card, RFID, Embedded OS



#### 전성익

e-mail : sijun@etri.re.kr  
 1985년 중앙대학교 전산학과(학사)  
 1987년 중앙대학교 대학원 전산학과(석사)  
 1987년~현재 한국전자통신연구원 책임연구원  
 2003년~현재 IC 카드 연구팀장

관심분야 : 임베디드 소프트웨어 기술, 실시간 운영체제 기술, 스마트 카드 기술, 정보보호 플랫폼 기술