

폴리사이드 형성 조건에 따른 WSi_x 박막 특성에 관한 연구

論 文

52C-9-1

A Study on the Properties of WSi_x Thin Film with Formation Conditions of Polycide

鄭 陽 喜* · 姜 聲 俊** · 金 京 元***

(Yang-Hee Joung · Seong-Jun Kang · Kyoung-Won Kim)

Abstract - We perform the physical analysis such that Si/W composition ratios and phosphorus distribution change in the WSi_x thin films according to phosphorus concentration of polysilicon and WF_6 flow rate for the formation of WSi_x polycide used as a gate electrode. We report that these physical characteristics have effects on the contact resistance between word line and bit line in DRAM devices. RBS measurements show that for the samples having phosphorus concentrations of 4.75 and 6.0×10^{20} atoms/cm³ in polysilicon, by applying WF_6 flow rates decreases from 4.5 to 3.5 sccm, Si/W composition ratio has increases to 2.05~2.24 and 2.01~2.19, respectively. SIMS analysis give that phosphorus concentration of polysilicon for both samples have decreases after annealing, but phosphorus concentration of WSi_x thin film has increases by applying WF_6 flow rates decreases from 4.5 to 3.5 sccm. The contact resistance between word line and bit line in the sample with phosphorus concentration of 6.0×10^{20} atoms/cm³ in polysilicon is lower than the sample with 4.75×10^{20} atoms/cm³. After applying WF_6 flow rates decreases from 4.5 to 3.5 sccm, the contact resistance has been improved dramatically from 10.1 to $2.3 \mu\Omega\text{-cm}^2$.

Key Words : Tungsten hexafluoride (WF_6), Dichlorosilane (SiH_2Cl_2), Tungsten Silicide (WSi_x), Contact Resistance

1. 서 론

폴리 실리콘위에 WSi_x (tungsten silicide) 를 증착하여 사용하는 폴리사이드 (polycide) 는 반도체 소자의 집적도 증가에 따른 스피드 개선, 저저항 및 지연시간 감소 등을 이유로 기존의 폴리 실리콘 게이트를 대체하는 가장 효과적인 방법으로 알려져 있으며, 최근 이에 대한 많은 연구가 활발히 이루어져 VLSI 제조공정에 이용되어 지고 있다.[1-2] WSi_x 박막은 SiH_4 (silane)과 WF_6 (tungsten hexafluoride) 또는 SiH_2Cl_2 (dichlorosilane)와 WF_6 를 화학기상증착 (chemical vapor deposition, CVD) 법을 이용하여 제작된다. SiH_4 - WSi_x 박막은 문턱전압의 이동, 게이트 산화막 증가, 절연파괴전장장의 저하 등과 관련된 여러 가지 문제를 유발 시킬수 있는 F (fluorine) 을 다량 함유하고 있을 뿐만 아니라[3-5] 마이크로 크랙 등의 원인이 될 수 있는 높은 스트레스를 가지고 있는 단점이 있다.[6] 이들 문제점을 최소화하기 위하여 SiH_4 를 대체하기 위한 연구가 활발히 진행되어, 최근 SiH_2Cl_2 를

사용한 WSi_x 박막의 증착 방법들이 연구되고 있다.[7-9] SiH_2Cl_2 - WF_6 의 화학적 반응은 기본적으로 SiH_4 - WF_6 보다 훨씬 깨끗하여 SiH_4 - WSi_x 박막에 비해 낮은 불순물과 F 함량 및 양호한 step coverage 등과 같은 장점을 가지고 있다.[10] 그러므로 VLSI 공정에서 WSi_x 박막을 이용한 폴리사이드 제조기술은 P (phosphorus) 가 도핑된 폴리 실리콘을 형성하고 산화막 제거를 위한 HF 처리 후, SiH_2Cl_2 - WSi_x 박막을 증착하고 열처리하는 방법으로 제작되어진다. 그러나, SiH_2Cl_2 - WSi_x 증착공정은 폴리 실리콘의 P 농도, 가스 유량 등과 같은 공정조건들과 박막 특성들의 상호관계가 아직 완전히 밝혀져 있지 않아 WSi_x 폴리사이드의 실용화에 문제점이 발생하고 있는 실정이다.

따라서, 본 연구에서는 폴리사이드 형성 공정에서 폴리 실리콘의 P 농도 변화와 WF_6 유량 변화에 따른 WSi_x 폴리사이드 박막의 물리적 특성을 조사하였고, 이들이 DRAM 소자의 word line과 bit line의 접촉저항에 미치는 영향을 조사하였다.

2. 실험 방법

본 실험에서는 WSi_x 박막을 CVD 법으로 제작하였으며, 그 개략도를 그림 1에 나타내었다. 비저항이 $9\sim 10 \Omega\text{-cm}$ 인 p형 (100) 실리콘 웨이퍼 위에 CVD 법을 이용하여 약 1000Å

* 作 會 員 : 麗水大學 電氣工學科 副教授

** 正 會 員 : 麗水大學 半導體·應用物理學科 助教授

*** 正 會 員 : 하이닉스 반도체 先任研究員

接受日字 : 2003年 5月 21日

最終完了 : 2003年 7月 11日

의 산화막과 500Å의 폴리 실리콘을 증착한 후, 1:500 HF 로 전세정 (pre-cleaning)을 실시하였다. 그 후, WF₆와 SiH₂Cl₂ 를 이용하여 1000Å의 WSi_x 박막을 증착한 후, N₂ 분위기에서 900°C로 30분간 열처리하여 WSi_x 박막의 제작을 완료하였다. WSi_x 박막의 증착 조건을 표 1에 나타내었다. WSi_x 박막의 결정구조와 결정방향의 변화를 조사하기 위하여 X-ray Diffraction (XRD) 분석을 실시하였다. WSi_x 박막의 Si/W의 조성비는 Rutherford Backscattering Spectroscopy (RBS)를 이용하여 측정하였고, 박막의 깊이에 따른 Si 과 W의 상대적인 변화를 확인하기 위하여 Auger Electron Spectroscopy(AES) 분석을 실시하였다. WSi_x 박막내의 P (phosphorus) 원자 분포 변화는 Secondary Ion Mass Spectroscopy(SIMS) 를 이용하여 해석하였다.

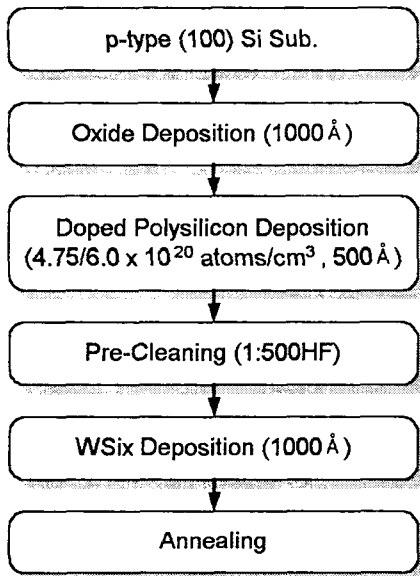


그림 1 WSi_x 박막의 제작 과정
Fig. 1 Process flow of WSi_x thin film

표 1 WSi_x 박막의 증착조건
Table 1 Deposition conditions for WSi_x thin films

Deposition Parameters	Deposition Conditions
P concentration (Poly-Si)	4.75, 6.0×10 ²⁰ atoms/cm ³
WF ₆ flow rate	3.5, 3.8, 4.5 sccm
SiH ₂ Cl ₂ flow rate	150 sccm
Base pressure	< 1×10 ⁻⁷ Torr
Operating pressure	0.7 Torr
Deposition temperature	575 °C
Annealing	900°C, 30min (N ₂ ambient)

또, 그림 2 에 나타낸 것과 같이 word line 과 bit line 을 접촉 시킨 후, Keithley S600 시스템을 이용하여 접촉저항을 측정하였다. 이때, 접촉 단면적은 0.3μm×0.3μm 이었다.

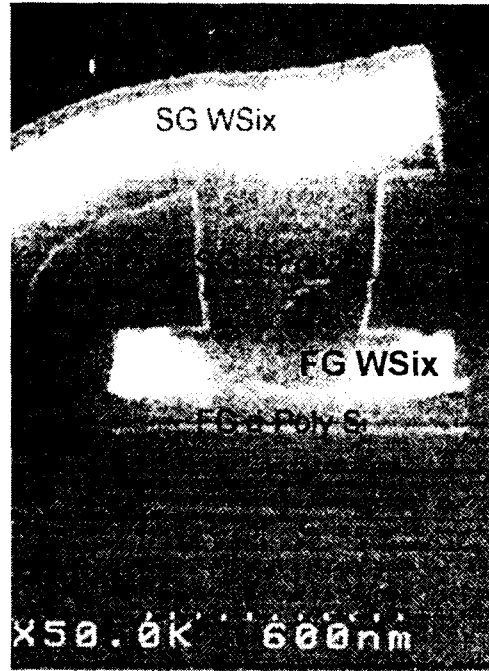
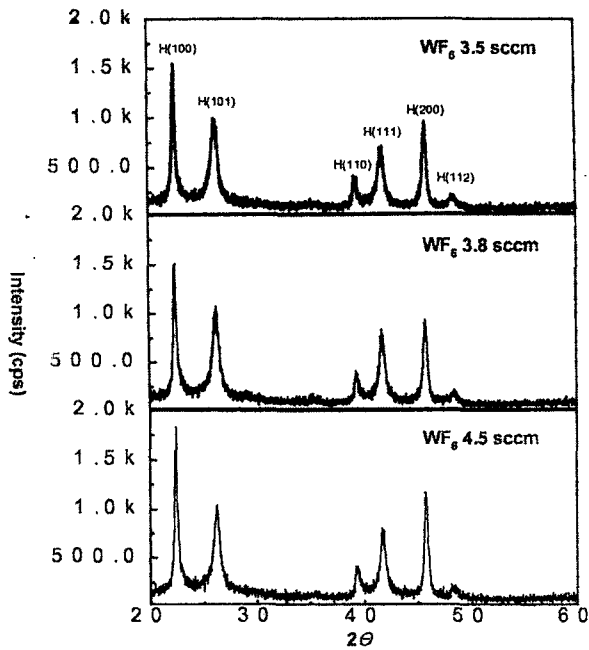


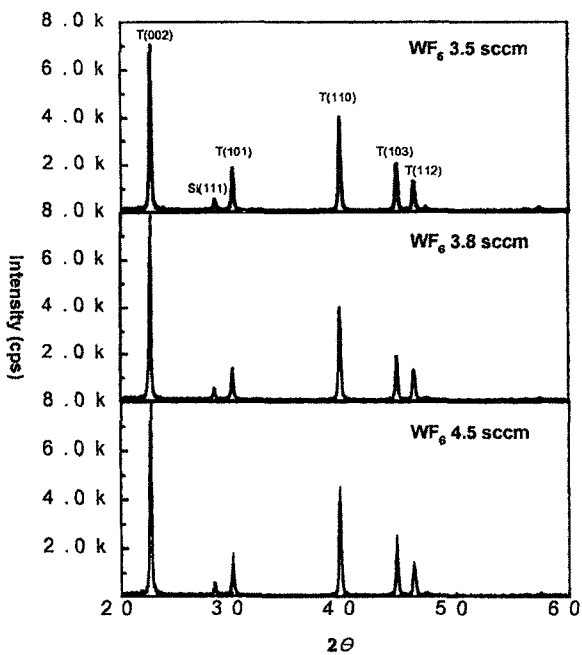
그림 2 WSi_x 박막을 이용한 word line 과 bit line 의 SEM 사진
Fig. 2 SEM micrograph for the interconnection between word line and bit line using WSi_x thin film

3. 결과 및 논의

폴리 실리콘의 P 농도가 4.75×10²⁰ atoms/cm³ 인 경우, WF₆ 유량 변화와 열처리에 따른 WSi_x 박막의 결정구조 및 방향 변화를 XRD 로 관찰하여 그림 3 에 나타내었다.그림 3(a)에서 보듯이, 열처리하기 전에 WSi_x 박막의 결정구조는 hexagonal 구조를 가지며 WF₆ 유량에 따른 결정방향과 피크 강도의 변화는 나타나지 않았다. 그러나, 그림 3(b) 에서 보듯이 N₂ 분위기에서 900°C 로 30분간 열처리 한 후의 WSi_x 박막의 결정구조는 hexagonal 에서 tetragonal 구조로 완전히 상전이 하였고, 특히 XRD 의 피크 강도가 상당히 증가했음을 볼 수 있다. 이는 열처리 후에 WSi_x 박막의 결정 (grain) 들이 더 잘 발달되어 있음을 의미하는 것이다. 폴리 실리콘의 P 농도가 6.0×10²⁰ atoms/cm³ 인 시료의 XRD 분석 결과, 폴리 실리콘의 P 농도가 4.75×10²⁰ atoms/cm³ 인 시료의 경우와 동일한 결과를 나타내어 폴리 실리콘의 P 농도 및 WF₆ 유량 변화에 따른 결정 방향과 피크 강도에 대한 차이는 없는 것으로 확인되었다.



(a)



(b)

그림 3 WF₆ 유량변화에 따른 WSi_x 박막의 XRD 분석 결과
: (a) 열처리 전, (b) 열처리 후

Fig. 3 XRD spectra of WSi_x thin film with varying the WF₆ flow rate : (a) as-deposited, (b) after annealing

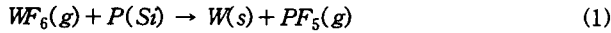
표 2 폴리 실리콘의 P 농도 및 WF₆ 유량변화에 따른 WSi_x 박막의 열처리 전과 후의 RBS 측정결과

Table 2 Si/W composition ratio of WSi_x thin film from RBS with the variation of phosphorus concentration of polysilicon and WF₆ flow rate

	P concentration ($\times 10^{20}$ atoms/cm ³)	WF ₆ (sccm)	Si/W ratio
As deposited	4.75	4.5	2.40
		3.8	2.62
		3.5	2.71
	6.0	4.5	2.37
		3.8	2.56
		3.5	2.64
After annealing	4.75	4.5	2.05
		3.8	2.12
		3.5	2.24
	6.0	4.5	2.01
		3.8	2.08
		3.5	2.19

폴리 실리콘의 P 농도 및 WF₆ 유량 변화가 WSi_x 박막내의 Si/W 조성비 변화에 미치는 영향을 RBS 를 이용하여 조사하여 표 2 에 나타내었다.

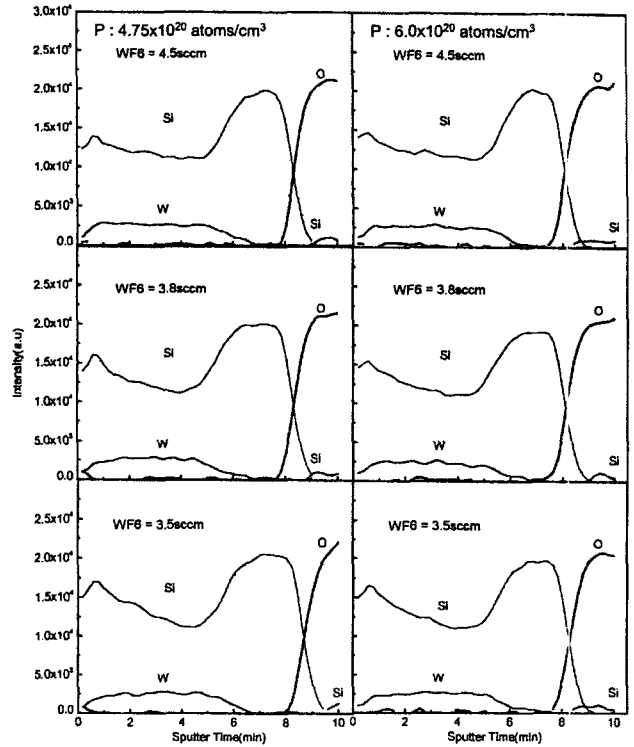
표 2 에서 보는바와 같이 폴리 실리콘의 P 농도가 4.75×10^{20} atoms/cm³ 와 6.0×10^{20} atoms/cm³ 인 각각의 시료에 대하여, WF₆ 유량이 4.5 sccm 에서 3.5 sccm 으로 감소함에 따라 열처리 전의 Si/W 조성비는 각각 2.4~2.71 과 2.37~2.64 로 증가함을 알 수 있었다. N₂ 분위기에서 900°C 로 30분간 열처리 한 후에는 Si/W 조성비가 각각 2.05~2.24 와 2.01~2.19 로 증가함을 볼 수 있었다. WSi_x 박막의 Si/W 조성비는 폴리 실리콘의 P 농도에 무관하게 열처리 전 보다 열처리 후에 낮게 나타났는데 이는 WSi_x 박막내에 존재하는 Si 원자가 WSi_x 박막의 상, 하로 확산되기 때문이다. 또한, 폴리 실리콘의 P 농도가 6.0×10^{20} atoms/cm³ 시료의 경우가 4.75×10^{20} atoms/cm³ 인 시료의 경우에 비해 열처리 전, 후에 Si/W 조성비가 각각 약 0.03~0.07 과 0.04~0.05 정도 낮게 나타났는데 이는 폴리 실리콘 위에 WSi_x 가 형성될 때 P 원자가 WF₆ 의 분해 반응 (dissociation interaction) 을 향상시키기 때문인 것으로 알려져 있으며, 이때 WF₆ 와 P 의 반응식은 다음과 같이 나타낼 수 있다.[11-12]



위 반응식에서 보듯이 P 원자는 WF_6 와 반응하여 PF_5 의 휘발성종으로 소모되고 W 가 생성된다. 따라서, P 농도가 증가하면 W 가 증가하므로 Si/W 의 조성비는 저하되는 것으로 생각할 수 있다.

폴리 실리콘의 P 농도 및 WF_6 유량 변화가 WSi_x 박막의 깊이에 따른 Si 과 W 의 상대적 분포 변화에 미치는 영향을 AES 로 조사하여 그림 4 에 나타내었다.

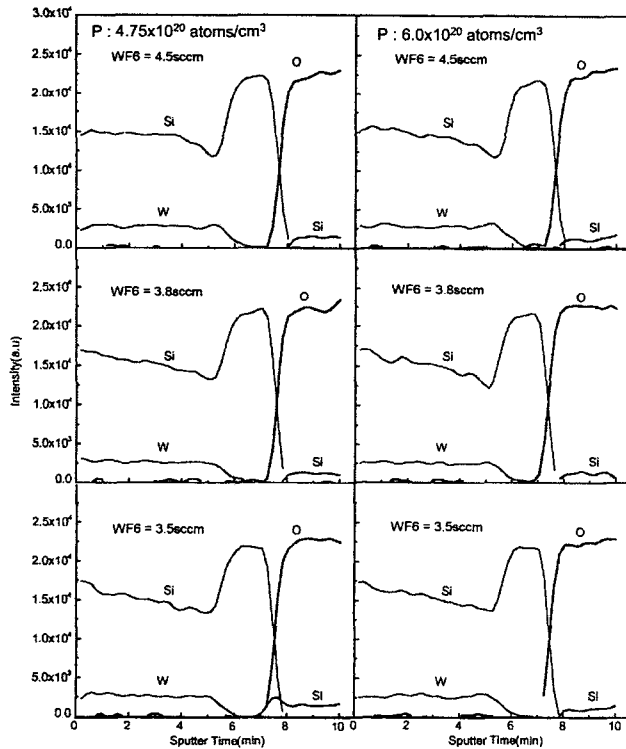
그림 4(a) 는 P농도 및 WF_6 유량 변화에 따른 열처리 전과 후의 WSi_x 박막에 대한 Si 과 W 의 깊이에 따른 상대적 분포를 나타낸 것이다. 그림 4(a) 에서 보듯이, WF_6 유량이 4.5 sccm 에서 3.5 sccm 으로 감소함에 따라 WSi_x 박막과 폴리 실리콘의 계면에서 Si이 증가하는 경향을 나타내고있다. 그림 4(b) 는 N_2 분위기에서 900°C 로 30분간 열처리 한 후의 깊이에 따른 Si 과 W 의 상대적 분포 변화를 조사한 결과를 나타낸 것으로서, WSi_x 박막내의 Si이 WSi_x 박막의 표면으로 확산되는 현상을 확인할 수 있었으며, 특히 WF_6 유량이 4.5 sccm 보다 3.5 sccm 에서 Si의 양이 크게 나타났다. 이는 WF_6 유량이 3.5 sccm 인 시료의 경우가 4.5 sccm 인 경우에 비해 Si/W 조성비가 크고 Si이 많이 존재한다는 것을 의미하는 것이다. 폴리 실리콘의 P 농도 변화에 따른 Si 과 W 의 상대적 분포의 변화는 P 농도가 높은 경우가 약간 낮게 나타나는 경향이 있고, 이는 RBS 에서 관찰한 결과와도 부합되는 것이다.



(b)

그림 4 폴리 실리콘의 P 농도와 WF_6 유량변화에 따른 AES 분석 : (a) 열처리 전, (b) 열처리 후

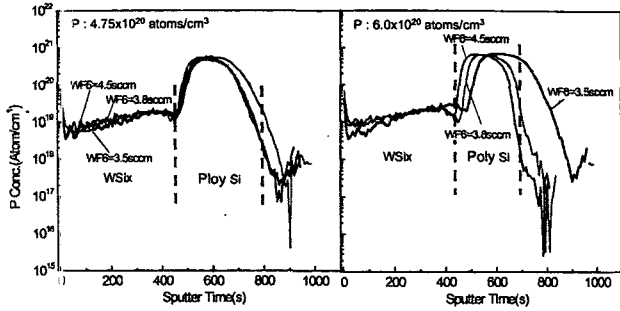
Fig. 4 AES intensity ratio of Si-to-W as a function of phosphorus concentration of polysilicon and WF_6 flow rate : (a) as-deposited, (b) after annealing



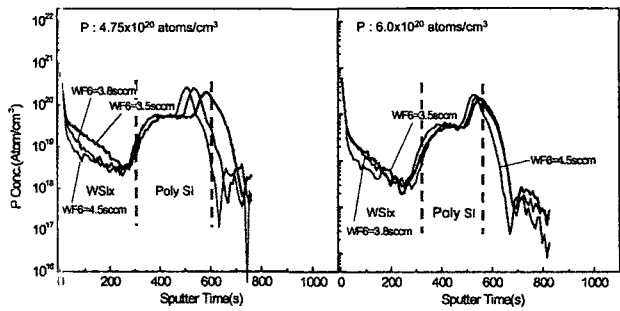
(a)

폴리 실리콘의 P 농도 및 WF_6 유량 변화에 따른 WSi_x 박막내의 P 농도 분포 변화를 SIMS 로 분석하여 그림 5 에 나타내었다.

그림 5(a) 는 열처리 전의 WSi_x 박막의 SIMS 결과를 나타낸 것으로, P 농도 분포 변화에는 큰 차이가 없는 것을 볼 수 있다. 그러나, 그림 5(b) 에서 보듯이, N_2 분위기에서 900°C 로 30분간 열처리 한 후의 P 농도 분포에는 상당히 큰 변화가 나타났음을 알 수 있다. 폴리 실리콘의 P 농도가 4.75×10^{20} atoms/cm³ 와 6.0×10^{20} atoms/cm³ 인 각각의 시료에서 열처리를 실시한 후의 P 농도는 각각 $5.1 \sim 5.3 \times 10^{19}$ atoms/cm³ 와 $5.4 \sim 5.9 \times 10^{19}$ atoms/cm³ 로 감소하였다. 이는 WSi_x 박막이 다결정 tetragonal 구조를 갖고 있기 때문에 결정 입계 (grain boundary) 를 통하여 P 원자가 확산되기 때문이다. 또, WF_6 유량이 4.5 sccm 에서 3.5 sccm 으로 감소함에 따라 WSi_x 박막내의 P 농도가 증가하는데, 이는 WF_6 유량이 감소할수록 WSi_x 박막에 Si이 더 많이 존재하므로 이들에 의해 P 원자가 트랩되기 때문인 것으로 생각된다. WSi_x 박막내의 P 농도 분포를 관찰해 볼 때, 계면에서 표면으로 갈수록 P 농도가 증가하는데 이는 AES 결과에서 확인한 것



(a)



(b)

그림 5 폴리 실리콘의 P 농도와 WF₆ 유량변화에 따른 SIMS 분석 : (a) 열처리 전, (b) 열처리 후

Fig. 5 SIMS depth profile of WS_ix thin film with the variation of phosphorus concentration of polysilicon and WF₆ flow rate : (a) as-deposited, (b) after annealing

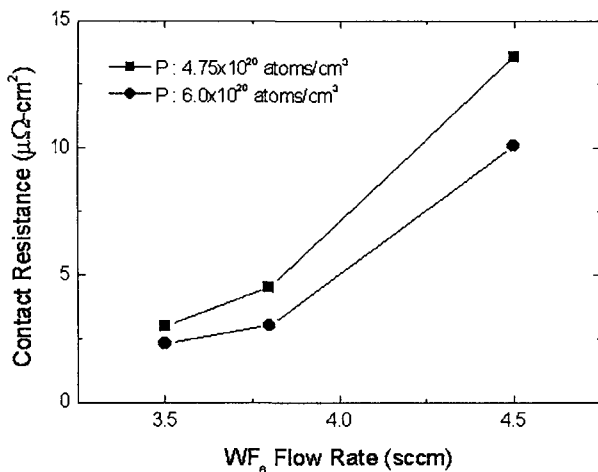


그림 6 폴리 실리콘의 P 농도와 WF₆ 유량변화에 따른 접촉 저항

Fig. 6 Contact resistance of WS_ix thin film as a function of phosphorus concentration of polysilicon and WF₆ flow rate

과 같이 표면으로 갈수록 Si의 양이 많아지고, 결국 이들 Si이 P 원자를 트랩하기 때문이다.

DRAM과 같은 반도체 디바이스의 동작시, word line과 bit line의 접촉에 의해 발생하는 접촉저항은 상당히 중요한 요소로서 고려되어야 한다. 폴리 실리콘의 P 농도 및 WF₆ 유량 변화에 따른 WS_ix 폴리사이드의 word line과 bit line 접촉저항을 그림 6에 나타내었다.

그림 6에서 보듯이, 폴리 실리콘의 P 농도가 4.75x10²⁰ atoms/cm³과 6.0x10²⁰ atoms/cm³인 각각의 시료에서 WF₆의 유량이 4.5 sccm에서 3.5 sccm으로 감소함에 따라 접촉저항이 각각 13.6에서 3.0 μΩ-cm²과 10.1에서 2.3 μΩ-cm²으로 감소하는 개선효과가 있음을 확인할 수 있었다. 이로부터 접촉저항의 개선에는 폴리 실리콘의 P 농도보다 WF₆ 유량 감소가 유효함을 알 수 있었다. 이는 앞에서 언급된 WS_ix 증착에서 WF₆ 유량 감소에 따른 Si/W 조성비 및 P 함유량의 증가에 대한 분석 결과를 토대로 WF₆ 유량 감소가 접촉저항 개선 효과에 미치는 영향을 해석할 수 있다. 즉, word line과 bit line의 접촉은 word line의 WS_ix 위에 bit line의 폴리 실리콘과 WS_ix를 증착하여 이루어진다. 이때 bit line의 폴리 실리콘내에 함유된 P가 bit line과 word line의 WS_ix 박막내로 확산된다. WF₆ 유량이 3.5 sccm인 조건으로 증착된 word line의 WS_ix 박막내에는 4.5 sccm으로 증착된 박막에 비해 P의 함유량이 많기 때문에 bit line의 폴리 실리콘으로부터 word line의 WS_ix 박막으로 P의 확산이 감소하게 되어 bit line의 폴리 실리콘에서 P 원자의 공핍이 억제되어 진다. 일반적으로 접촉저항은 식 (2)와 같이 표현된다.[13]

$$R_c \approx 1 / \sqrt{N_D} \quad (2)$$

여기서, N_D는 bit line 폴리 실리콘의 P 농도이다.

식 (2)에서 보듯이, bit line 폴리 실리콘의 P 농도가 증가하면 접촉저항이 감소함을 알 수 있다. 따라서, 접촉저항을 개선하기 위해서는 bit line 폴리 실리콘의 P 원자 공핍 현상을 억제하는 것이 바람직하며 본 연구의 결과에 의하면 word line의 WS_ix 증착 조건에서 WF₆ 유량을 감소시켜 Si이 많은 조성의 WS_ix 박막을 형성하면서 부가적으로 word line 폴리 실리콘의 P 농도를 증가시킴으로써 해결할 수 있을 것으로 사료된다.

4. 결 론

본 연구에서는 최근 반도체 소자의 집적도 증가에 따른 스피드 개선 및 지연시간 감소 등을 위해 사용되는 폴리사이드의 형성에서 폴리 실리콘의 P 농도 및 WF₆의 유량 변화에 따른 WS_ix 박막의 물성 분석을 통하여, 이들 WS_ix 박막이 접촉저항에 미치는 영향을 고찰하였다. WF₆의 유량 감소는 WS_ix 박막내의 Si/W 조성비 및 P 농도 증가를 초래하였고, 이는 bit line 폴리 실리콘과 접촉을 이룰 때 bit line 폴리 실

리콘내의 P 원자가 공핍되는 정도를 약화시키고 결과적으로 word line WSi_x 와 bit line 폴리 실리콘의 접촉저항을 낮추는 주요원인으로 판단된다. 또한, 폴리사이드를 형성하는 폴리 실리콘의 P 농도 증가가 접촉저항의 개선효과에 미치는 영향은 WF_6 의 유량 감소에 비해 작으나 소자의 안정성 및 신뢰성 측면에서 유리할 것으로 생각된다.

따라서, WSi_x 폴리사이드의 접촉저항 개선을 위해 본 연구에서 제안한 방법은 word line 의 WSi_x 박막을 Si 이 많은 조성으로 하여 bit line 폴리 실리콘의 P 공핍 현상을 억제하는 것이며, 이는 폴리사이드 형성공정에서 폴리 실리콘의 P 농도를 증가시키고, WF_6 의 유량을 하향 조정함으로써 이루어 질 수 있다는 것을 확인할 수 있었다.

참 고 문 헌

- [1] K. Roh, S. Youn, S. Yang, and Roh, "Tungsten silicide for alternate gate metal in metal-oxide-semiconductor devices", J. Vac. Sci. Technol., vol. 19, pp. 1562~1565, 2001.
- [2] Y. Shioya, S. Kawamura, et al., "Effect of fluorine in chemical-vapor-deposited tungsten silicide film on electrical breakdown of SiO_2 film", J. Appl. Phys., vol. 61, pp. 5102~5109, 1987.
- [3] P. J. Wright, M. Wong, and K. C. Saraswat, "The effect of fluorine on gate dielectric properties", IEDM tech. Dig., pp. 574~577, 1987.
- [4] P. J. Wright and K. C. saraswat, "The effect of fluorine in silicon dioxide gate dielectrics", IEEE Trans. Electron Devices, vol. 36, pp. 879~889, 1989.
- [5] H. J. Whitlow et al., "Fluorine in low-pressure chemical vapor deposited W/Si contact structures: Inclusion and thermal stability", Appl. Phys. Lett., vol. 50, pp. 1497~1499, 1987.
- [6] C. S. Yoo, T. H. Lin, and N. S. Tsai, "Si/W changes and film peeling during polycide annealing", J. J. Appl. Phys., vol. 29, pp. 2535~2540, 1990.
- [7] T. Hara, T. Miyamoto, and T. Yokoyama, "Tungsten silicide films deposited by SiH_2Cl_2 - WF_6 chemical reaction", J. Electrochem. Soc., vol. 136, pp. 1177~1180, 1989.
- [8] J. T. Hillman, W. M. Triggs, and M. Aruga, "Characterization of WSi_x films deposited by reacting WF_6 with a mixture of SiH_2Cl_2 and Si_2H_6 ", J. Electrochem. Soc., vol. 139, pp. 3574~3578, 1992.
- [9] 정양희, 강성준, 강희순, "DCS Post Flow 가 WSi_x 박막 특성에 미치는 영향", 대한전기학회 논문지 C권, 52권 4호, pp. 173~178, 2003.
- [10] S. Santucci, L. Lozzi, M. Passacantando, et al., "Studies on structural, electrical, compositional, and mechanical properties of WSi_x thin films produced by low-pressure chemical vapor deposition", J. Vac. Sci. Technol., vol. 16, pp. 1207~1212, 1998.
- [11] J. S. Byun, B. H. Lee, J. S. Park, and J. J. Kim, "Characterization of the dopant effect on dichlorosilane-based tungsten silicide deposition", J. Electrochem. Soc., vol. 144, pp. 3572~3582, 1997.
- [12] J. S. Byun, B. H. Lee, J. J. Kim, et al., "Formation of high conductivity WSi_x layer and its characterization as a gate electrode", J. Electrochem. Soc., vol. 145, pp. 3228~3235, 1998.
- [13] S. M. Sze, Semiconductor Devices, John Wiley & Sons, New York, pp. 234~237, 2001.

저 자 소 개



정 양 희 (鄭 陽 喜)

1960년 12월 25일생. 1983년 단국대학교 응용물리학과 졸업(공학). 1985년 인하대학교 응용물리학과 졸업(공학). 1993년 인하대학교 전자재료공학과 졸업(공학). 1995년~현재 여수대학교 전기공학과 부교수
Tel : 061-659-3314, Fax : 061-659-3310
E-mail : jyanghee@yosu.ac.kr

김 경 원 (金 京 元)

1967년 2월 25일생. 1992년 인하대학교 응용물리학과 졸업(공학). 1995년 인하대학교 전자재료공학과 졸업(공학). 2003년 충북대학교 반도체공학과 졸업(공학). 1995년~현재 하이닉스 반도체 메모리 연구소 선임연구원
Tel : 043-270-4657, Fax : 043-270-4882
E-mail : kkwb@hynix.com



강 성 준 (姜 聲 俊)

1965년 7월 10일생. 1989년 인하대학교 응용물리학과 졸업(공학). 1994년 인하대학교 전자재료공학과 졸업(공학). 1999년 인하대학교 전자재료공학과 졸업(공학). 2000년~현재 여수대학교 반도체.응용물리학과 조교수
Tel : 061-659-3454, Fax : 061-659-3450
E-mail : sjkang@yosu.ac.kr