

저온 래디컬 산화법에 의한 고품질 초박막 게이트 산화막의 성장과 이를 이용한 고성능 실리콘-게르마늄 이종구조 CMOS의 제작

High Quality Ultrathin Gate Oxides Grown by Low-Temperature Radical Induced Oxidation for High Performance SiGe Heterostructure CMOS Applications

송영주*, 김상훈*, 이내응**, 강진영*, 심규환*

(Young-Joo Song*, Sang-Hoon Kim*, Nae-Eung Lee**, Jin-Young Kang*, and Kyu-Hwan Shim*)

Abstract

We have developed a low-temperature, and low-pressure radical induced oxidation (RIO) technology, so that high-quality ultrathin silicon dioxide layers have been effectively produced with a high reproducibility, and successfully employed to realize high performance SiGe heterostructure complementary MOSFETs (HCMOS) for the first time. The obtained oxide layer showed comparable leakage and breakdown properties to conventional furnace gate oxides, and no hysteresis was observed during high-frequency capacitance-voltage characterization. Strained SiGe HCMOS transistors with a 2.5 nm-thick gate oxide layer grown by this method exhibited excellent device properties. These suggest that the present technique is particularly suitable for HCMOS devices requiring a fast and high-precision gate oxidation process with a low thermal budget.

Key Words : Radical induced oxidation, Ultrathin oxide, SiGe, Heterostructure CMOS

1. 서론

현재의 반도체제작 기술은 고집적화, 고속동작, 저소비전력을 위해 소자의 극미세화에 대한 연구가 주류를 이루고 있다. 특히 반도체기술의 핵심인 CMOS 소자의 축소기술은 이미 sub-micron 시대

를 지나 수십 나노급 게이트 길이를 갖는 소자제작으로 발전하고 있다. 이러한 추세 속에 최근에는 strained Si[1] 이나 strained SiGe[2,3] 을 이용한 HCMOS (heterostructure CMOS) 구조가 주목을 받고 있다. 이 HCMOS는 동작속도 측면뿐 아니라 저주파 잡음[4] 등에서도 우수한 특성을 보여 중요한 차세대 반도체 소자기술의 하나로 여겨지고 있다. HCMOS를 포함한 극미세 MOS 소자의 안정된 동작을 위해서는 초박막(1.5 - 2.5 nm)이면서도 고품질을 갖는 게이트 절연막 기술의 개발이 무엇보다도 중요한데, 그동안 주류를 이루어왔던 실리콘 산화막(SiO₂)의 경우 상대적으로 큰 누설전류로

* : 한국전자통신연구원 반도체-원천기술연구소,
(대전시 유성구 가정동 161,
Fax: 042-860-6183

Corresponding Author : yjs10@etri.re.kr

** : 성균관대학교 재료공학과
2003년 2월 13일 접수, 2003년 3월 4일 1차 심사완료,
2002년 3월 20일 최종 심사완료

인해 oxynitride 계열[5]이나 고유전율(high-k) 절연막[6,7] 등이 그 대안으로 대두되어 왔다. 그러나 이들 절연막의 계면특성은 SiO₂/Si 계면특성에 크게 미치지 못하므로 SiO₂/nitride[8] 등의 적층구조에 대한 연구도 병행하여 진행되고 있다. 이 적층구조 게이트 절연막의 특성향상을 위해서는 여전히 고품질의 실리콘 산화막을 안정적으로 성장할 수 있는 기술이 필수적이다. 특히 HCMOS의 경우 절연막 형성온도가 높을 경우(> 800 °C) 게르마늄 확산이나 편석[9], 또는 응력완화 등의 치명적인 문제가 존재하므로 낮은 온도에서 고품질의 게이트 절연막을 얻을 수 있는 기술이 절실히 요구되고 있다.

기존의 실리콘 산화막 성장온도(800 - 900 °C)를 낮추기 위해 제안된 대표적인 저온 산화막 성장 기술은 오존을 이용한 산화법이다[10-12]. 구체적으로는 오존을 외부에서 생성하여 주입하는 방법과 UV(ultraviolet) 빛을 직접 웨이퍼에 조사하여 오존을 생성하는 방법으로 나뉘어진다. 지금까지의 보고에 의하면 오존을 사용했을 경우 산소만을 사용했을 때와는 달리 600 °C 이하에서도 실리콘 산화막의 성장이 원활히 진행되는 것이 관찰되었다. 그러나 이들 산화막의 전기적 특성에 대해서는 거의 알려져 있지 않다. 이것은 오존을 사용했을 경우 산화막 성장속도 관점에서는 큰 문제가 없지만 게이트 절연막에서 요구되는 고품질을 얻기는 매우 어렵기 때문인 것으로 여겨진다.

본 논문에서는 RIO (radical induced oxidation)를 이용 저온 (600 - 700 °C), 저압력 (4.7 - 40 Torr) 조건에서 고품질의 초박막(1.5 - 2.5 nm) 실리콘 산화막을 안정적으로 얻을 수 있는 공정기법을 소개한다. 그리고 이 RIO에 의한 실리콘 산화막을 HCMOS에 최초로 적용하여 이 기술이 고성능 HCMOS 소자제작에 적합함을 제시한다.

2. 실험

본 연구에서는 저온에서 고품질의 산화막을 성장시키기 위해 초정정 오존소스를 자체적으로 고안하였고, 이를 부착한 RIO 장치를 저압에서 고속으로 열처리할 수 있도록 제작하였다. 텅스텐 적외선 램프를 열원으로 사용한다는 것은 RTO (rapid thermal oxidation) 공정과 유사하지만, RTO와는 달리 순수한 산소대신 챔버 외부에서 UV 램프를

이용 오존을 생성하여 주입하도록 설계되었으며, 공정압력도 트로틀 밸브의 조절로 수 Torr에서 상압까지 변화할 수 있게 하여 낮은 압력하에서도 공정이 가능하게 하였다. 이제까지 주로 시도되어 온 플라즈마에 의한 오존 생성법은 챔버에 다량의 불순물을 발생시켜 고품질의 산화막을 재현성 있게 얻을 수 없다. 그리고 실리콘 웨이퍼에 직접 UV 램프를 조사시키는 방법보다도 분해율, 적외선 램프들과의 배치, 온도 균일도, 유지보수의 다각적 측면에서 탁월한 것으로 판단된다.

먼저 RIO 공정이 산화막 형성에 미치는 영향을 관찰하기 위해 오존(UV 램프 on) 및 순수한 산소 주입(UV 램프 off) 조건에서 비저항이 1 - 10 Ω-cm인 p 형 <100> 실리콘 웨이퍼 위에 산화막을 성장시켰다. 산화막 성장 직전에 웨이퍼를 희석된 HF 및 DI water로 세정하였다. 실험에 사용된 압력은 4.7 Torr와 40 Torr이며, 사용된 온도범위는 600 - 700 °C이다. 산화막 두께는 Rudolph AutoELIII ellipsometer에 의해(굴절률 = 1.462) 측정되었다. 측정된 ellipsometer는 표준시편에 의해 정확히 보정되었으며, 초박막 산화막시편의 HR-TEM (high resolution transmission electron microscopy) 사진과의 비교분석 결과 측정오차는 1 - 2 Å이었다. 그리고 산화막공정 후 native 산화막 형성에 따른 측정오차는 1 Å 이하로 나타나 native 산화막 영향도 무시할 수 있었다.

다만 실험에서 얻어진 2.5 nm 두께의 산화막을 0.5 mm 게이트 길이를 갖는 HCMOS 소자제작에 적용하여 게이트 절연막으로서의 전기적 특성 및 소자특성을 고찰 분석하였다. 구체적인 소자제작 과정은 다음과 같다. 실리콘기판 위에 n-well 및 소자격리를 위한 필드 산화막 (LOCOS)을 형성한 후, 10 nm의 Si 시드층, 20 nm의 Si_{0.8}Ge_{0.2} 채널층, 4 nm의 Si 캡층을 RPCVD (reduced pressure chemical vapor deposition)를 이용하여 불순물 도핑없이 차례로 증착하였다. 이때 필드 산화막 위의 에피층은 식각공정으로 제거되었고, 게이트 산화막 형성 후 RPCVD를 이용하여 phosphorus 도핑된 (>10¹⁹ cm⁻³) 게이트 폴리층을 550 °C에서 증착하였다[13]. 소스/드레인 콘택 형성을 위해 Ti 실리콘 사이드 공정이 사용되었으며, 열처리는 800 °C에서 10초, 820 °C에서 30초가 행해졌다. 후속 공정은 기존의 실리콘 CMOS 공정과 동일하게 진행되었다. 그림 1은 이 연구에서 제작된 HCMOS 소자의 단면도이다.

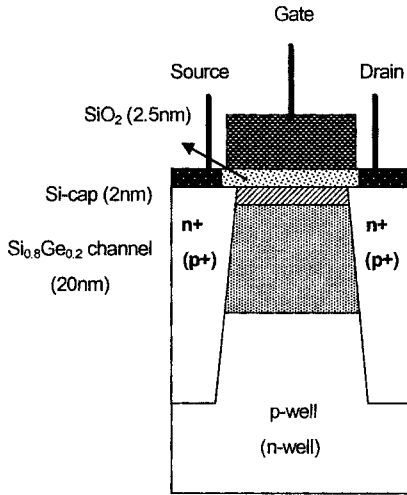


그림 1. 실리콘-게르마늄 HCMOS의 단면도.
Fig. 1. Schematic cross-sectional view of the SiGe HCMOS transistor.

3. 결과 및 고찰

그림 2는 700 °C, 40 Torr 조건에서 오존을 사용했을 때와 산소만을 사용했을 때 각각 성장된 산화막 두께를 시간의 함수로 나타낸 것이다. 그림 2에서 관찰되는 것처럼 오존을 사용했을 경우 산소만을 사용했을 경우에 비해 산화막의 성장이 매우 원활히 진행됨을 알 수 있었다. 즉, 산화막공정 시작 직후 두조건 모두 1.5 -1.7 nm의 초기 산화막 (산화막 형성 시작 후 수십초 동안 매우 빠르게 성장되는 산화막을 지칭함)이 형성되었으나, 산소만을 주입했을 경우는 0.1 Å/min 이하의 후속 성장률을 보여 성장이 거의 정지한 것으로 나타났다. 이에 반해 오존을 주입한 경우는 증가된 산소 래디컬의 밀도와 실리콘 계면으로의 원활한 확산으로 평균 0.4 Å/min의 지속적인 성장을 보였다. 이것은 이번 실험을 통해 얻어진 RIO 산화막이 열산화가 아닌 오존에 의한 영향에 의해 주로 형성되었음을 말해준다.

그림 3은 1.5 nm 급의 실리콘 산화막 형성을 위하여 더욱 낮은 압력 (4.7 Torr) 및 온도 (600 - 700 °C)에서 행해진 실험결과를 나타낸다. 참고로 공정압력이 4.7 Torr일 때 초기 산화막의 두께는 주어진 온도범위에서 1.0 - 1.2 nm로 측정되었다. 즉 1.5 nm 급의 산화막을 얻기 위해서는 일단 초

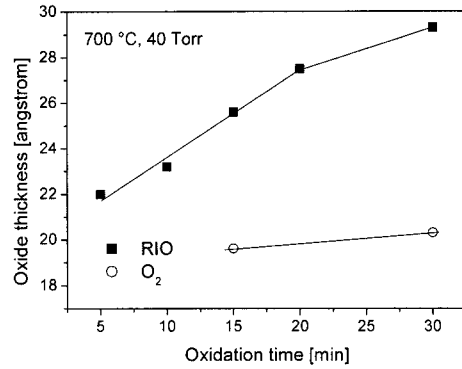


그림 2. 700 °C, 40 Torr에서 RIO적용 유무에 따른 시간별 산화막 두께의 변화.
Fig. 2. Oxide thickness vs. oxidation time when using RIO and O₂ only at 700 °C, 40 Torr.

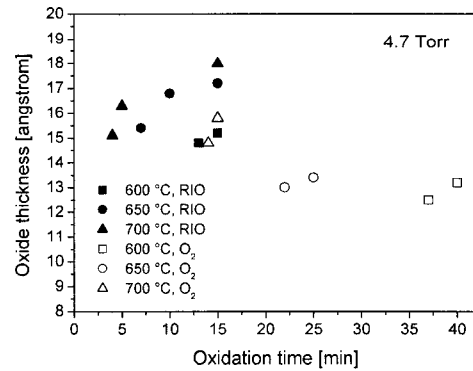


그림 3. 4.7 Torr, 600 - 700 °C에서 RIO적용 유무에 따른 시간별 산화막 두께의 변화.
Fig. 3. Oxide thickness vs. oxidation time when using RIO and O₂ only at 4.7 Torr, 600 - 700 °C.

기 산화막의 두께가 1.5 nm보다는 작아야 했는데, 이것은 공정 압력을 낮춤으로써 실현될 수 있었다. 그림에서 보여진 것과 같이 공정 온도가 600 - 650 °C일 때, 산소만을 주입하면 산화막의 성장이 거의 정지하여 주어진 시간 내에 (40 분) 1.5 nm 까지 성장되지 못함을 알 수 있었다. 반면, 오존을 주입하면 가장 낮은 공정 온도인 600 °C에서도 15 분 내로 1.5 nm 급의 산화막을 얻을 수 있었다. 특히 공정온도가 낮을수록 산화막 두께가 공정시

간 변화에 덜 민감하게 변하므로, 정확한 두께의 실리콘 산화막을 보다 빠르고 안정적으로 얻기 위해서는 RIO를 이용한 저온공정이 절실히 필요함을 알 수 있었다. 이것은 일반적 RTO 공정의 치명적인 단점으로 지적되고 있는 공정시 웨이퍼간 산화막 두께 편차를 크게 줄일 수 있을 것으로 보여 공정시간이 많이 걸리는 단점이 있는 현재의 전기로 게이트 산화막 공정을 대체 할 수 있을 것으로 기대된다.

그림 4는 700 °C, 40 Torr에서 오존주입을 통해 성장된 2.46 nm 두께의 산화막을 갖는 MOS 캐패시터의 전류-전압 특성이다. 그림에서 보듯이 일반적인 고온 열산화막과[14] RIO 산화막의 누설전류 값들을 비교해 보면 (NMOS가 PMOS대비 누설전류 측면에서 불리하므로 여기서는 NMOS만 비교함) 이들이 거의 동일한 수준임을 알 수 있다. 그리고 항복전압 (4.6 V)은 18 MV/cm 이상의 높은 항복전계를 나타내므로 역시 일반적인 열산화막과 대등한 특성을 보인다. 즉, RIO를 이용하면 최소 100 °C 이상 낮아진 성장 온도에서도 기존의 것과 동일한 누설특성 및 항복특성을 갖는 게이트 산화막을 얻을 수 있다. 그림 5는 동일한 두께의 RIO 산화막을 가지면서 n 형 기판 위에 형성된 MOS 캐패시터의 캐패시턴스-전압 특성 (1 MHz)이다. 양(+)의 방향 및 음(-)의 방향으로 전압을 sweep 해 보았지만 그림에서와 같이 히스테리시스는 관찰되지 않았다. 이것은 이 RIO 산화막이 산화막내에 트랩된 전하의 양이 극히 적은 고품질의 것임을 반영한다.

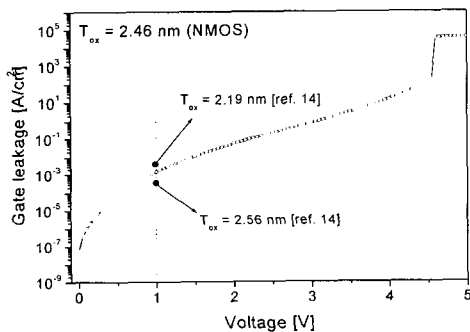


그림 4. 2.46 nm 두께 RIO 산화막의 전류-전압 특성 (NMOS). 비교를 위해 일반적인 열산화막 data (ref. 14)를 표시함.

Fig. 4. Leakage current vs. voltage of the 2.46 nm-thick RIO oxide (NMOS).

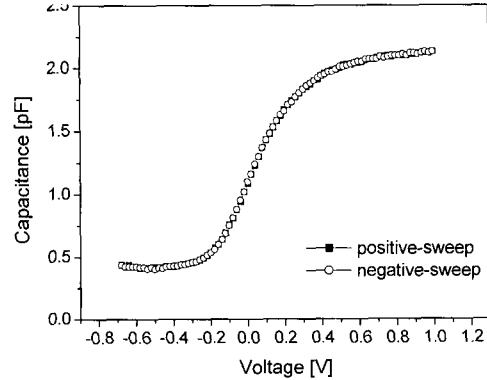


그림 5. 2.46 nm 두께 RIO 산화막의 고주파 (1 MHz) 캐패시턴스-전압 특성 (PMOS). 히스테리시스 관찰을 위해 (+) 및 (-) 방향으로 sweep 함.

Fig. 5. High frequency (1 MHz) capacitance-voltage measurements of the 2.46 nm-thick RIO oxide (PMOS) for both positive and negative voltage sweeps.

그림 6은 2.5 nm 급의 RIO 산화막을 이용하여 제작한 HCMOS의 소자특성을 보여준다. 먼저 그림 6 (a)에서는 게이트 전압 변화에 따른 드레인 전류/트랜스컨덕턴스 특성을 나타내고 있는데, NMOS와 PMOS 모두 매우 우수한 단락특성 (on-off 전류비 > 10⁸)이 관찰되었다 (HCMOS 제작시 문턱전압 제어를 위한 이온주입 공정은 생략됨). 특히 게이트 산화막 형성시 게르마늄의 편석은 HCMOS의 누설전류를 증가시키므로[9], 본 실험에서 제작된 HCMOS는 게르마늄 편석이 거의 일어나지 않았음을 알 수 있었다. 그리고 트랜스컨덕턴스의 경우 NMOS는 최고 232 mS/mm, PMOS는 130 mS/mm까지 측정되어 동일 게이트 길이 (0.5 mm)대비 비교적 높은 값을 나타내었는데, 이것도 우수한 게이트 절연막 특성을 잘 반영한다. Subthreshold swing의 경우도 NMOS는 71.1 mV/dec, PMOS는 72.4 mV/dec 으로 역시 좋은 특성을 보였다. 그림 6 (b)의 트랜지스터 출력특성 곡선에서도 우수한 소자특성이 관찰되었다. 위의 결과들은 결국 RIO에 의한 게이트 산화막이 저온 공정을 필요로 하는 HCMOS 제작에 더욱 적절하게 사용될 수 있음을 보여 준 것이라고 할 수 있다.

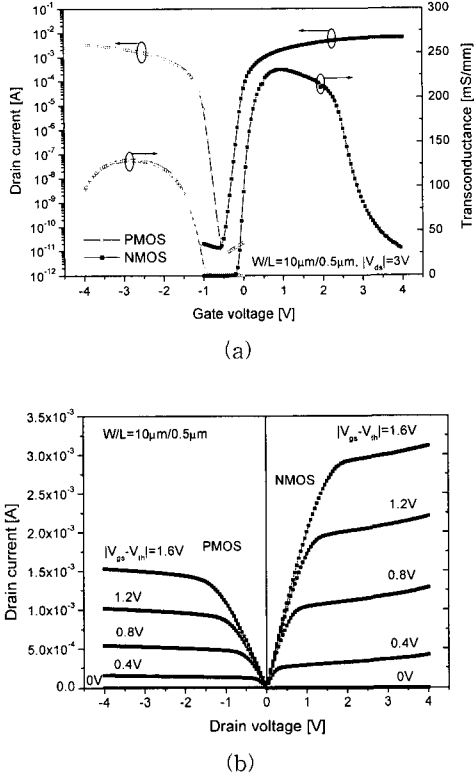


그림 6. 2.5 nm의 RIO 산화막을 적용한 실리콘-게르마늄 HCMOS의 (a) 드레인 전류/트랜스컨덕턴스 대 게이트 전압 특성, (b) 트랜지스터 출력특성.

Fig. 6. (a) Transfer and (b) output characteristic of the SiGe HCMOS transistors with a 2.5 nm-thick RIO gate oxide.

4. 결론

SiGe HCMOS 고집적회로 기술개발에 적용할 목적으로 자체적으로 RIO를 고안하였으며, 저온-저압 조건에서 고품질의 2.5 nm의 실리콘 산화막을 성장하여 우수한 특성의 SiGe HCMOS 소자를 최초로 개발하였다. 기존의 고온 전기로 열산화막에 비해 100 °C 이상 낮은 온도에서 산화막을 성장해도, RIO 산화막은 전기적 특성과 재생성 측면에서 고온 열산화막과 대등한 특성을 보였다. 특히 용력이 인가된 SiGe/Si 이종구조에서 얻어지는 운반자의 고속 전도특성을 소자로 연결되게 하기 위해서 이러한 저온의 산화막 공정은 매우 중요하다.

앞으로 RIO의 고품질 저온 산화막으로 제작된 탁월한 특성의 SiGe HCMOS 소자는 수 GHz 이상의 고속으로 동작하는 고성능 통신용 회로의 구현에 지대한 기여를 할 것으로 보인다.

참고 문헌

- [1] N. Sugii, K. Nakagawa, S. Yamaguchi, and M. Miyao, "Role of $\text{Si}_{1-x}\text{Ge}_x$ buffer layer on mobility enhancement in a strained-si n-channel metal-oxide-semiconductor field-effect transistor", *Appl. Phys. Lett.*, Vol. 75, p. 2948, 1999.
- [2] Y. C. Yeo, Q. Lu, T. J. King, C. Hu, T. Kawashima, M. Oishi, S. Mashiro, and J. Sakai, "Enhanced performance in sub-100 nm CMOSFETs using strained epitaxial silicon-germanium", *IEDM Tech. Digest*, p. 753, 2000.
- [3] Y-J. Song, J-W. Lim, J-Y. Kang, and K-H. Shim, "High Transconductance modulation-doped SiGe pMOSFETs by RPCVD", *Electronics Letters*, Vol. 38, p. 1497, 2002.
- [4] Y-J. Song, J-W. Lim, B. Mheen, S-H. Kim, H-C. Bae, J-Y. Kang, J-H. Kim, J-I. Song, K-W. Park, and K-H. Shim, "1/f Noise in $\text{Si}_{0.8}\text{Ge}_{0.2}$ pMOSFETs under Fowler-Nordheim Stress", *IEEE Trans. Electron Devices*, in press.
- [5] 박호열, 신봉조, 박근형, "게이트 산화막으로 25 Å의 NO 질산화막을 사용한 PMOSFET의 전기적인 특성 분석", *전기전자재료학회 논문지*, 12권, 9호, p. 757, 1999.
- [6] 이현우, "High-k Gate Dielectrics: 고유전율 게이트 유전체 개발 동향", *전기전자재료학회 논문지*, 14권, 12호, p. 30, 2001.
- [7] S. Choi, S. Jeon, H. Hwang, Y-J. Song, J-W. Lim, K-H. Shim, and K-W. Park, "Electrical characteristics of ZrO_2 gate dielectric deposited on ultrathin silicon capping layer for SiGe metal-oxide-semiconductor device applications", *Japan. J. of Appl. Phys.*, Vol. 41, p. 5129, 2002.
- [8] Y. Shi, X. Wang, and T. P. Ma, "Electrical

- properties of high-quality ultrathin nitride/oxide stack dielectrics", IEEE Trans. Electron Devices, Vol. 46, p. 362, 1999.
- [9] Y-J. Song, J-W. Lim, S-H. Kim, H-C. Bae, J-Y. Kang, K-W. Park, and K-H. Shim, "Effects of Si-cap layer thinning and Ge segregation on the characteristics of Si/SiGe/Si heterostructure pMOSFETs", Solid-State Electronics, Vol. 46, p. 1983, 2002.
- [10] A. Kazor and L. W. Boyd, "Ozone-induced rapid low temperature oxidation of silicon", Appl. Phys. Lett., Vol. 63, p. 2517, 1993.
- [11] Z. Cui, J. M. Madsen, and C. G. Takoudis, "Rapid thermal oxidation of silicon in ozone", J. Appl. Phys., Vol. 87, p. 8181, 2000.
- [12] K. Nakamura, A. Kurokawa, and S. Ichimura, "Hydrofluoric acid etching of ultra-thin silicon oxide film fabricated by high purity ozone", Thin Solid Films, Vol. 343-344, p. 361, 1999.
- [13] 김홍승, 심규환, 이승윤, 이정용, 강진영, "감압화학증착의 이단계 성장으로 실리콘 기판 위에 증착한 in-situ 인 도핑 다결정 실릴콘 박막의 미세구조 조절", 전기전자재료학회논문지, 13권, 2호, p. 95, 2000.
- [14] D. J. Frank, R. H. Dennard, E. N. Nowak, P. M. Solomon, Y. T. Taur, and H. S. P. Wong, "Device scaling limits of Si MOSFETs and their application dependencies", Proceeding of the IEEE, Vol. 89, p. 259, 2001.