

論文2003-40SD-8-3

RF IC 설계를 위한 새로운 CMOS RF 모델

(A New CMOS RF Model for RF IC Design)

朴 光 旻 *

(Kwangmin Park)

요 약

본 논문에서는 CMOS 소자의 RF 동작을 정확히 예측하기 위해 Si 표면에서의 메탈 라인 사이의 커패시턴스 효과와 표피효과 및 근접효과를 포함한 RF IC 설계를 위한 새로운 CMOS RF 모델을 처음으로 제시하였다. Si 표면에서의 메탈 라인 사이의 커패시턴스는 레이아웃에 기초하여 모델링하였으며, 표피효과는 메탈 라인의 등가회로에 병렬회로를 추가하여 사다리꼴 등가회로로 구현하였다. 근접효과는 사다리꼴 등가회로에서 교차 결합된 인덕턴스 사이의 상호 인덕턴스를 추가함으로써 모델링하였다. 제안된 RF 모델은 BSIM 3v3에 비해 측정 데이터와 잘 일치하였으며, GHz 영역에서 소자 동작의 주파수 종속성을 잘 보여 주었다.

Abstract

In this paper, a new CMOS RF model for RF IC design including the capacitance effect, the skin effect, and the proximity effect between metal lines on the Si surface is proposed for the first time for accurately predicting the RF behavior of CMOS devices. The capacitances between metal lines on the Si surface are modeled with the layout. And the skin effect is modeled with a parallel branch added in equivalent circuit of metal line. The proximity effect is modeled by adding the mutual inductance between cross-coupled inductances in the ladder circuit representation. Compared to the BSIM 3v3, the proposed RF model shows good agreements with the measured data and shows well the frequency dependent behavior of devices in GHz ranges.

Keyword : CMOS, RF model, Multi-finger layout, RF equivalent circuit

I. 서 론

최근 서브마이크론 CMOS 기술이 진보됨에 따라, CMOS 응용분야는 GHz 범위의 RF 영역까지 확대되었으며, 따라서 많은 상업용 RF 응용제품이 고집적된 RF

CMOS 통신 시스템에 사용되고 있다. 특히, 저가격과 고집적 등의 장점으로 인해, RF CMOS 기술은 단일 칩 RF 시스템 IC의 구현을 위해 가장 필수적인 기술이 되고 있다^[1].

이러한 CMOS RF IC의 설계를 위해서는 DC에서 RF까지 모든 바이어스에 대해 유효하면서도 정확한 MOSFET 모델이 요구된다. 그러나 기존의 CMOS 모델은 RF 영역에서 충분히 정확하지 않으며, 따라서 소자의 RF 동작을 정확히 예측하기 어려웠다. 이러한 부정확성을 극복하기 위해 유효 게이트 저항 모델, 또는 GHz 통신용 IC를 위한 CMOS RF 모델링 등 몇몇 개

* 正會員, 順天鄉大學校 情報技術工學部
(Division of Information Technology Engineering,
Soonchunhyang University)

※ 본 연구과제는 2003학년도 순천향대학교 산업기술
연구소 학술연구조성비 일반연구과제로 지원을 받
아 수행하였음.

接受日字:2003年1月8日, 수정완료일:2003年8月11日

선된 모델들이 제시되었다^[2,4]. 이들은 코어 BSIM 3v3 모델에 게이트 저항과 기판 결합 회로를 부가하거나 또는 게이트 저항을 게이트와 채널의 분포저항들로 분리하여 해석하였다. 그러나 이들 모델들은 실험결과와 일치시키기 위하여 게이트 저항값을 실험 데이터로부터 추출하거나 또는 curve fitting을 통해 구해냄으로써 RF IC 설계용으로 사용하는 데 한계가 있었다.

RF용 CMOS 트랜지스터는 대개 크기가 큰 소자이며, 따라서 제한된 폭과 입력 임피던스 특성을 위해 다중-손가락(multi-finger) 구조로 구현되며, 또한 RF 영역에서 동작하므로, GHz 영역에서 매우 중요한 표피효과(skin effect), 근접효과(proximity effect) 및 레이아웃에 기인한 효과들이 RF CMOS 모델에 포함되어야 한다. 기존의 모델들은 이러한 중요한 효과들을 고려하지 않았으며, 결과적으로 GHz 영역에서 주파수에 따른 트랜스컨덕턴스의 변화 등과 같은, 소자의 RF 동작을 정확히 예측할 수 없었다.

본 논문에서는 이러한 표피효과(skin effect), 근접효과(proximity effect) 및 레이아웃에 기인한 효과들을 포함한 새로운 CMOS RF 모델을 처음으로 제시한다. 제안된 모델은 측정 데이터와 모의실험 결과를 비교함으로써 그 정확성을 검증한다.

II. 다중-손가락(Multi-finger) 레이아웃과 RF CMOS 등가회로

RF 다중-손가락 MOSFET의 레이아웃은 다음 <그림 1>에 나타내었다. 이 <그림 1>은 4-손가락 게이트 구조에 대한 레이아웃으로, 여기서 L_f 는 단일 손가락 게이트의 길이를, W_f 는 단일 손가락 게이트의 폭을 각각 나타낸다. 따라서 손가락의 수를 N_f 라 두면, 전체 게이트의 폭 W_{eff} 은 다음 식 (1)로 나타낼 수 있다.

$$W_{eff} = N_f \cdot W_f \quad (1)$$

일반적인 RF CMOS 공정에서 게이트는 poly-Si로, 드레인과 소스는 메탈로 제조되므로, Si 표면에서 메탈들과 poly-Si 사이에 커패시턴스 C_{gsm} 과 C_{gdm} 이 존재하게 된다. 이러한 Si 표면에서의 커패시턴스들은 DC 또는 저주파 동작에서는 그들의 임피던스가 무한대 또는 매우 크기 때문에 무시될 수 있지만, GHz 범위의 RF 동작에서는 이들 커패시턴스의 임피던스가 매우 크지 않으며, 따라서 이들 커패시턴스에 의한 효과들이 무시

되어서는 안된다.

이러한 메탈 라인 사이의 커패시턴스는 다음 식 (2)와 같이 나타낼 수 있다.

$$C_{gsm} = C_{gdm} = \frac{\epsilon_1 \cdot W_f \cdot t_m}{d} \quad (2)$$

여기서 ϵ_1 는 메탈 라인 사이 물질의 유전율이며, 일반적인 CMOS 공정에서는 SiO_2 가 사용된다. 또한 t_m 은 메탈의 두께, d 는 각 메탈 라인 사이의 거리이다. 이때, λ -based design rule을 적용하면, 식 (2)는 $d=3\lambda$ 에 대해 다음 식 (3)과 같이 유도된다.

$$C_{gsm} = C_{gdm} = \frac{\epsilon_1 \cdot W_f \cdot t_m}{3\lambda} = \frac{\epsilon_1 \cdot W_{eff} \cdot t_m}{3\lambda \cdot N_f} \quad (3)$$

Si 표면에서의 메탈 라인 사이의 커패시턴스 효과에 덧붙여, RF IC 응용을 위해서는 표피효과(skin effect)와 근접효과(proximity effect)가 포함되어야 한다. 이러한 효과들은 주로 silicon-based RF IC의 on-chip 나선형 인덕터에 대해 연구되어졌다. 동작 주파수가 GHz 범위로 높아짐에 따라, 메탈 라인의 저항과 인덕턴스는 도체 내의 불균일한 전류 분포 때문에 주파수에 매우 종속적임이 밝혀졌다^[5].

단일 메탈 라인에 있어서, 주파수가 높아짐에 따라 AC 전류는 표피효과에 의해 도체의 표면 쪽으로 밀리

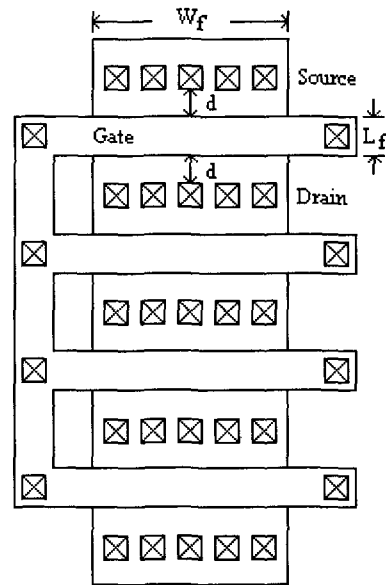


그림 1. 다중-손가락 MOSFET의 레이아웃
Fig. 1. The layout of multi-finger MOSFET.

게 되는 데, 이러한 표피효과와 금속 라인에 대한 등가 회로에 병렬회로를 부가하여 사다리꼴 등가회로로 구현하였다.

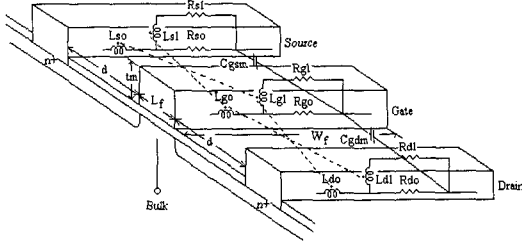


그림.2. 단일-손가락 MOSFET의 3차원 모델 구조
Fig. 2. 3-Dimensional model structure of single-finger MOSFET.

또한, 인접한 금속 라인들에 의해 생성된 자계는 도체 내의 전류 분포를 더욱 변화시켜, 금속 라인의 가장자리에서 전류밀도가 더 높아지게 한다. 이러한 근접효과는 표피효과와 함께 금속 라인의 저항과 인덕턴스가 주파수에 따라 증가하게 되는 중요한 원인이 된다. 나선형 인덕터에 있어서 외부 전계와 내부 전류 사이의 이러한 자기적 상호작용은 사다리꼴 등가회로에서 교차 결합된 인덕턴스 사이의 상호 인덕턴스로써 모델화할 수 있다⁶⁾.

이상과 같은 커패시턴스 효과와 표피효과 및 근접효과를 포함하여 구현한 단일 손가락 RF MOSFET의 3차원 모델 구조는 <그림 2>에 나타내었다. 이때 각 금속 라인의 저항과 인덕턴스의 주파수 종속성은 <그림 2>의 사다리꼴 등가회로로부터 다음 식 (4)와 (5)로 각각 나타내어진다.

$$R_j(\omega) = \frac{R_{j0}R_{j1}(R_{j0} + R_{j1}) + \omega^2 R_{j0} L_{j1}^2}{(R_{j0} + R_{j1})^2 + \omega^2 L_{j1}^2} \quad (4)$$

$$L_j(\omega) = L_{j0} + \frac{L_{j1}R_{j0}^2}{(R_{j0} + R_{j1})^2 + \omega^2 L_{j1}^2} \quad (5)$$

여기서 첨자 j는 MOSFET의 게이트, 드레인, 또는 소스의 각 단자를 나타낸다. 식 (4)와 (5)로부터, $\omega=0$ 에서의 DC 저항 R_{jdc} 와 DC 인덕턴스 L_{jdc} 는 각각 다음 (6)과 (7)로 구해지며, $\omega=\infty$ 에서의 인덕턴스 $L_j(\infty)=L_{j0}$ 로 구해진다.

$$R_{jdc} = \frac{R_{j0}R_{j1}}{R_{j0} + R_{j1}} \quad (6)$$

$$L_{jdc} = L_{j0} + \frac{L_{j1}R_{j0}^2}{(R_{j0} + R_{j1})^2} \quad (7)$$

한편, $R_{j0}L_{j0}$ 와 $R_{j1}L_{j1}$ 사이의 관계는 실험적으로 다음 식 (8)과 같이 나타낼 수 있다⁷⁾.

$$\frac{L_{j0}}{L_{j1}} = \alpha \cdot \frac{R_{j1}}{R_{j0}} \quad (8)$$

여기서 α 는 단일 원형 와이어에 대해 0.315로 최적화된 다. 식 (6), 식 (7), 및 식 (8)로부터, 등가회로의 각 저항과 인덕턴스는 다음과 같이 구해진다.

$$R_{j0} = R_{jdc} / (1 - \sqrt{\alpha}) \quad (9)$$

$$L_{j0} = L_{jdc} \cdot (1 - \sqrt{\alpha}) \quad (10)$$

$$R_{j1} = R_{jdc} \sqrt{\alpha} \quad (11)$$

$$L_{j1} = L_{jdc} \sqrt{\alpha} \quad (12)$$

$$L_{ikm} = k\sqrt{L_{j0}L_{k1}} \quad (13)$$

<그림 2>의 모델 구조로부터, 이러한 모델 파라미터들을 사용하여 구현한 MOSFET의 RF 등가회로는 다음 <그림 3>에 나타내었다. 여기서 R_{db} , R_{sb} , 및 R_{sub} 는 각각 drain-bulk 저항, source-bulk 저항 및 기판 저항을, C_{sub} 는 기판 커패시턴스를 나타낸다. 또한 다이오드 D_d 와 D_s 는 각각 드레인과 소스 접합에서의 기생 다이오드를 나타낸다. L_{gdm} , L_{dkm} , L_{gsm} , 및 L_{sgm} 은 각각 근접효과에 기인한 교차 결합된 인덕턴스들 사이의 상호 인덕턴스를 나타낸다. 여기서 다중-손가락 트랜지스터는 단일 손가락 소자로 등가화하였다. 이때 Si 표면에서의 단일 손가락 구조의 금속 라인 사이의 커패시턴스 C_{gsm} 과 C_{gdsm} 은 각각 다중-손가락 구조에서 모두 병렬이므로 각각의 전체 커패시턴스는 W_f 와 N_f 에 직접 비례한다.

III. 모델 검증

제안된 모델의 정확성을 검증하기 위해 NMOS의 트랜스컨덕턴스에 대해 모의실험한 결과를 BSIM 3v3로 모의실험한 결과 및 측정 데이터와 비교하였다. 게이트 저항이 $R_g=9\Omega$ 이고 기판 저항이 $R_{sub}=90\Omega$ 인 16-손가락 게이트 $160/0.35\mu m$ NMOS의 트랜스컨덕턴스를 $V_g=2V$ 와 $V_d=2V$ 에 대해 모의실험한 결과와 측정 데이터³⁾는 <그림 4>에 나타내었으며, 게이트 저항이 $R_g=9.5\Omega$

이고 기판 저항이 $R_{sub}=50\Omega$ 인 24-손가락 게이트 240/0.35 μm NMOS의 트랜스컨덕턴스를 $V_g=0.9\text{V}$ 와 $V_d=2\text{V}$ 에 대해 모의실험한 결과와 측정 데이터^[8]는 <그림 5>에 나타내었다. 모의실험은 MOSIS 프로그램의 TSMC 0.35 μm 공정의 SPICE 파라미터를 사용하여 수행하였다.

<그림 4>와 <그림 5>의 결과로부터, 제안된 RF 모델은 BSIM 3v3 모델에 비해 측정 데이터와 잘 일치함을 알 수 있으며, 또한 GHz 영역에서 소자 특성의 주

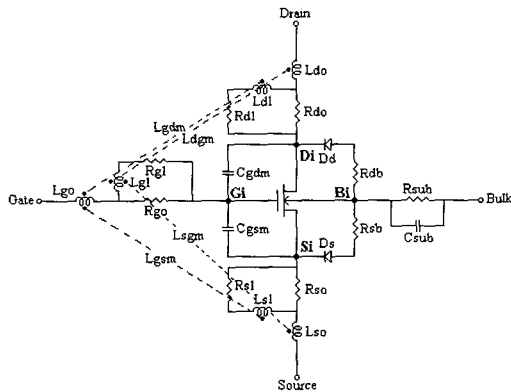


그림 3. RF 등가회로 모델.
Fig. 3. RF equivalent circuit model.

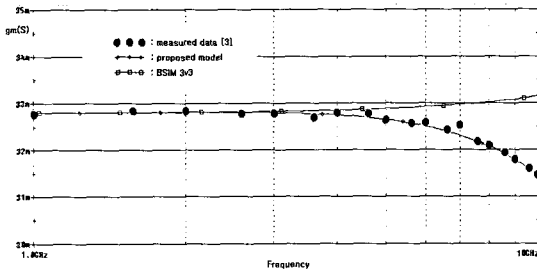


그림 4. 160/0.35 μm NMOS의 트랜스컨덕턴스
Fig. 4. Transconductance of 160/0.35 μm NMOS.

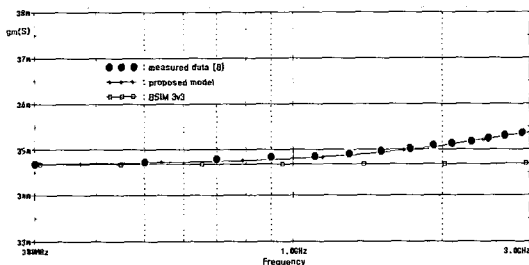


그림 5. 240/0.35 μm NMOS의 트랜스컨덕턴스
Fig. 5. Transconductance of 240/0.35 μm NMOS.

파수 증속성을 잘 보여주고 있음을 알 수 있다.

IV. 결론

본 논문에서는 RF IC 설계를 위한 새로운 CMOS RF 모델을 제시하였다. 레이아웃에 기초하여 Si 표면에서의 메탈 라인 사이의 커패시턴스 효과와 표피효과 및 근접효과를 포함한 MOSFET의 새로운 RF 등가회로 모델을 개발함으로써, CMOS 소자의 RF 동작을 정확히 예측할 수 있도록 하였으며, 모의실험 결과를 BSIM 3v3와 측정 데이터와 비교함으로써 모델의 정확성을 검증하였다. 제안된 RF 모델은 BSIM 3v3에 비해 측정 데이터와 잘 일치하였으며, GHz 영역에서의 소자 동작의 주파수 증속성을 잘 보여주었다. 따라서 제시된 모델은 LNA 또는 Mixer와 같은 비선형 CMOS RF IC의 설계와 모의실험에 매우 유용하게 사용될 수 있을 것이다.

참고 문헌

- [1] C. S. Kim and H. K. Yu, "The present and the future of RF CMOS technology," The magazine of the IEEK, vol.29, no.9, pp. 18~30, Sep. 2002.
- [2] X. Jin et al., "An effective gate resistance model for CMOS RF and noise modeling," IEDM Tech. Dig., pp. 961~964, Dec. 1998.
- [3] J. J. Ou, X. Jin, I. Ma, C. Hu, and P. R. Gray, "CMOS RF modeling for GHz communication IC's," VLSI Symp. on Tech., Dig. of Tech. papers, pp. 94~95, June 1998.
- [4] C. Enz, "An MOS transistor model for RF IC design valid in all regions of operation," IEEE Trans. on Microwave Theory and Techniques, vol.50, no.1, pp. 342~359, Jan. 2002.
- [5] H. Tsai et al., "Investigation of current crowding effect on spiral inductors," IEEE MIT-S Digest, pp. 139~142, 1997.
- [6] Y. Cao et al., "Frequency-independent equivalent circuit model for on-chip spiral inductors," Custom Integrated Circuits Conference (CICC), pp. 217~230, May, 2002.
- [7] S. Kim and D. P. Neikirk, "Compact equivalent

- circuit model for the skin effect," IEEE MTT-S Digest, pp. 1815~1818, 1996.
- [8] J. J. Ou, X. Jin, P. R. Gray, and C. Hu, "Recent developments in BSIM for CMOS RF ac and noise modeling," Presentation for the Workshop on Advances in Analog Circuit Design, Nice, France, March 1999.

저 자 소 개



朴 光 燧(正會員)

1983년 2월 : 한양대학교 공과대학 전자공학과 졸업(공학사). 1985년 2월 : 한양대학교 대학원 전자공학과 졸업(공학석사). 1988년 2월 : 한양대학교 대학원 전자공학과 졸업(공학박사). 1988년 3월~현재 : 순천향대학교 공과대학 정보기술공학부 정교수. <주관심분야 : Device Modeling(CMOS, HEMT), CMOS Analog & RF IC Design>