

주기적 홀을 가지는 접지 금속막을 이용한 저임피던스/단파장 선로와 MMIC용 소형 레트레이스에의 응용

A Low Impedance and Short Guided-Wavelength Microstripline Employing a Periodically Perforated Ground Metal and Its Application to Miniaturized Ratrace MMIC

윤 영

Young Yun

요 약

본 논문에서는 GaAs MMIC상의 수동소자의 소형화와 저임피던스화를 위하여, 주기적 홀을 가지는 접지금속막 선로구조를 제안하였으며, 그 결과 종래의 마이크로스트립 선로에 비해 선로의 저임피던스화와 선로과장 축소를 실현하였다. 상기 선로구조를 이용하여 GaAs기판상에 15 Ω 임피던스라인으로 MMIC용 레트레이스를 제작한 결과, 종래의 마이크로스트립 선로를 이용하여 제작한 레트레이스에 비해 선로폭은 종래의 1/40인 20 μm였으며, 레트레이스의 면적은 종래의 약 9.3 %인 0.375 mm²이었다. 상기 레트레이스로부터 20~30 GHz 사이에서 양호한 RF특성을 관찰할 수 있었다.

Abstract

In order to realize miniaturized and low-impedance MMIC passive component, a novel microstripline structure employing periodically perforated ground metal was proposed. The novel microstripline structure showed much lower impedance, and shorter guided-wavelength than conventional one. Using the novel microstripline with periodically perforated ground metal, a miniaturized 15 Ω ratrace was fabricated. The line width of the ratrace was 20 μm, and the size of it was 0.375 mm², which is 9.3 % of conventional one. The ratrace exhibited good RF performances from 20 to 30 GHz.

Key words : Periodically Perforated Ground Metal, Low-Impedance, MMIC, Ratrace

I. 서 론

GaAs 전력증폭기 MMIC 등의 전자소자에는 전력결합/분배기(power coupler/divider)가 요구되며^{[1]~[4]}, 송수신단 배런스형 믹서(balanced mixer) MMIC^{[5],[6]}에는 입력측에 레트레이스(ratrace)^[7] 등의 하이브리드가 요구된다. 일반적으로 RF 송수신단에는 저잡음 증폭기를 제외하고는, 적어도 100 μm 이상의

게이트폭(Wg)을 가지는 FET(field effect transistor)가 사용된다. 이러한 GaAs FET는 보통 10~25 Ω의 낮은 게이트 입력임피던스를 가지며, 따라서 회로구성을 간략화하기 위해서는 FET입력부에 10~25 Ω의 저임피던스 선로로 제작된 전력결합/분배기 또는 하이브리드 등이 필요하다^{[1]~[6]}. 그러나 GaAs 기판 뒷면에 접지금속막을 가지는 종래의 마이크로스트립 선로^[7]를 이용하여 30 Ω 이하의 특성

마쯔시파전기 반도체 디바이스연구센터 (Semiconductor Device Research Center, Matsushita Electric Industrial)

· 논문 번호 : 20030402-053

· 수정완료일자 : 2003년 5월 24일

임피던스 선로를 제작하는 경우 선로폭이 매우 커지는 문제점이 있다. 예를 들어 100 μm 의 높이를 가지는 GaAs 기판상에 20 Ω 선로를 제작하는 경우 선로폭은 약 400 μm 가 되며, 15 Ω 선로를 제작하는 경우 선로폭은 약 800 μm 이 된다. 따라서 종래의 마이크로스트립 선로를 이용하는 경우, 전력결합/분배기 또는 하이브리드 등의 수동소자를 MMIC상에 집적하는 것은 실질적으로 불가능하며, 그 결과 아주 큰 면적의 수동소자들이 MMIC가 실장된 프린트 기판상에 제작된다^{[1]~[6]}. 이러한 점들은 MMIC 실장 모듈(module)면적의 증가와 모듈실장 가격 증가의 원인이 된다.

본 논문에서는 GaAs MMIC상의 수동소자의 소형화를 위하여, 주기적 홀을 가지는 접지금속막 선로구조를 제안한다. 즉 선로 사이와 GaAs 기판 뒷면의 접지금속막 사이에 사다리형의 주기 접지금속막을 삽입하여 선로의 용량성분을 증가시킴으로써, 선로의 저임피던스화를 실현함과 동시에 선로파장 감소에 의한 MMIC 수동소자 사이즈의 축소를 실현하였다. 그리고, 상기 선로구조를 이용하여 GaAs 기상에 15 Ω 임피던스라인으로 MMIC용 레트레이스를 제작 평가하였다.

II. 본 론

2-1 주기 접지금속막을 이용한 GaAs MMIC용 소형/저임피던스 마이크로스트립 선로

그림 1은 종래의 마이크로스트립 선로구조를 보여준다. 용량 C_a 는 선로와 GaAs 기판의 접지금속막 사이의 단위길이당 용량에 해당한다. 그림 2는 마이크로스트립 선로구조의 LC 등가회로를 보여준다. 그림 1의 종래의 마이크로스트립 선로와 같이, 주기적인 용량 C 와 인덕턴스 L 을 가지는 선로의 등가회로

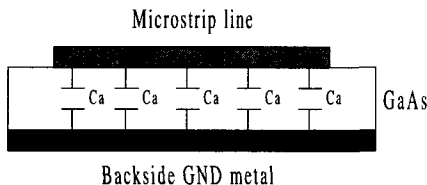


그림 1. 종래의 마이크로스트립 선로구조
Fig. 1. Conventional microstripline structure.

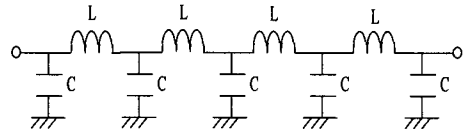


그림 2. 마이크로스트립 선로구조의 LC등가회로
Fig. 2. LC equivalent circuit for microstripline structure.

는 모두 그림 2와 같은 주기적인 LC 등가회로로 표현되며, 그러한 선로의 특성임피던 Z_0 와 선로파장 λ_g 은 다음과 같이 표현된다^[7].

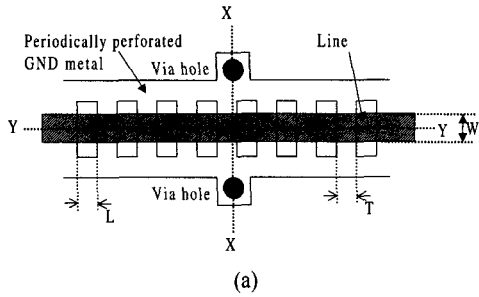
$$Z_0 = \sqrt{\frac{L}{C}} \quad (1)$$

$$\lambda_g = \frac{1}{f\sqrt{LC}} \quad (2)$$

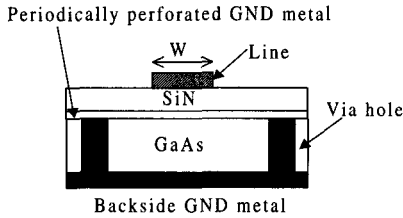
식 (1), (2)에서 용량 C 는 선로와 GaAs 기판의 접지금속막 사이의 단위길이당 용량(예를 들면, 그림 1의 종래의 선로구조의 경우에는 C_a 에 해당)에 해당하며, 인덕턴스 L 은 선로의 단위길이당 인덕턴스치에 해당하며, 그리고, f 는 동작주파수이다. 식 (1), (2)에서 알 수 있는 바와 같이 선로와 접지금속막 사이의 용량 C 가 증가할수록 특성임피던스 Z_0 와 선로파장 λ_g 은 감소한다. 이 점에 주목하여, 본 논문에서는 마이크로스트립 선로 사이와 GaAs 기판 뒷면의 접지금속막 사이에 주기적 홀을 가지는 접지금속막을 삽입하여 선로의 용량성분 C 를 증가시킴으로써, 선로의 저임피던스화를 실현함과 동시에 선로 파장 감소에 의한 MMIC 수동소자 사이즈의 축소를 실현하였다.

그림 3(a)는 본 논문의 주기적 홀을 가지는 접지금속막 마이크로스트립 선로구조를 보여주며, 그림 3(b)는 그림 3(a)의 X-X방향에 대한 단면구조이다, 그림에서 보는 바와 같이 선로와 GaAs 기판의 접지금속막 사이에 추가로 주기적 홀을 가지는 접지금속막 (periodically perforated ground metal)을 삽입하였으며, 그리고 주기 접지금속막은 via hole을 통해서 GaAs 기판의 접지금속막에 연결되어 접지전위를 공급한다. 접지금속막과 라인 사이에는 SiN 박막을 삽입하였다. 그림 3(c)는 그림 3(a)의 Y-Y방향에 대한 단면구조이다. 그림 3(c)에서 알 수 있는 바와 같이 접지금속막 선로구조의 용량에 있어서, 종래의

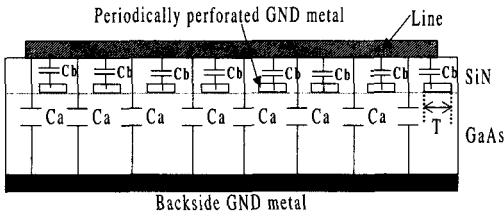
주기적 홀을 가지는 접지 금속막을 이용한 저임피던스/단파장 선로와 MMIC용 소형 레트레이스에의 응용



(a)



(b)



(c)

그림 3. (a) 면적 $20 \times 30 \mu\text{m}^2$ 의 주기적 홀을 가지는 접지금속막 마이크로스트립 라인 선로 구조

(b) 그림 3(a)의 X-X방향에 대한 단면구조

(c) 그림 3(a)의 Y-Y방향에 대한 단면구조

Fig. 3. (a) Microstripline structure employing periodically perforated ground metal with periodic holes of $20 \times 30 \mu\text{m}^2$.

(b) A cross-sectional view according to X-X direction of Fig. 3(a).

(c) A cross-sectional view according to Y-Y direction of Fig. 3(a).

마이크로 스트립 라인 구조에서 존재하는 용량 C_a 뿐 아니라 접지금속막과 선로 사이의 용량 C_b 가 추가적으로 존재한다. 그림 1의 종래의 선로구조의 경우, 식 (1), (2)의 용량부는 $C=C_a$ 이지만, 그림 3(a)-(c)의 접지금속막 선로에 대해서는 $C=C_a+C_b$ 가 되므로, 주기적 홀을 가지는 접지금속막 선로의 임피던스와 선로파장은 종래의 선로구조에 비해 줄어들게 된다. 그림 3(a)의 주기적 홀의 간격 T , 선로간격 L 등을 조

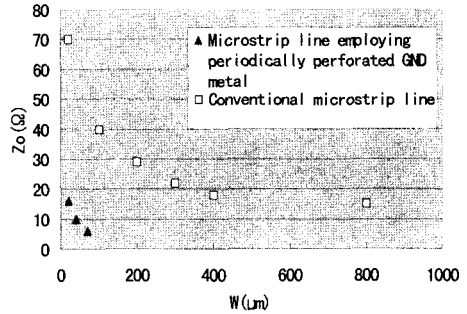


그림 4. 주기적 홀을 가지는 접지금속막 선로구조와 종래의 선로구조에 대한 특성임피던스의 측정결과

Fig. 4. Measured characteristic impedance Z_0 for the microstripline employing periodically perforated ground metal and conventional microstripline.

절하면, 주기 접지금속막과 선로 사이의 용량 C_b 는 쉽게 변화시킬 수 있으며, 그 결과, 특성임피던스 Z_0 와 선로파장 λ_g 의 크기를 조절할 수 있다.

그림 4는 본 논문의 주기적 홀을 가지는 접지금속막 선로구조 (그림 3(a)-(c)참조)와 종래의 선로구조(그림 1 참조)의 특성임피던스의 선로폭 W 의존성에 대한 측정결과를 보여준다. 선로들은 높이 $100 \mu\text{m}$ 의 GaAs 기판상에 제작되었으며, 금 (Au)에 의해 제작되었다. 주기적 홀을 가지는 접지금속막 선로구조에 대해서 주기적 홀의 간격 T , 주기적 홀의 폭 L (T, L 에 대해서는 그림 3(a)-(c) 참조)을 $20 \mu\text{m}$ 로 설정하였다. 그림에서 보는 바와 같이 종래의 선로의 경우에는 선로폭 W 가 $400 \mu\text{m}$ 인 경우 특성임피던스가 20Ω 인 반면, 주기 접지금속막 선로구조의 경우에는 선로폭 W 가 $20 \mu\text{m}$ 인 경우에 특성임피던스가 15Ω 정도이다. 그림 5는 본 논문의 주기 접지금속막 선로구조와 종래의 선로구조의 선로파장의 선로폭 W 의존성에 대한 측정결과를 보여준다. 선로파장은 개방스터브로부터 측정하였으며, 20GHz 에서 측정하였다. 그림에서 보는 바와 같이 선로폭 W 가 $20 \mu\text{m}$ 인 종래의 선로의 경우에는 선로파장이 5.6mm 인 반면, 선로폭 W 가 $20 \mu\text{m}$ 인 주기적 홀을 가지는 접지금속막 선로의 경우에는 선로파장이 2.2mm 밖에 되지 않는다. 상기 결과들로부터 본 논문의 선로구조를 이용하면, 선로의 저임피던스화를 실현함과 동시에 선로파장 감소에 의한 MMIC 수동소자

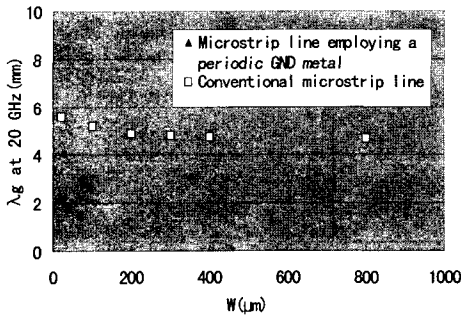


그림 5. 주기 접지금속막 선로구조와 종래의 선로구조에 대한 선로파장의 측정결과
 Fig. 5. Measured guided-wavelength λ_g for the microstripline employing periodically perforated ground metal and conventional microstripline.

사이즈를 축소할 수 있음을 알 수 있다.

그림 3(a)의 주기적 홀 간격 T 가 증가할수록 용량 C 가 증가하므로 선로파장은 감소한다. 따라서, 접지 금속막에 주기적 홀이 없을 때 ($T=\infty$), 용량 C 가 최대가 되므로, 선로파장이 최소가 된다. 그리고 SiN 박막두께가 감소할수록 용량 C 가 증가하므로, 선로파장도 감소한다. 그러나 홀 간격 T 의 증가와 SiN 박막두께의 감소는 선로의 손실과 특성 임피던스의 주파수 분산치를 증가시킨다. 선로의 삽입손실을 0.5 dB/mm 이하로, 그리고 주파수 분산특성을 5% 이하로 하기 위해서, 7000 Å 이상의 SiN 박막두께, 60 μm 이하의 주기적 홀 간격 T 가 적절하다.

2-2 MMIC용 소형/저임피던스 레트레이스에의 응용

본 논문의 주기 접지금속막 선로구조의 유효성을 입증하기 위해서 고주파 배런스믹서^[5] 또는 전력증폭기^[4] 등의 위상 및 전력 분배/결합에 있어서 필수적인 레트레이스 (ratrace)^[7]를 GaAs MMIC상에 제작하였다. 그림 6은 레트레이스의 기본구조를 보여준다. 레트레이스는 동위상 전력분배특성과 역위상 전력분배특성을 동시에 가진다. 예를 들면, 포트 2에 입력신호를 가하는 경우, 포트 1과 포트 3에서 출력되는 전력은 서로 동위상, 동전력특성을 가진다. 그리고 포트 1에 입력신호를 가하는 경우, 포트2와 포트 4에서 출력되는 전력은 서로 역위상, 동전

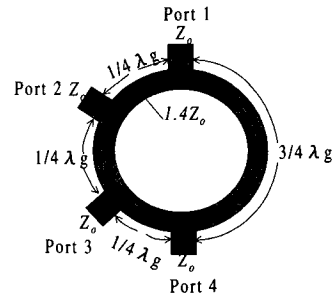


그림 6. 레트레이스의 기본구조
 Fig. 6. Basic structure of ratrace.

력특성을 가진다. 반면 포트 1과 3은 서로 절연되어 있으며, 역시 포트 2와 4는 서로 절연되어 있다. 이를 S파라미터 관계식으로 표현하면 다음과 같이 표현할 수 있다^[7].

$$Mag(S_{12}) = Mag(S_{32}) \quad (3)$$

$$Phase(S_{12}) - Phase(S_{32}) = 0^\circ \quad (4)$$

$$Mag(S_{21}) = Mag(S_{41}) \quad (5)$$

$$|Phase(S_{21}) - Phase(S_{41})| = 180^\circ \quad (6)$$

$$Mag(S_{13}) = 0 \quad (7)$$

$$Mag(S_{24}) = 0 \quad (8)$$

식 (7)과 (8)의 완전 절연특성은 이상적인 레트레이스에 해당하며, 일반적으로는 -15 ~ -30 dB 정도이다. 그림 4, 5에서 보는 바와 같이, 종래의 선로구조를 이용하여 15 Ω 선로인 선로폭 W 800 μm의 선로를 높이 100 μm의 GaAs 기판상에 제작하는 경우, 선로파장 λ_g 는 약 4.8 mm ($\lambda_g/4=1.2$ mm)이며, 반면 15 Ω 선로인 선로폭 W 20 μm의 주기적 홀을 가지는 접지금속막 선로구조를 제작하는 경우는 선로파장 λ_g 는 약 2 mm ($\lambda_g/4=0.5$ mm)이다. 따라서, 종래의 선로구조를 이용하여 동작중심주파수가 25 GHz인 15 Ω 선로 레트레이스를 높이 100 μm의 GaAs 기판상에 제작하는 경우, 선로폭 W 는 약 800 μm 정도가 되며, 레트레이스의 면적은 약 4 mm²가 된다. 그러나 본 논문의 주기 접지금속막 선로구조를 이용하여 상기 레트레이스를 제작하면 선로폭 W 는 20 μm가 되며, 그 면적은 종래의 선로구조를 이용하여 제작한 레트레이스의 약 9.3%인 0.375 mm²가 된다.

그림 7은 주기 접지금속막 선로구조를 이용하여

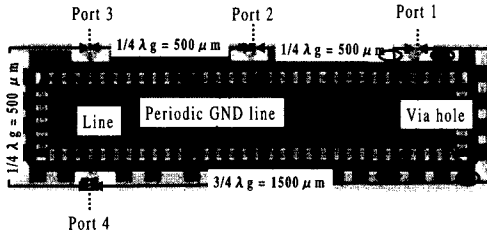


그림 7. 주기적 홀을 가지는 접지금속막 선로구조를 이용하여 제작한 중심주파수 25 GHz인 15 Ω선로 레트레이스의 사진

Fig. 7. A photograph of 15 Ω ratrace employing periodically perforated ground metal for a center frequency of 25 GHz.

제작한 중심주파수 25 GHz인 15 Ω 선로 레트레이스의 사진을 보여준다. 4포트 레트레이스를 측정하기 위해서는 6개의 레이아웃 패턴, 즉 포트 1-2, 1-3, 1-4, 2-3, 2-4, 3-4 측정용 패턴이 필요하다. 각 패턴에 있어서 측정에 필요한 2개의 포트는 GSG프로브에 연결되었으며, 측정에 사용하지 않는 2개의 포트는 특성 임피던스 Z_0 와 동일한 저항치를 가지며, MMIC상에 제작된 WSi 박막저항에 의해 중단되었다.

Radiation 등에 의한 전력손실을 최대한 줄이기 위해서 그림 7의 사각형 레트레이스의 4곳의 corner에 대해 접지금속막이 곡면의 형태를 취하며, 주기적 홀도 곡면상에서의 곡률에 따라 일정각도로 배치되어 있는 곡면 corner가 효과적이나, 본 논문에서는 레이아웃과 제작상의 편의를 위해 접지금속막이 서로 직교하는 형태를 취하는 직각 corner를 이용하였다.

상기 레트레이스를 제작하는데 있어서 그림 3(b)의 SiN막은 SiH₄가스와 NH₃가스를 이용하여 CVD 성막법에 의해 제작되었으며, 이 경우 막두께는 7000±350 Å, 비유전율은 7±0.5의 편차를 가진다. SiN막의 특성편차에 의해 특성임피던스는 약 14.3~15.4 Ω, 선로 파장은 1.8~1.92 mm의 편차를 가지게 되나, EM 시뮬레이션 결과에 의하면 이러한 편차에 의한 RF 특성변화는 거의 무시할 수 있을 정도였다.

그림 8과 9는 상기 레트레이스의 동위상 포트 전력분배 특성과 위상분배 특성의 측정치를 보여준다(식 (3), (4)의 조건과 비교). 참고로, 계산치도 함께 보여주며 계산치는 moment method에 의해 계산되었다. 측정은 50 Ω 포트 network analyzer를 이용하

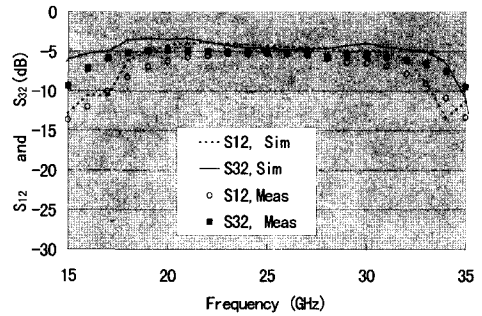


그림 8. 주기적 홀을 가지는 접지금속막 선로구조를 이용하여 제작한 레트레이스의 동위상 포트의 전력분배 특성

Fig. 8. Power division characteristics for in-phase ports of ratrace employing periodically perforated ground metal.

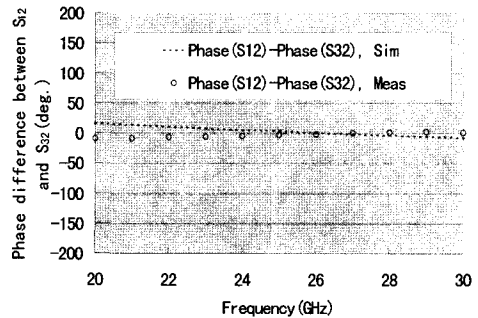


그림 9. 주기적 홀을 가지는 접지금속막 선로구조를 이용하여 제작한 레트레이스의 동위상 포트의 위상분배 특성

Fig. 9. Phase division characteristics for in-phase ports of ratrace employing periodically perforated ground metal.

였으며, 측정데이터는 10.6 Ω 포트임피던스로 표준화되었다.

20~30 GHz에 걸쳐서 양호한 동전력/동위상 분배 특성이 관찰되며, 상기 식 (3), (4)의 조건을 잘 만족함을 알 수 있다. 그림 10과 11은 상기 레트레이스의 역위상 포트 전력분배 특성과 위상분배 특성의 측정치를 보여준다(식 (5), (6)의 조건과 비교). 20~30 GHz에 걸쳐서 양호한 동전력/역위상 분배 특성이 관찰되며, 상기 식 (5), (6)의 조건을 잘 만족함을 알 수 있다. 그림 12는 상기 레트레이스의 절연포트간의 절연특성의 측정치를 보여주며, 20~30 GHz 사이에서 -16 dB 이하의 양호한 절연특성을

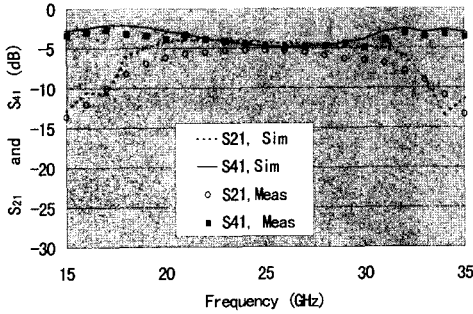


그림 10. 주기적 홀을 가지는 접지금속막 선로구조를 이용하여 제작한 레트레이스의 역위상 포트의 전력분배 특성
 Fig. 10. Power division characteristics for out-of-phase ports of ratrace employing periodically perforated ground metal.

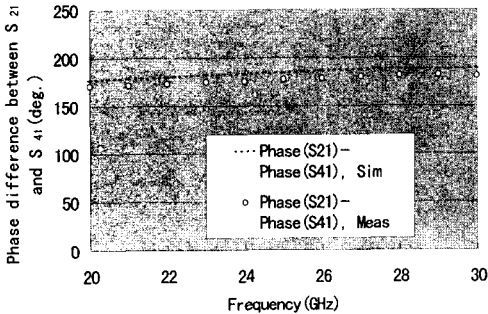


그림 11. 주기적 홀을 가지는 접지금속막 선로구조를 이용하여 제작한 레트레이스의 역위상 포트의 위상분배 특성
 Fig. 11. Phase division characteristics for out-of-phase ports of ratrace employing periodically perforated ground metal.

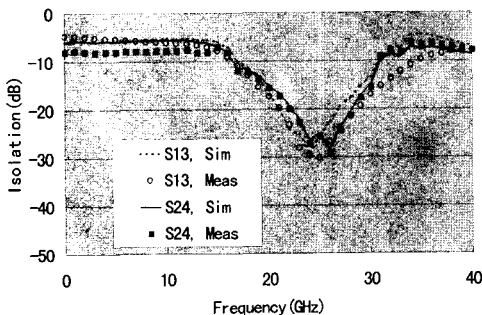


그림 12. 주기적 홀을 가지는 접지금속막 선로구조를 이용하여 제작한 레트레이스의 절연포트간 절연특성
 Fig. 12. Isolation characteristics for isolated ports of ratrace employing periodically perforated ground metal.

표 1. 주기 접지금속막 선로구조를 이용하여 제작한 레트레이스의 RF특성 측정 및 계산결과 (25 GHz).

Table 1. Measured and simulated RF performances of the ratrace employing a periodically perforated ground metal(25 GHz).

항 목	측정치	계산치 (moment method)	
동위상 포트 전력분배 특성	S_{12} (dB)	-5.1	-4.4
	S_{32} (dB)	-5	-4.6
역위상 포트 전력분배 특성	S_{21} (dB)	-5.1	-4.4
	S_{41} (dB)	-5	-4.8
동위상 포트 위상분배 특성	phase(S_{12}) - phase(S_{32}), (deg.)	3.5	-3.1
역위상 포트 위상분배 특성	phase(S_{21}) - phase(S_{41}), (deg.)	177	185
절연 포트간 절연특성	S_{13} (dB)	-30	-26
절연 포트간 절연특성	S_{24} (dB)	-26	-25
대역폭	BW (GHz)	20 ~ 30	20 ~ 30

관찰할 수 있다. 참고로 중심주파수 25 GHz에서의 측정결과 및 계산결과를 표 1에 요약하였다. 본 논문의 주기접지 선로 레트레이스의 대역폭은 20~30 GHz이다(RF특성치가 중심주파수에서의 수치로부터 $\pm 10\%$ 이내에 드는 주파수 대역을 대역폭으로 정의하는 경우). EM 시뮬레이션 결과에 의하면 그림 3(a)의 홀사이의 간격 T 가 0~80 μm 인 경우, 준미리미터파 대역에서 중심주파수에 f_c 에 대해 $f_c \pm 20\%$ 이상의 대역폭을 가지는 것을 알 수 있었다.

종래의 선로구조를 이용하여 테프론 기판상에 제작한 약 100 mm^2 사이즈의 레트레이스의 경우의 전력분배의 측정치는 25 GHz에서 -4.5 dB이었다. 그러나, 표 1에서 보는 바와 같이 주기 접지금속막 선로구조를 이용하여 GaAs 기판상에 MMIC로서 제작한 경우는 전력분배치가 -5 dB이며, 종래의 선로구조를 이용하여 테프론 기판상에 제작한 경우보다 0.5 dB 손실이 더 크다. 이러한 손실에도 불구하고, 사이즈의 축소는 송수신 모듈의 저가격화에 있

어서 더 중요하여, 일반적으로 이러한 손실은 전후단의 증폭기 MMIC의 이득을 조절함으로써 쉽게 보상이 가능하다. 예를 들어 수신단 배런스형 믹서에 상기 레트레이스 MMIC가 사용되는 경우, IF단의 증폭기의 이득을 0.5 dB 증가시키면 된다.

III. 결 론

본 논문에서는 GaAs MMIC상에 저임피던스/소형화 수동소자를 구현하기 위하여, 주기적 홀을 가지는 접지금속막 선로구조를 제안하였으며, 그 결과 선로의 저임피던스화와 선로과장 축소를 실현하였다. 상기 선로구조를 이용하여 GaAs기판상에 15 Ω 임피던스라인으로 MMIC용 레트레이스를 제작 평가하였다. 선로폭은 종래의 1/40인 20 μm였으며, 그 면적은 종래의 약 9.3 %인 0.375 mm²이었다. 상기 레트레이스로부터 20~30 GHz 사이에서 양호한 RF특성을 관찰할 수 있었다.

참 고 문 헌

[1] K. Matsunaga, I. Miura and N. Iwata, "A CW 4-W Ka-Band Power Amplifier Utilizing MMIC

Multichip Technology", *IEEE J. Solid State Circuits*, vol. 35, no. 9, pp. 1293-1297, 2000.
 [2] I. Bahl, P. Bhartla, *Microwave Solid State Circuit Design*, John Wiley & Sons, Inc., Chapter 10, 1988.
 [3] Y. Itoh, M. Nii, N. Takeuchi, Y. Tsukahara and H. Kurebayashi, "MMIC/Super-MIC/MIC-Combined C- to Ku-Band 2W Balanced Amplifier Multi-Chip Module", *IEICE Trans. Electron.*, vol. E80-C, no. 6, pp. 757-762, 1997.
 [4] D. R. Webster, G. Ataei and D. G. Haigh, "Low-Distortion MMIC Power Amplifier Using a New Form of Derivative Superposition", *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 2, pp. 328-332, 2001.
 [5] E. Camargo, W. Kennan, "An E-mode GaAs FET Operating As a Single Balanced Gate Mixer", *1996 IEEE MTT-S International Microwave Symposium Digest*, pp. 951-954, 1996.
 [6] S. A. Maas, *Microwave mixers*, second edition, Artech House, Inc., Chapter 9, 1993.
 [7] D. M. Pozar, *Microwave Engineering*. Addison-Wesley, 1990.

윤 영



1969년: 한국 부산 출생
 1993년 2월: 연세대학교 전자공학과 (공학사)
 1995년 2월: 포항공과대학교 전자전기공학과 (공학석사)
 1999년 3월: 오사카대학 기초공학부 전기공학과 (공학박사)

1999년 4월~현재: 마쯔시타전기, 반도체 디바이스 연구센터

[주 관심분야] MMIC